

# インターリーブ構成を用いた基地局パワーアンプ用包絡線追跡電源

## Envelope Tracking Power Amplifier using Interleaved Architecture

神戸 章宏† 金田 雅人† 小林 春夫† 高井 伸和†  
 志村 竜宏†† 平田 仁士†† 山岸 健太郎††

† 群馬大学大学院工学研究科 電気電子工学専攻 †† 住友電気工業株式会社

Akihiro KANBE† Masato KANETA† Haruo KOBAYASHI† Nobukazu TAKAI†  
 Tatsuhiro SHIMURA†† Hitoshi HIRATA†† Kentarou YAMAGISHI††

† Electronic Engineering Dept, Gunma University †† Sumitomo Electric Industries,Ltd

要約- 本論文では基地局パワーアンプ用の高効率でかつ広帯域な包絡線追跡電源回路の新アーキテクチャを報告する。従来の回路構成では効率と帯域がトレードオフの関係になっており、帯域を延ばすには効率を犠牲にする必要があった。今回の提案回路ではインターリーブ構成を用いることで、高効率と広帯域の両立を可能にした。

キーワード： パワーアンプ, 無線基地局, 包絡線追跡電源

### 1 背景

近年携帯電話等の無線基地局では高周波増幅器の高効率化、広帯域化に対する要望が高まっている。携帯電話等の無線基地局用高出力増幅器の効率改善手段として「AB級増幅器+デジタル歪補償方式」があるがこの方式での効率改善はほぼ限界に達している。このため更なる高効率化を実現するため、図1に示すようなトレンドで技術開発が進められている。回路・アーキテクチャのみならず低損失・高耐圧スイッチの実現のために GaN, SiC などのパワーデバイス面からも高効率化のための技術開発がなされている。この論文では高周波パワーアンプ

の高効率化手法として有望な包絡線追跡電源回路の新アーキテクチャを示す。複数のDCDCコンバータ用い、インターリーブ構成にすることで高効率・広帯域化が実現できることを示す。この包絡線追跡電源は高周波増幅器の入力無線信号包絡線に追従し高周波増幅器に印加する電源電圧を変化させることができる。高周波増幅器の効率は次のように表される。

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{DD} \cdot I_{DD}} \quad (1)$$

このため VDD を変動させれば固定の場合よりも効率が改善できる。特に WCDMA や OFDM など平均電力に対してピーク電力が高い信号を増幅する基地局用パワーアンプには効果的である。

### 2 包絡線追跡電源の概要

包絡線追跡電源方式の動作概要を図2に示す。包絡線追跡方式はパワーアンプ入力信号の包絡線を検出し、それにより出力電圧を制御する。その出力を高周波増幅器の電源部へ接続する。それにより従来方式に比べ消費電力が削減できる。図3は入力信号に追従して包絡線信号を生成するための回路構成を示している。この回路は広帯域な電圧源であるオペアンプの段と高効率な電流源である DCDC コンバータの段から成る。スイッチング電源のスイッチは高耐圧・低損失なデバイスが必要である。次に WCDMA の包絡線のパワースペクトラム密度を図4に示す。包絡線パワーのほとんどが DC と低周波に集中していることがわかる。よって DC と低周波の電力は高効率な DCDC コンバータから供給し、高周波の電力は広帯域なオペアンプから供給する

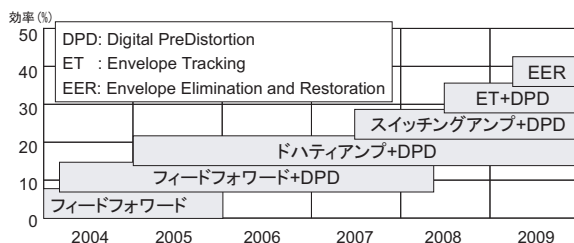


図 1: 高出力アンプの高効率化のための技術動向

ことにより電源全体の効率を大幅に高めることができる。

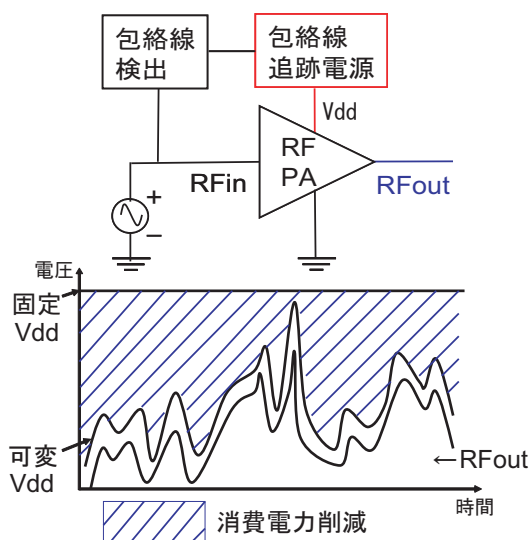


図 2: 包絡線追跡電源回路方式

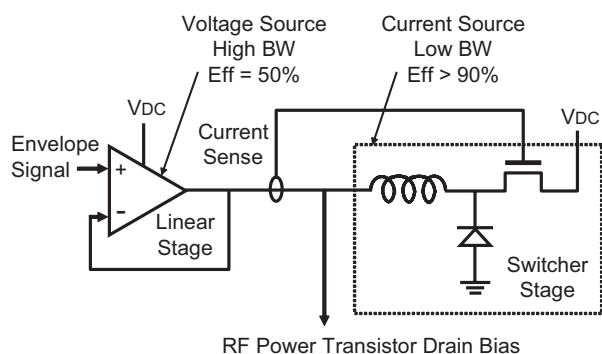


図 3: 包絡線追跡電源の従来回路構成

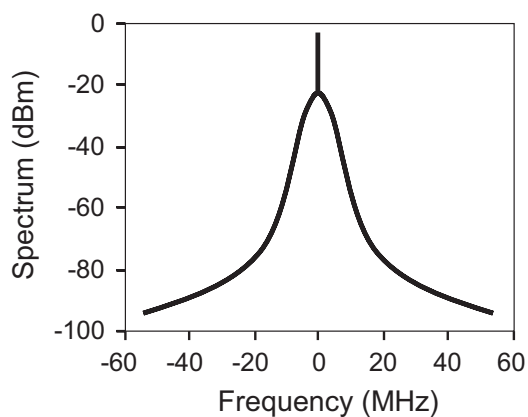


図 4: WCDMA 包絡線信号のスペクトラム [2]

### 3 従来回路について

#### 3.1 包絡線追跡電源の動作原理

図 5 に RF アンプを等価的に負荷抵抗に置き換えた回路構成を示す。主な回路パラメータは、電源電圧、負荷抵抗、電流センス抵抗、インダクタンスの 4 つに加え、外部三角波のパラメータが存在する。仮に、直流電圧が入力された場合、ボルテージホロ

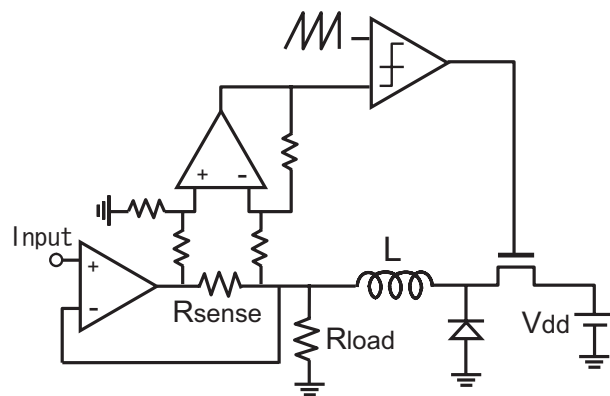


図 5: 包絡線追跡電源の回路構成 2

ワは入力と同じ電圧を出力するために負荷に電流を流す。そうするとセンス抵抗の両端電圧が上がり、コンパレータは MOS トランジスタを ON にする。MOS が ON になると L から電流が供給されるようになり、ボルテージホロワの出力電圧は L から流れる電流とオペアンプから流れる電流により生成されるようになる。L から流れる電流はインダクタンス値によって決まる傾きを持って上昇していき、オペアンプから流れる電流は減っていく (図 6)。オペ

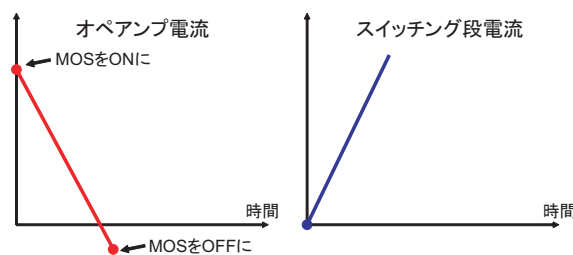


図 6: 包絡線追跡電源 (図 5) の動作 1

アンプ電流が減ることによりセンス抵抗の両端電圧は下がり、ある電位差まで下がるとコンパレータは MOS を OFF にする。MOS が OFF になると ON 時とは逆に、L 電流は減っていき、オペアンプ電流はそれを補うように増えていく (図 7)。オペアンプ電流の増加によりセンス抵抗の両端電圧は上が

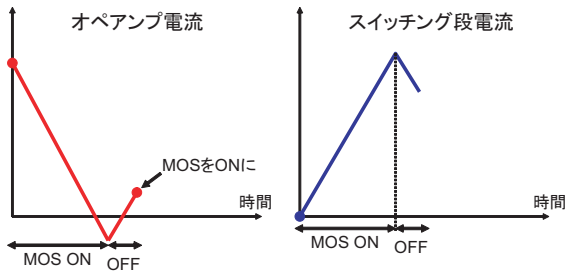


図 7: 包絡線追跡電源 (図 5) の動作 2

り、ある電位差まで上がるとコンパレータは MOS を ON にする。これらの動作を繰り返し、コンパレータは外部三角波に同期した PWM 信号を生成する。(図 8) オペアンプ電流がどれだけ流れたら high と low を切り替えるかについては三角波のパラメータにより決定することができる。このよう

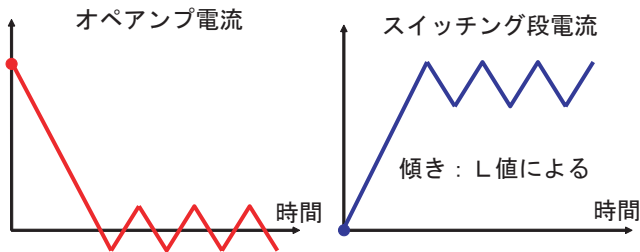


図 8: 包絡線追跡電源 (図 5) の動作 3

な外部三角波と比較して PWM 信号生成する方式は、ヒステリシスコンパレータを用いて内部発振させる方式に比べ、安定性が高く制御ループ内で工夫の余地があるというメリットがある。さらに図 9、図 10 にシミュレーションより得られた動作波形を示す。

### 3.2 包絡線追跡電源の設計手法 [2]

主な設計パラメータのうち電源電圧と負荷抵抗は仕様により決まることになる。さらにセンス抵抗は負荷抵抗より十分小さな値にすることになる。よって回路設計者が設定するパラメータはインダクタンス値と三角波のパラメータということになる。負荷抵抗への電流供給はなるべくスイッチング段から行えば効率がよいので、L はなるべく小さくしてスイッチング段の帯域を広くとりたい。さらに低効率なオペアンプからの電流供給は抑えたいので三角波の振幅とオフセット値の設定によりオペアンプの電流をゼロ付近で振れるようにする。もし入力信号の

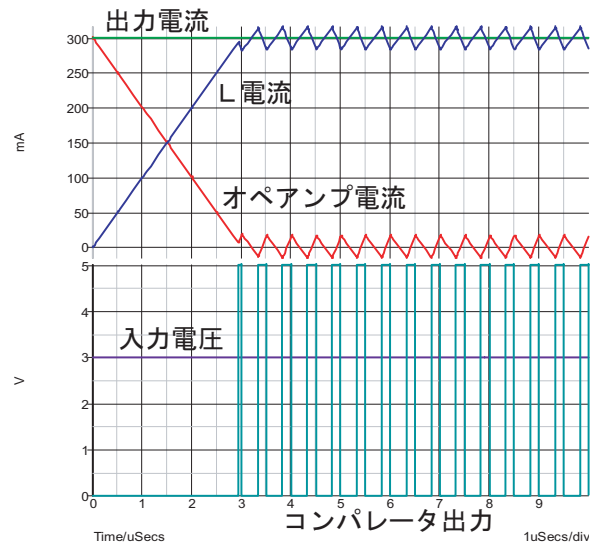


図 9: 包絡線追跡電源 (図 5) の動作波形 (直流入力)

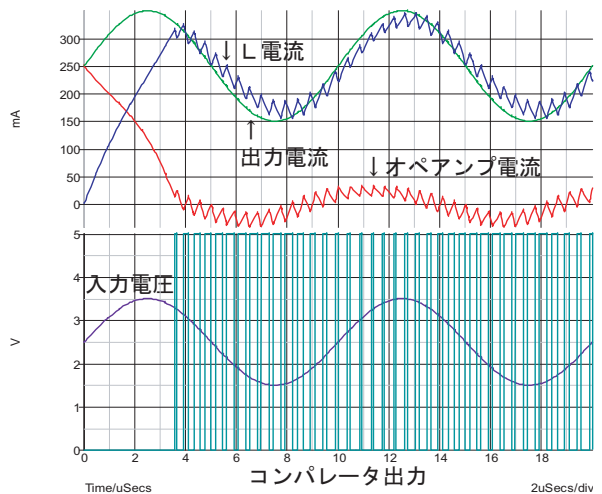


図 10: 包絡線追跡電源 (図 5) の動作波形 (交流入力)

スルーレートがスイッチング段で対応できるスルーレートを超える場合、図 11 のようにオペアンプから全ての交流電流をまかなうので効率が大幅に低下する。三角波の周波数に関しては、コンパレータと MOS トランジスタによって決まるスイッチング周波数の限界を超えないように設定する。インダクタンスの値を決める指針として、入力包絡線信号の平均スルーレートとスイッチング段のスルーレート

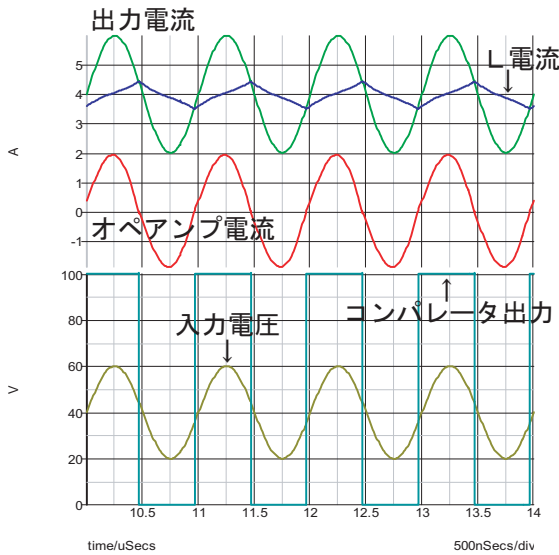


図 11: スイッチング段で対応しきれない場合

が一致するときの L の値を以下の式で示す。

$$L_{match} = \frac{2(1-D)V_{s\_dc}R_{load}}{|\Delta V_s / \Delta t|} \quad (2)$$

ここで、分母は入力信号平均スルーレート、D は平均デューティ、 $V_{s\_dc}$  は平均入力信号である。右辺のパラメータは全て既知なので L の値が求まる。

### 3.3 従来包絡線追跡電源回路の問題点

実際には設定できるインダクタンス値には下限が存在する。L をだんだん小さくしていき図 12 のようにスイッチング段からの電流の傾きが三角波の傾きを超えるようになると、PWM 信号の周波数が維持できなくなる。そうするとスイッチング周波数は大幅に上昇し回路の動作が破綻してしまう。つまり三角波の周波数はなるべく高く設定して、小さなインダクタンス値を採用しても三角波の傾きを超えないようにしなければならない。三角波の振幅を大きくして傾きを大きくするという方法もあるが、この方法だと図 13 で示すようにオペアンプ電流が増加してしまう。つまり三角波の傾きによってとり得るインダクタンス値の最小値が決まってしまう、スイッチング段の帯域は制限され、回路全体の効率も頭打ちになってしまう。より速い入力エンベロープ信号を扱おうとするほどそのデメリットは大きくなる。さらにインダクタンス値を小さくするとリップルが増え、その分の電流をオペアンプから取るため効率が低下するという問題もある。

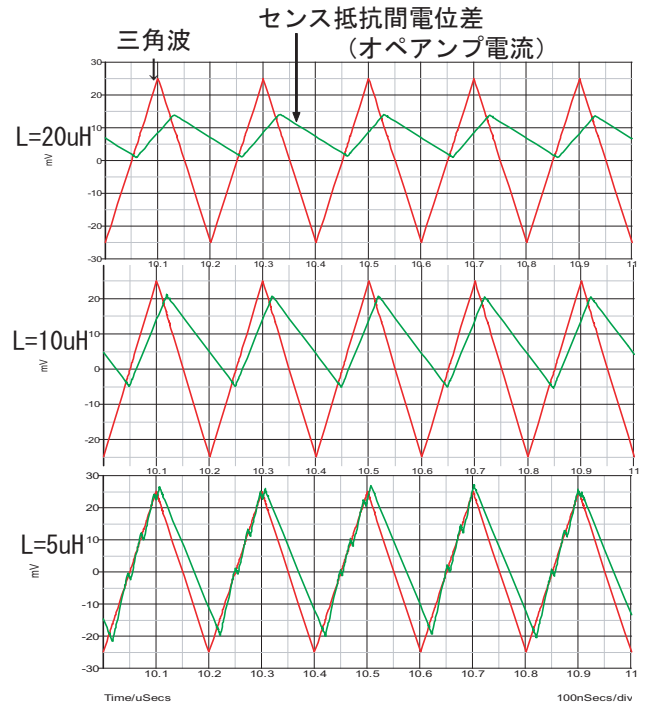


図 12: L を小さくした時の問題点

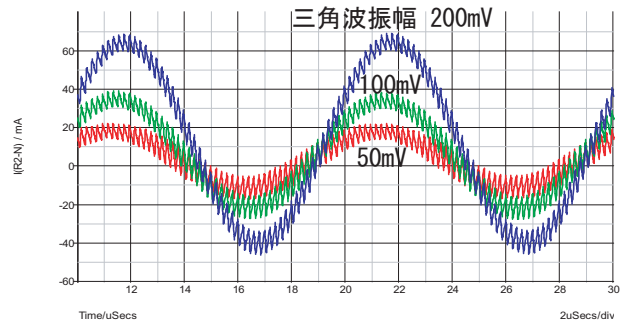


図 13: 三角波振幅を大きくした時の問題点

## 4 提案回路について

### 4.1 提案包絡線追跡電源回路の構成

複数の D C D C コンバータをインターリーブ構成にした提案回路を図 14 に示す。本提案回路では、D C D C コンバータを 2 つ使い、三角波の位相を 180 度ずらす構成とした。この場合、同じインダクタンスを並列に接続して等価的なインダクタンス値を半分にしているため、従来シングル構成と同じ傾きの三角波を用いても PWM 信号の周波数を維持したままスイッチング段の帯域を広げることができる。よって本提案回路は従来シングル構成では頭打ちになってしまう効率をさらに上昇させることが

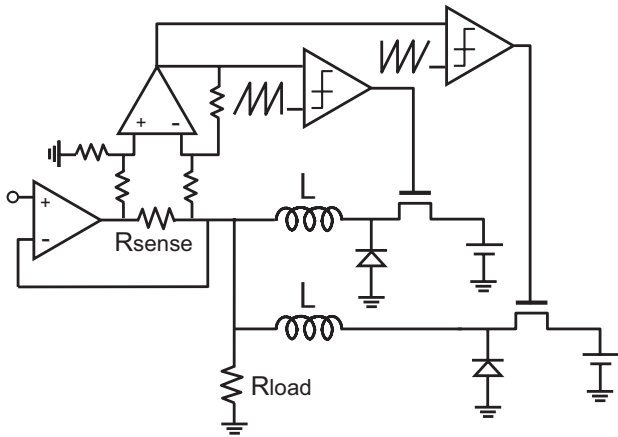


図 14: 提案回路構成 (2 相構成)

できる。さらにスイッチング段どうしでリップルを打ち消し合うので、オペアンプから取るリップルキャンセル分の電流を減らすことができる。

#### 4.2 提案包絡線追跡電源回路の動作

提案回路の動作確認のため、SIMetrix を用いシミュレーションをおこなった。まず動作の概要を図 15 に示す。次にインターリーブしたことによるリップル

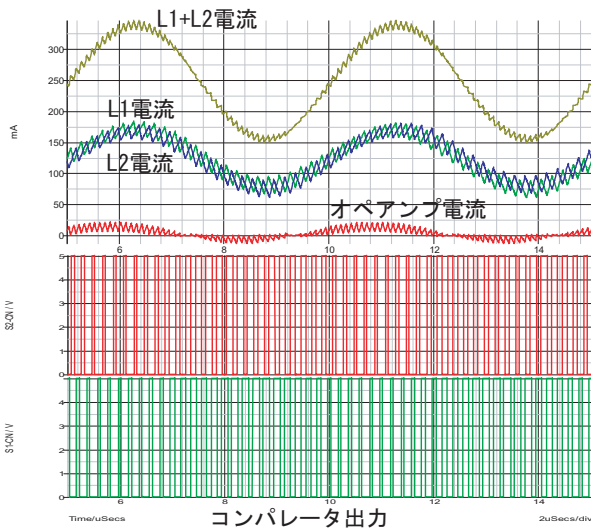


図 15: 提案回路の動作

の減少効果を図 16 に示す。次に提案回路の PWM 信号周波数の維持効果を示すために、同じインダクタンス値をシングルで実現した場合とインターリーブで実現した場合とで比較する。まずインダクタンス値 5 $\mu$ H をシングル構成で実現した場合を図 17 で示す。なお三角波の周波数は 5MHz とした。スイッチング段から流れる電流が急峻すぎて三

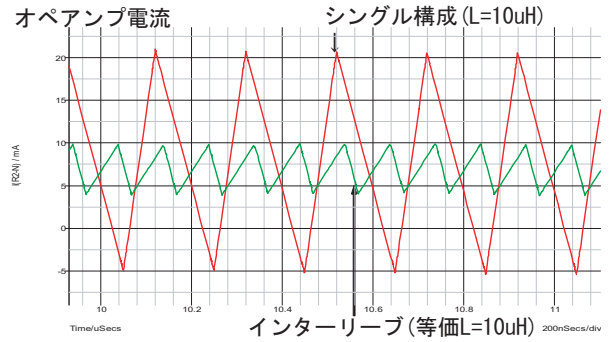


図 16: リップルの比較

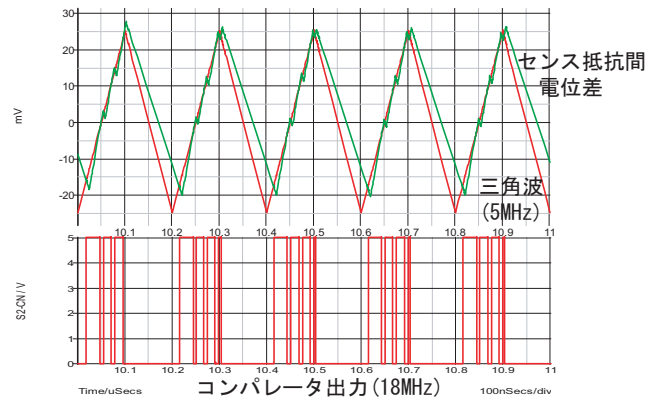


図 17: シングル構成の場合の PWM 信号周波数

角波を追い越してしまい、PWM 信号の周波数が上昇してしまっていることが分かる。次に同じインダクタンス値をインターリーブ構成で実現した場合を図 18 で示す。この場合、スイッチング段から流

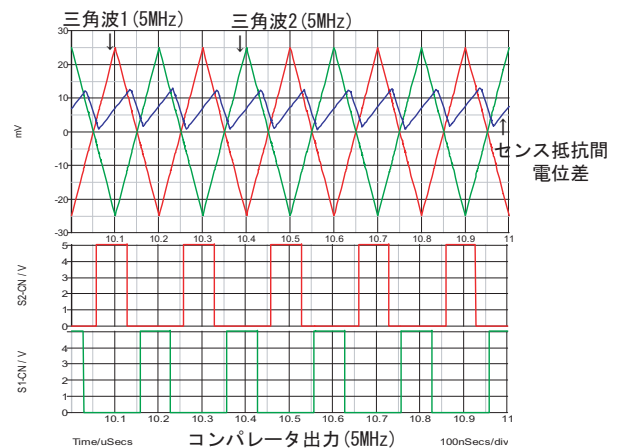


図 18: インターリーブ構成の場合の PWM 信号周波数

れる電流の傾きが三角波の傾きを超えることは無

く、PWM 信号の周波数も維持されていることが分かる。よってインターリーブ構成を用いることによりスイッチング段の帯域をより広げることが可能になる。したがって提案回路は従来シングル構成では頭打ちになってしまう効率をさらに上昇させることができる。今回の検討では入力エンベロープ信号に Sin 波を用いたが、実際の WCDMA や OFDM などの信号に適応した場合でも効率を改善できる可能性が高い。現在、以上のシミュレーション結果の妥当性を実験により検証している。

## 5 まとめ

この論文では基地局パワーアンプ用包絡線追跡電源の高性能化のための新アーキテクチャを提案した。提案回路構成は、2つのDCDCコンバータをインターリーブ構成にすることで効率の改善を可能にした。これは実際の WCDMA や OFDM の信号に対しても効率を改善できる可能性が高い。基本動作をシミュレーションで確認した。今後この方式の設計論を確立するため検討を継続していく。なお、今回示した提案回路は2相構成であるが、3相以上の構成の場合、さらなる高効率化が期待できる。また、現在デスクリート部品による回路組み立て・基礎実験も並行して行っており、結果は逐次報告していきたい。

付録： ヒステリシスコンパレータを用いる方式

図19のようにヒステリシスコンパレータを用い、内部発振をさせる方式についても検討を行っているので紹介する。図19の回路はコンパレータが

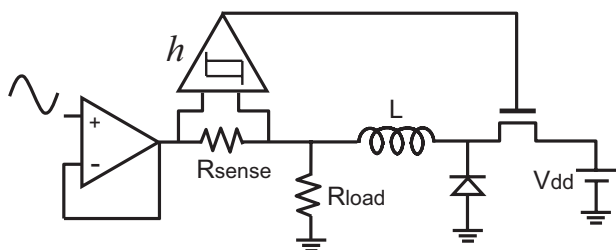


図 19: ヒステリシスコンパレータを用い内部発振させる方式

電流検出回路を兼ねており、回路構成がシンプルになる。そして外部信号と比較する分のディレイが存在しないためスイッチング段の電流生成にも遅れが生じずオペアンプから取る電流を減らすことができる。しかしオペアンプからの電流を少なくするた

めにはヒステリシスを小さく設定する必要があり、そうするとノイズに弱くなってしまいう問題が存在する。さらに内部発振を行っているため制御ループ内での工夫が難しい。つまり余計な回路素子を追加すると内部発振が止まってしまうことになりかねない。よって今回の論文では安定性が高く、制御ループ内で工夫の余地のある外部三角波を用いる方式を扱った。なお内部発振させる方式においても、異なるインダクタンスを使って多相化することで効率を改善できることが分かった。[7][8] これら2つの方式について、どちらが優れているのか判断できないため、現在両方の方式について研究を進めている。

## 参考文献

- [1] D. F. Kimball, J. Jeong, C. Hsia, P. Draxler, S. Lanfranco, W. Nagy, K. Linthicum, L. E. Larson, P. M. Asbeck "High-Efficiency Envelope-Tracking W-CDMA Base-Station Amplifier Using GaN HFETs", IEEE Trans. on Microwave Theory and Techniques, vol.54, no.11 (Nov. 2006).
- [2] F. Wang, "High Efficiency Linear Envelope Tracking and Envelope Elimination and Restoration Power Amplifier for WLAN OFDM Applications," Ph.D. Dissertation, University of California, San Diego (2006).
- [3] P. Asbeck, D. Kimball, J. Jeong, P. Draxler, C. Hsia, L. Larson, "Next Generation High-Efficiency RF Transmitter Technology for Basestations", Extended Abstracts of 2007 International Conference on Solid State Devices and Materials, pp. 146-147, Tsukuba (Sept. 2007).
- [4] P. Draxler, S. Lanfranco, et.al., "High Efficiency Envelope Tracking LDMOS Power Amplifier for W-CDMA", IEEE MTT-S International Microwave Symposium, pp.1534-1537 (June 2006).
- [5] S. C. Cripps, RF Power Amplifier for Wireless Communications, Artec House (1999).
- [6] S. C. Cripps, Advanced Techniques in RF Power Amplifier Design, Artec House (2002).
- [7] 神戸章宏 金田雅人 油井史典 小林春夫 高井伸和 志村竜宏 平田仁士 山岸健太郎 "基地局パワーアンプ用包絡線追跡電源の新アーキテクチャ" 軽井沢ワークショップ (2008).
- [8] Akihiro KANBE, Masato KANETA, Haruo KOBAYASHI, Huminori YUI, Nobukazu TAKAI, Hitoshi HIRATA, Tatsuhiro SHIMURA and Kentarou YAMAGISHI "New Architecture of Envelope Tracking Power Amplifier for Base Station" IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, pp.296-299, Dec. 2008.