

高速連続時間バンドパス $\Delta\Sigma$ AD 変調器アーキテクチャ - RF DAC によるサブサンプリングの実現 - High-Speed Continuous-Time Bandpass $\Delta\Sigma$ AD Modulator Architecture Employing Sub-Sampling Technnique with RF DAC

上森将文 市川知成 小林春夫
群馬大学工学部電気電子工学科 〒376-8515 群馬県桐生市天神町 1-5-1

Masafumi Uemori Tomonari Ichikawa Haruo Kobayashi
Department of Electronic Engineering, Faculty of Engineering, Gunma University
Tel: 0277-30-1788 Fax: 0277-30-1707 e-mail:{a1e006,k_haruo}@el.gunma-u.ac.jp

概要 この論文では、高周波信号を高精度に AD 変換するための連続時間バンドパス $\Delta\Sigma$ AD 変調器を RF DAC を用いてサブサンプリングを行う構成を提案する。RF DAC を用いることでサブサンプリングが実現できるのに加えて、連続時間変調器の欠点である DAC へのサンプリング・クロック・ジッタによる AD 変換器全体の精度劣化の問題が軽減できる。これらを MATLAB によるシミュレーションで確認した。

キーワード: $\Delta\Sigma$ 変調器、バンドパス、RF DAC、サブサンプリング、ジッタ

I はじめに

無線 LAN, 携帯電話等の受信機アナログ・フロントエンド部で高周波狭帯域信号を高精度・低消費電力で AD 変換するために、バンドパス $\Delta\Sigma$ AD 変調器を用いることが検討されている [1]-[6]。この論文では連続時間バンドパス $\Delta\Sigma$ AD 変調器の内部 DAC にジッタの影響が小さい DAC を用い、サブサンプリングを行うことで、低消費電力、高精度で、高周波 RF 信号を直接 AD 変換できる構成を提案する。従来のベースバンドへの周波数変換回路を無くし、RF 信号を直接 AD 変換しアナログ最小、デジタルリッチな回路構成でのソフトウェア無線システムの実現を目標としている (図 1)。

II 連続時間回路構成と離散時間回路構成

$\Delta\Sigma$ AD 変調器の回路構成は、従来は高精度で AD 変換可能なスイッチド・キャパシタ回路を用いた離散時間回路構成が多かったが、近年は低消費電力でより高速に動作する可能性があるため内部に連続時間アナログフィルタを用いた連続時間回路構成が研究

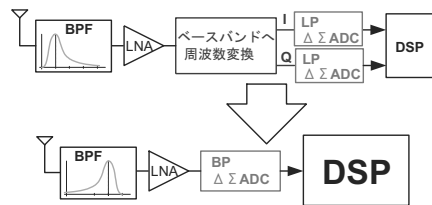


図 1: 目標とするアナログ最小、デジタルリッチな受信機アナログフロントエンド部。

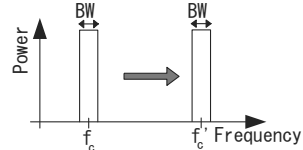


図 2: 提案回路構成のバンドパス $\Delta\Sigma$ AD 変調器は従来の 3 倍の中心周波数を扱う。

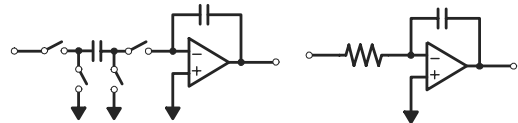


図 3: 離散時間フィルタ (左) と連続時間フィルタ (右)。

されている。しかしこの場合、(内部 ADC のクロック・ジッタの影響はノイズシェーブのため小さいが) 内部 DAC のジッタの影響により AD 変調器全体の精度劣化となるとい問題が生じる。ここでは連続時間 $\Delta\Sigma$ AD 変調器のメリット高周波信号を扱えることを更に伸ばし、デメリット DAC のクロック・ジッタの影響大を解決する構成を検討する。

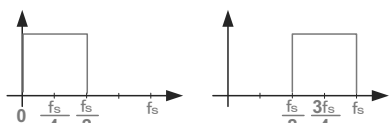


図 4: ナイキストサンプリング (左) とサブサンプリング (右) での使用帯域.

III ナイキストサンプリングとサブサンプリング

従来の多くのバンドパス $\Delta\Sigma$ AD 変調器では、後段のデジタルフィルタの設計のし易さ等の理由から、そのサンプリング・クロック周波数 (f_s) は入力信号帯域の中心周波数 (f_c) の 4 倍が用いられている ($f_s = 4f_c$ 、ナイキストサンプリング)[7]. 即ち、従来の構成では扱える入力帯域中心周波数は、内部 ADC, DAC の動作可能なクロック周波数 (f_s) の 4 分の 1 である ($f_c = \frac{1}{4}f_s$). 従って、高周波入力信号を扱おうとすると、その変調器のクロック周波数が高くなり内部の ADC, DAC が動作できなくなる.

この問題を克服するため、サンプリング周波数 (f_s) を入力中心周波数 (f_c) の 3 分の 4 にする「アナログ・サブサンプリング技術」が提案された ($f_c = \frac{3}{4}f_s$). そこでは入力帯域中心周波数はサンプリング周波数の 4 分の 3 になるので同じクロック周波数で 3 倍の高い周波数の信号を扱うことができる ($f_c = \frac{3}{4}f_s$). 通常のナイキストサンプリングでは $0 \leq f \leq \frac{1}{2}f_s$ を信号帯域として用いるが、サブサンプリングでは、 $\frac{1}{2}f_s \leq f \leq f_s$ の範囲を信号帯域として用いる (図 4).

離散時間回路を用いたバンドパス変調器でこの「サブサンプリング技術」を用いたものは既に LSI として実現され動作が確認されている. しかしながら、連続時間回路を用いたバンドパス変調器でこの「サブサンプリング技術」を用いた例はほとんど報告されていない [4].

IV サブサンプリング

連続時間バンドパス $\Delta\Sigma$ AD 変調器

内部 DAC に NRZ DAC を使用した場合

連続時間バンドパス変調器内部で出力が NRZ(Non-Return-to-Zero) の 0 次ホールドの DAC を用いてサブサンプリングを行おうとしてもバンドパス変調器として動作しない. 我々はこれを MATLAB シミュレーションで確認した (図 5). NRZ DAC を用いた場合 $\frac{3}{4}f_s$ 近辺でノイズシェーブされていないことが分かる. 入力信号振幅やフィル

タ係数を変化させても発振してしまい動作させることは出来ない. これは、0 次ホールド DAC のインパルス応答はゲインが DC で最大になってしまい、 $\frac{3}{4}f_s$ の成分での劣化が大きいためである. 尚、図 5～図 7 のシミュレーションでは、連続時間 $\Delta\Sigma$ AD 変調器のループフィルタに 1 次の連続時間バンドパスフィルタを用いた.

内部 DAC に RTZ DAC を使用した場合

2004 年に Lucent 社から連続時間バンドパス変調器で出力が RTZ(Return-to-Zero) の内部 DAC を用いてサブサンプリングを行う方式が提案された [4]. MATLAB シミュレーションでも、内部 DAC にパルス幅 25% の RTZ DAC を用いると、図 6 の様に、 $\frac{3}{4}f_s$ 近辺で量子化雑音がノイズシェーブされている. しかしながらこの方式では、RTZ 出力 DAC へのサンプリング・クロックのジッタにより AD 変調器全体の精度が大きく劣化してしまう. (DAC 出力を RTZ にすると 1 サンプリング周期内にそのエッジが 2 つあるので NRZ 出力 DAC の場合よりもクロックジッタの影響を受けてしまう (図 8).)

内部 DAC に RF DAC を使用した場合

一方、2004 年に MIT から狭帯域高周波信号を発生する為に Radio-Frequency Digital-to-Analog Converter(RF DAC) が提案された [8]. 通常の DAC は出力が 1 サンプリング周期内で一定である 0 次ホールドであるが、RF DAC は 1 サンプリング周期内で DAC 出力が数周期の余弦波を発生させる. 0 次ホールドの DAC ではそのインパルス応答の周波数特性は DC でゲインが最大になるが、RF DAC のあるものは DC 成分はゼロで $\frac{3}{4}f_s$ でゲインを最大にすることができる. この RF DAC を用いることでサブサンプリング動作が可能となる. 我々は MATLAB によるシミュレーションで $\frac{3}{4}f_s$ 近辺で量子化雑音がノイズシェーブされることを確認した (図 7). また、通常の DAC ではサンプリングのタイミングでデータ値が不連続的に切り替わるが、RF DAC では出力が連続な余弦波でありサンプリングタイミングではそのスルーレートがゼロ ($dDAC_{out}/dt = 0$) であるのでサンプリング・クロック・ジッタの影響が極めて小さい. 尚、[8] での RF DAC は DAC 単体として用いることを記述しており、この RF DAC を $\Delta\Sigma$ AD 変調器に用いることは記述されていない.

提案回路構成

以上のことに着目し、我々はこの RF DAC をサブサンプリングを行う連続時間バンドパス $\Delta\Sigma$ AD 変調

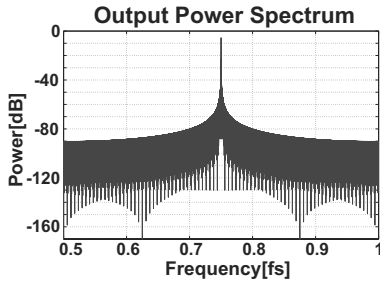


図 5: 内部DACにNRZ DACを使用してサブサンプリングを行った時の連続時間バンドパス $\Delta\Sigma$ AD変調器出力パワースペクトラム.

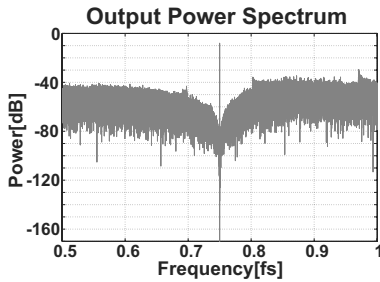


図 6: 内部DACに25%RTZ DACを使用してサブサンプリングを行った時の連続時間バンドパス $\Delta\Sigma$ AD変調器出力パワースペクトラム.

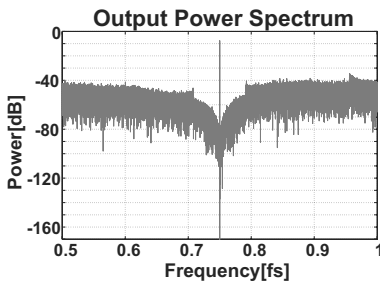


図 7: 内部DACにRF DAC使用時のサブサンプリング連続時間バンドパス $\Delta\Sigma$ AD変調器出力パワースペクトラム.

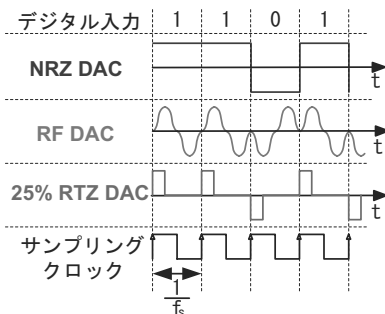


図 8: 各DACの出力波形例(1bit DACの場合).

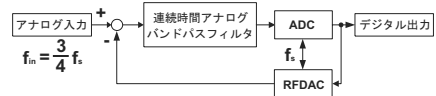


図 9: 提案する連続時間バンドパス $\Delta\Sigma$ AD変調器構成.

器に用いることを提案する. 提案方式は連続時間バンドパス $\Delta\Sigma$ AD変調器の内部DACにRF DACを用いることで、次のメリットが生じる.

- (i) 最大入力周波数は、内部ADC, DACの動作可能なクロック周波数の4分の3にすることができる.(即ち、従来の3倍の入力周波数を扱える.)
- (ii) DACへのサンプリング・クロックのジッタのAD変調器全体の精度劣化への影響が極めて少ない.

また、連続時間 $\Delta\Sigma$ 変調器を用いるので、離散時間方式に比べ次のメリットがある.

- 低消費電力.
- 高いクロック周波数で動作可能.
- 前段アンチ・エリアジング・フィルタが簡単化.

V RF DACの原理と動作

図 10 に NRZ DAC, 25%RTZ DAC, RF DAC の出力波形を、図 8 にデジタル入力とそれに対するDAC出力の一例を示す. 変調器内部で1ビットDACを用いる場合サンプリング時刻 k ではNRZ DACの出力は次のようになる($k = 0, \pm 1, \pm 2, \pm 3, \dots$).

- デジタル入力が“1”の場合:

$$D_{out,NRZ}(t) \equiv 1 \quad (\text{for } \frac{k}{f_s} \leq t \leq \frac{k+1}{f_s}).$$
- デジタル入力が“0”の場合:

$$D_{out,NRZ}(t) \equiv -1 \quad (\text{for } \frac{k}{f_s} \leq t \leq \frac{k+1}{f_s}).$$

一方、RF DAC の出力は以下ようになる.

- デジタル入力が“1”の場合:

$$D_{out,RF}(t) = A_1(t) \quad (\text{for } \frac{k}{f_s} \leq t \leq \frac{k+1/2}{f_s})$$

$$D_{out,RF}(t) = A_2(t) \quad (\text{for } \frac{k+1/2}{f_s} \leq t \leq \frac{k+1}{f_s}).$$
- デジタル入力が“0”の場合:

$$D_{out,RF}(t) = A_2(t) \quad (\text{for } \frac{k}{f_s} \leq t \leq \frac{k+1/2}{f_s})$$

$$D_{out,RF}(t) = A_1(t) \quad (\text{for } \frac{k+1/2}{f_s} \leq t \leq \frac{k+1}{f_s}).$$

ここで、

$$A_1(t) = -\frac{1}{2} \cos\{2\pi(2f_s)t\} + \frac{1}{2}$$

$$A_2(t) = \frac{1}{2} \cos\{2\pi(2f_s)t\} - \frac{1}{2}.$$

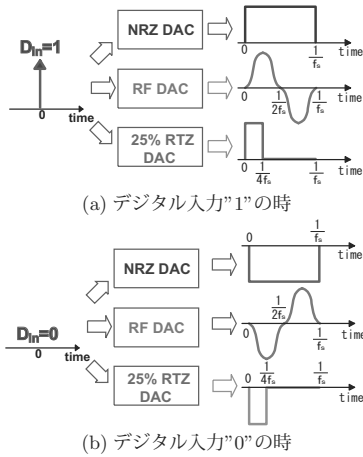


図 10: 各 DAC の出力波形 (1bit DAC の場合) .

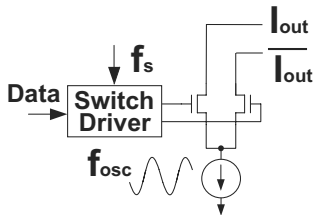


図 11: 1bit RF DAC 実現回路構成.

即ち RF DAC の動作は、デジタル入力が 1 の時は図 10 の様に $\frac{1}{2f_s}$ の時点で $A_1(t) \rightarrow A_2(t)$ の順番で切り替えた波形を、デジタル入力が 0 の時は $\frac{1}{2f_s}$ の時点で $A_2(t) \rightarrow A_1(t)$ の順番で切り替えた波形を出力する。またこの RF DAC は差動ペアにテール電流源が $\cos\{2\pi(2f_s)t\}$ の交流である比較的簡単な回路で実現できる (図 11, [8]) .

RF DAC のインパルス応答のパワースペクトラムは図 12 の様に $\frac{3}{4}f_s$ 近辺で最大となり、DC 成分はゼロとなる。図 9 の提案構成ではこの特性を利用して入力周波数 $\frac{3}{4}f_s$ でサブサンプリングを実現する。

また $k = 0, \pm 1, \pm 2, \pm 3, \dots$ に対し次の性質がある。

$$A_1\left(\frac{k}{2f_s}\right) = 0, \quad A_2\left(\frac{k}{2f_s}\right) = 0, \quad (1)$$

$$\frac{dA_1}{dt}\Big|_{t=\frac{k}{2f_s}} = 0, \quad \frac{dA_2}{dt}\Big|_{t=\frac{k}{2f_s}} = 0. \quad (2)$$

出力値、出力スルーレートがともにゼロ近辺の時にサンプリングクロックの切り替えが行われるのでジッタの影響 [9] は小さくなることが期待できる。

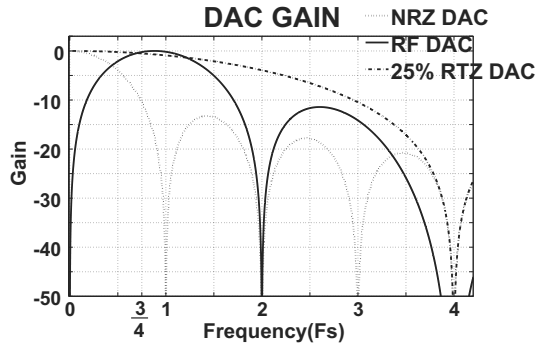


図 12: 各 DAC のゲイン特性.

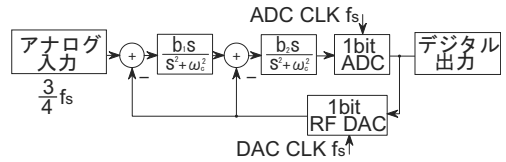


図 13: 提案手法のシミュレーションブロック図.

VI シミュレーションによる動作の確認

提案する連続時間バンドパス $\Delta\Sigma$ AD 変調器構成

提案手法の有効性を確認する為、MATLAB を用いて図 13 の様なブロック構成でシミュレーションを行った。連続時間バンドパス $\Delta\Sigma$ AD 変調器の内部 DAC 部分に 1bit RF DAC を組み込み、ループフィルタには中心周波数 $\frac{3}{4}f_s$ の 2 次連続時間バンドパスフィルタを用い、周波数 $f_{in} \approx \frac{3}{4}f_s$ の信号を入力しシミュレーションを行った。ループフィルタの係数は

$$\omega_c = 2\pi\left(\frac{3}{4}f_s\right), \quad b_1 = \frac{1.5}{30}\omega_c, \quad b_2 = \frac{5}{30}\omega_c \quad (3)$$

とした。(RF DAC の出力振幅を 1 とした時、フィルタ出力振幅が 1 近辺になるように設定した.)

変調器出力パワースペクトラムは図 14 になり量子化雑音が $\frac{3}{4}f_s$ でノイズシェーブされている。SNDR は図 15 のように傾き 15dB/oct となり提案構成がサブサンプリングを行う 2 次バンドパス $\Delta\Sigma$ AD 変調器として動作することが確認できた。

DAC クロック・ジッタのバンドパス $\Delta\Sigma$ AD 変調器精度への影響

次に、内部 DAC が RFDAC、パルス幅 25% の RTZ DAC [4] の時に (図 10)、DAC のクロックに対しガウス分布でクロック周期 f_s の $\pm 1\%$ の範囲のクロックジッタを与えてシミュレーションを行った。この時の出力パワースペクトラムを図 16(a)、図 16(b) に示

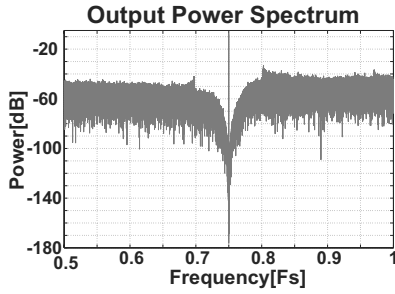


図 14: 提案する内部 DAC に RF DAC を用いた連続時間バンドパス $\Delta\Sigma$ AD 変調器の出力パワースペクトラム。

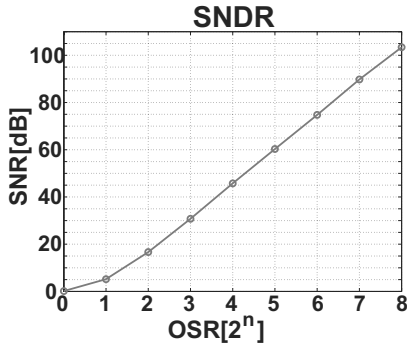
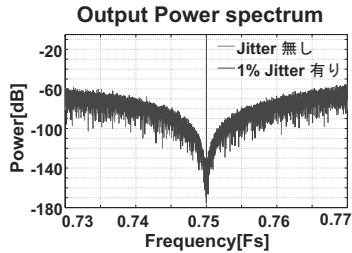
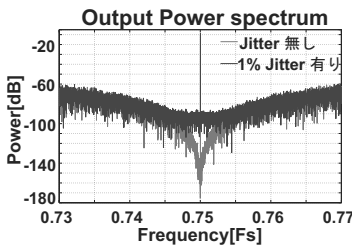


図 15: 提案する内部 DAC に RF DAC を用いた連続時間バンドパス $\Delta\Sigma$ AD 変調器の SNDR と OSR の関係。

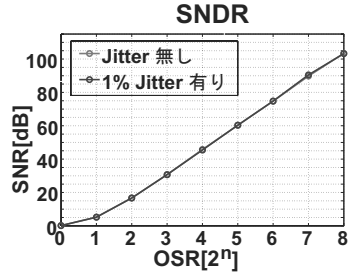


(a)RF DAC を使用

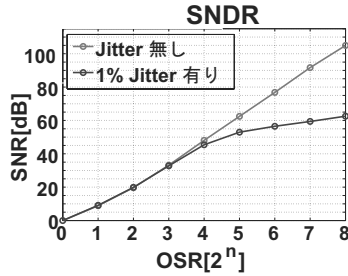


(b)25% RTZ DAC を使用

図 16: 内部 DAC にそれぞれの DAC を用いた場合の DAC CLK のジッタによる連続時間バンドパス $\Delta\Sigma$ AD 変調器の出力パワースペクトラムの変化。



(a)RF DAC を使用



(b)25% RTZ DAC を使用

図 17: 内部 DAC にそれぞれの DAC を用いた場合の DAC CLK のジッタによる連続時間バンドパス $\Delta\Sigma$ AD 変調器の SNDR の変化。

す。RTZ DAC を用いた場合にはジッタの影響によりノイズフロアが大きく上昇しているが、RF DAC を用いた場合にはほとんど変化が無いことが分かる。また、SNDR と OSR の関係を図 17(a)、図 17(b) に示す。25% RTZ DAC を用いた場合には大きく SNDR が劣化しているのに対し、RF DAC を用いた時には劣化が改善されていることが確認できた。

VII マルチビット

連続時間バンドパス $\Delta\Sigma$ AD 変調器構成

連続時間バンドパス $\Delta\Sigma$ AD 変調器の内部 DAC,ADC にマルチビット DAC,ADC を用いることで、マルチビット連続時間バンドパス $\Delta\Sigma$ AD 変調器を構成することができる (図 18)。マルチビット構成ではより高精度な AD 変換が実現できる。3bit RF DAC の入出力の関係は図 19 の通りである。この 3bit RF DAC を内部 DAC に用い、ループフィルタを 1bit RF DAC を組み込んだ場合と同様に、RF DAC の最大出力振幅を 1 とした時、フィルタ後の出力振幅が 1 に近くな

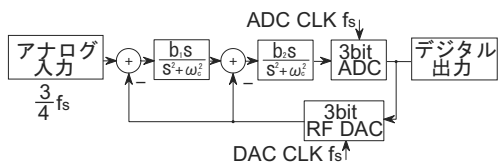


図 18: 3bit RF DACを用いた連続時間バンドパス $\Delta\Sigma$ AD変調器のシミュレーションブロック図.

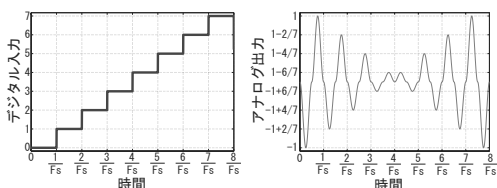


図 19: デジタル入力(左)と3bit RF DACの出力波形(右).

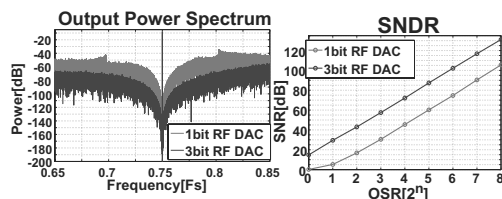


図 20: 内部ADC,DACに3bitのADC,RF DACを使用した時の連続時間バンドパス $\Delta\Sigma$ AD変調器の出力パワースペクトラム(左)とOSRとSNDRの関係(右).

るように設定した係数をもつ中心周波数 $\frac{3}{4}f_s$ の2次連続時間バンドパスフィルタとして、周波数 $f_{in} \approx \frac{3}{4}f_s$ の信号を入力しシミュレーションを行った。尚、ループフィルタの係数はそれぞれ、

$$\omega_c = 2\pi\left(\frac{3}{4}f_s\right), \quad b_1 = \frac{3}{30}\omega_c, \quad b_2 = \frac{18}{30}\omega_c \quad (4)$$

とした。

ADC,DAC部に3bitのADC,RF DACを用いると図20の様に1bitのものを用いた場合に比べノイズフロアが下がり、図20の様にSNRがOSR = 2⁵でおおよそ27dB向上する。但し、マルチビット構成を用いる場合にはDAC出力の非線形性によりAD変調器の全体の精度が大きく劣化するので[6]、DWA等のミスマッチ軽減手法が必要となる。

VIII まとめと今後の課題

連続時間バンドパス $\Delta\Sigma$ AD変調器のDAC部分にRFDACを用いることでサブサンプリングを実現し、また連続時間変調器の欠点であるクロック・ジッタの影響を軽減できることをシミュレーションで確認

した。さらなる高性能変調器のアーキテクチャへの発展として現在次のことを検討している。

- 内部ADC, RFDACを各々2チャンネルインターリーブする構成への拡張。
- トランジスタ回路レベルでの設計。

また、 $\Delta\Sigma$ AD変調器において、内部ADCの出力と内部DACの出力の間のExcess Loop Delay [5]と呼ばれる遅延のためAD変調器全体の精度が劣化する。実用上問題の無い範囲の遅延はどの程度であるかを現在確認中である。

謝辞 有意義なご討論をいただきました堀田正生氏、塚田敏郎氏、益子耕一郎氏、和田淳氏、小澤時典氏、および本研究を支援していただいています(株)半導体理工学研究センター(STARC)に感謝いたします。

参考文献

- [1] F. Munoz, K. Philips, A. Torralba, "A 4.7mW 89.5dB DR CT Complex $\Delta\Sigma$ ADC with Built-in LPF", *ISSCC Digest of Technical Papers*, vol.47, pp.500-501 (Feb. 2004).
- [2] R. Schreier, J. Lloyd, L. Singer, D. Paterson, M. Timko, M. Hensley, G. Patterson, K. Behel, J. Zhou, "A 10-300MHz IF-digitizing IC with 90-105dB dynamic range and 15-333kHz bandwidth," *IEEE Journal of Solid-State Circuits* vol.37, pp.1636-1644 (Dec. 2002).
- [3] T. Salo, T. Hollman, S. Lindfors, K. Halonen, "A Dual-Mode 80MHz Bandpass $\Delta\Sigma$ Modulator for a GSM/WCDMA IF-receiver," *ISSCC Digest of Technical Papers*, vol.45, pp.218-219 (Feb 2002).
- [4] U.V. Kack, J. Lee, "Direct RF Sampling Continuous-Time Bandpass $\Delta\Sigma$ AD Converter Design for 3G Wireless Applications", *Proc. of IEEE ISCAS*, Vancouver, Canada (May 2004).
- [5] P. Fontaine, A. N. Mohieldin, A. Bellaouar, "A Low-Noise Low-Voltage CT $\Delta\Sigma$ Modulator with Digital Compensation of Excess Loop Delay", *ISSCC Digest of Technical Papers*, vol.47, pp.498-499 (Feb. 2004).
- [6] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, "A noise-shaping algorithm of multi-bit DAC nonlinearities in complex bandpass $\Delta\Sigma$ AD modulators," *IEICE Trans. on Fundamentals*, vol.E87-A, no.4, pp.792-800 (April 2004).
- [7] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press (1997).
- [8] S. Luschs, R. Schreier, H.-S. Lee, "Radio Frequency Digital-to-Analog Converter," *IEEE Journal of Solid-State Circuits*, vol.39, no.9, pp.1462-1467 (Sept. 2004).
- [9] H. Kobayashi, K. Kobayashi, M. Morimura, Y. Onaya, Y. Takahashi, K. Enomoto, and H. Kogure, "Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems," *IEICE Trans. on Fundamentals*, vol. E85-A, no. 2, pp.335-346 (Feb. 2002).