

# I、Q経路ダイナミック・マッチングによる 高周波信号発生器の低スプリアス化

SFDR Improvement in High-Frequency Signal Generator with I,Q-Path Dynamic Matching

大槻 純 傘 昊 小林 春夫 小室 貴紀 宮本 幸治  
 群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1

Jun Otsuki Hao San Haruo Kobayashi Takanori Komuro Kouji Miyamoto  
 Electronic Engineering Department, Faculty of Engineering, Gunma University  
 Tel: 0277-30-1788 Fax: 0277-30-1707 e-mail:{san,k\_haruo}@el.gunma-u.ac.jp

**概要** この論文では、高周波信号発生器の低スプリアス化の一手法を提案する。I、Q ベースバンド信号をデジタル的に変調して DA 変換を行い、その出力をミキサと発振器により高周波信号に周波数変換を行う方式において、I、Q 経路の 2ch DA 変換器を擬似ランダムに切り替えるダイナミック・マッチング法を用いて、高周波信号発生器の低スプリアス化を実現する。この手法により 2ch DAC 間の特性のミスマッチによって生じるスプリアス成分が周波数拡散され、SFDR が向上することを Matlab を用いたシミュレーションで確認した。

**キーワード：** 信号発生器、ダイナミック・マッチング、I、Q 経路ミスマッチ、DA 変換器、ダイレクト・デジタル・シンセサイザ、SFDR

## I 研究背景

携帯電話の送信回路部では発生される信号周波数帯域以外の妨害波が一定値以下であるように規格を満たすことが要求される。また計測器の信号発生器・任意波形発生器では低スプリアスで純度の高い信号を発生することが求められている。これらの携帯電話の送信部、計測器の信号発生器では、高周波信号を発生するために I、Q ベースバンド信号をデジタル的に変調して DA 変換を行い (Direct Digital Synthesizer [1, 2, 3])、その出力をミキサと発振器により高周波信号に周波数変換を行う方式が用いられる。(送信器の場合は Cartesian upconversion transmitter と呼ばれる。) 図 1 にその構成の一つである直交アップ・コンバージョンを用いた 2 ステップ・トランスミッター・アーキテクチャを示す [4]。DAC の出力信号の周波数は  $\omega_0$  であるが、ミキサ回路において発振器の出力

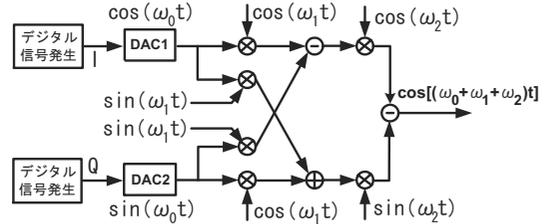


図 1: 2 ステップ・トランスミッター・アーキテクチャ。

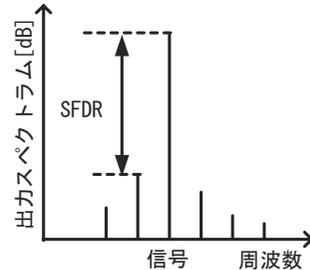


図 2: SFDR の説明。SFDR は信号パワーと最大スプリアスパワーとの比で定義される。図は縦軸デシベル表示なので“差”になっている。

(周波数  $\omega_1, \omega_2$ ) と乗算されることにより出力周波数は  $\omega_0 + \omega_1 + \omega_2$  と高周波になる。しかしながらこの方式では I、Q 経路の特性のミスマッチ [1, 5] が問題になる。すなわち、2ch DAC の特性 (ゲイン、オフセット、タイミング等) のミスマッチ、ミキサ間のゲインのミスマッチ、発振器出力の sine 信号と cosine 信号の位相差の 90 度からのずれ等が、出力では信号成分だけでなくイメージ信号も生じさせる。これは

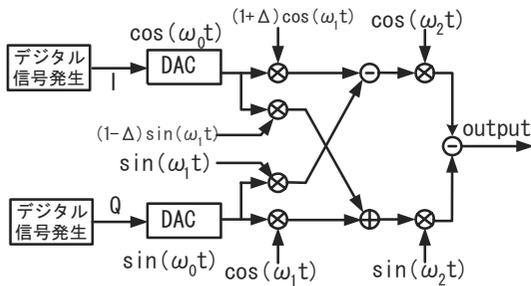


図 3: 図 1 の構成で、ミキサの 1 つのペアでゲインのミスマッチ  $2\Delta$  がある場合.

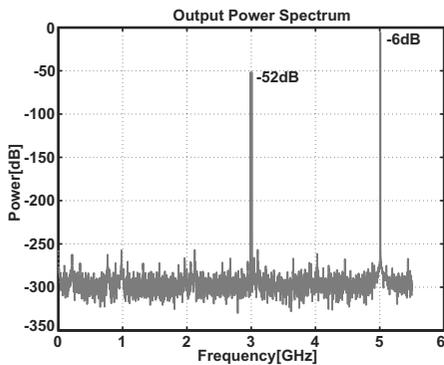


図 4: 図 3 で示すミキサの 1 つのペアでゲインのミスマッチ  $2\Delta$  がある場合. 信号成分は  $5.015\text{GHz}$  に  $-6\text{dB}$  で、 $3\text{GHz}$  近辺に  $-52\text{dB}$  のスプリアスが立ち、SFDR が  $46\text{dB}$  に劣化する.

送信器の場合は他チャンネルへの妨害波となり、任意波形発生器の場合はスプリアス成分となる。この問題を軽減するためには可変アナログ・バンドパス・フィルタ等が必要であるが、そのためにコスト、サイズ、消費電力が大きくなってしまふ。

この双対問題として受信機部の I、Q 経路ミスマッチの問題があるが [1, 5]、受信機内での I、Q ミスマッチが一定内に収まっていれば後段のデジタル回路部でデジタル的に補正することが可能である。しかしながら送信器、信号発生器では出力がアナログ信号であるので直接的にはデジタル補正をすることができない。

本論文では信号発生器のこの問題を軽減するためデジタル的手法の一つであるダイナミック・マッチング法を用いることを提案する。この手法により 2ch

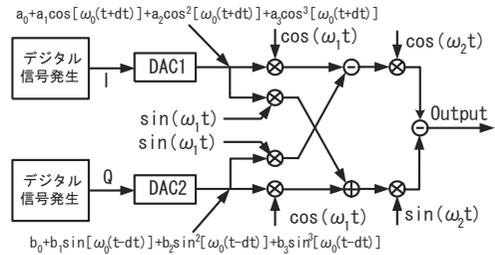


図 5: 2ch DAC 間にオフセット、ゲイン、二次歪、三次歪、サンプリング・タイミングのミスマッチがある場合.

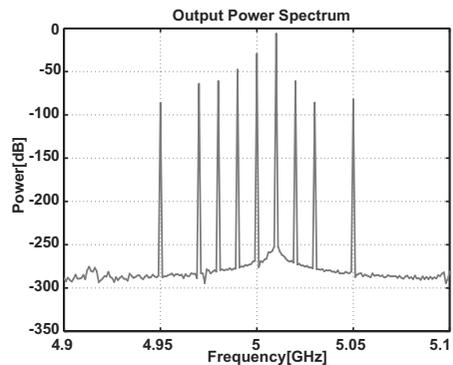


図 6: 図 5 で示す 2ch DAC 間にオフセット、ゲイン、二次歪、三次歪およびサンプリング・タイミングのミスマッチがある場合の出力スペクトル. 多くのスプリアスが立ち、SFDR が  $24\text{dB}$  に劣化する.

DAC の特性のミスマッチによって生じるスプリアスを低減化しアナログ・フィルタ等への回路性能要求が緩和される。

本論文では図 1 に示す 2 ステップ・トランスミッタ・アーキテクチャの場合を考えるが、もちろん 1 ステップ・トランスミッタ・アーキテクチャの場合も本論文での提案手法は適用可能である。また、 $\omega_0/(2\pi) = 15\text{MHz}$ 、 $\omega_1/(2\pi) = 1\text{GHz}$ 、 $\omega_2/(2\pi) = 4\text{GHz}$  としてシミュレーションを行った。

## II I、Q 経路ミスマッチによるスプリアス発生

図 1 に示す 2 ステップ・トランスミッタ・アーキテクチャの場合を考える。I、Q 経路間にミスマッチがあると出力にスプリアスが生じ、SFDR (Spurious Free Dynamic Range、図 2) が劣化する。このことを以

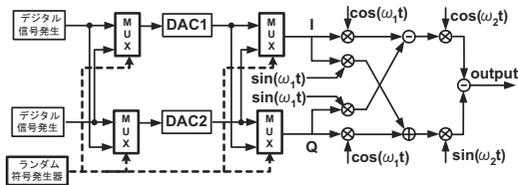


図 7: 2ch DAC ダイナミック・マッチングを用いた提案回路方式.

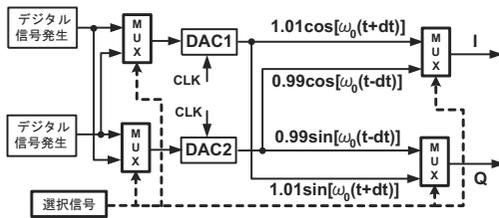


図 8: 2ch DAC のゲイン、タイミングのミスマッチがある場合の提案回路内の信号.

下のようにシミュレーションで示す。

**例 1:** 図 3 に、ミキサの一つのペアでゲイン（もしくは発振器の sine、cosine の振幅）のミスマッチがある場合を示す。図 4 はこの場合の出力スペクトルである。-52dB のスプリアスが立ち、SFDR が 46dB に劣化していることがわかる。

**例 2:** 図 5 に 2ch DAC 間にオフセット、ゲイン、二次歪、三次歪およびサンプリング・タイミングのミスマッチがある場合を示す。図 6 はこの場合の出力スペクトルで、多くのスプリアスが立ち、SFDR が 24dB に劣化していることがわかる。

### III スプリアス低減化のための提案方式

2ch DA 変換器の回路規模が大きく特性を合わせることが比較的困難であるので、このミスマッチの影響を軽減するため図 7 の構成を提案する。あるタイミングでは DAC1 出力は I 経路（上側経路）で DAC2 出力は Q 経路（下側経路）に用いられ、別のタイミングでは DAC1 出力は Q 経路で DAC2 出力は I 経路に用いられる。これを擬似ランダムに切り替える。このため 2 つのデジタル信号発生部と 2ch DAC 間にマルチプレクサ (MUX) を設け、また DAC 出力

部にもアナログ MUX を設けて両者を同期させて切り替える。このような手法で DAC1、DAC2 のミスマッチにより生じる誤差成分が周波数領域で拡散されてスプリアスのピークが減少し、SFDR を向上させることができる。

このダイナミック・マッチングによる周波数拡散の手法は他の回路分野でも用いられている。

- [6, 7] ではセグメント型 DA 変換器の各単位要素の選択順番をダイナミックに変更することで回路要素のミスマッチによるスプリアス成分を周波数拡散させている。
- [8] ではダイレクト・コンバージョン・ミキサのオフセット等の影響をチョッピングにより除去し IIP2 を向上させている。
- 本論文の著者の一人により、インターリーブ ADC において余分なチャンネルを 1 つもちランダムインターリーブを行うことでチャンネル間ミスマッチにより生じるスプリアスを周波数拡散する方式が提案されている [9]。
- [10, 11] ではデジタル LSI、スイッチング電源でのクロックタイミングを（擬似）ランダムに揺らがせることにより、そのスペクトルを周波数拡散させている。

しかし、このダイナミック・マッチングの手法を信号発生器の I、Q 経路ミスマッチの問題に適用したのは（著者らが知る限りは）初めてである。

### IV シミュレーションによる提案方式の効果の確認

提案手法の有効性を確認するため Matlab を用いて、いくつかの場合でシミュレーションを行なった。DAC1、2 のサンプリング周波数を  $\omega_s$ 、それぞれの入力を  $x_1, x_2$ 、出力を  $y_1, y_2$  とするとその入出力特性は次のように近似できる。

$$y_1 = a_0 + a_1x_1 + a_2x_1^2 + a_3x_1^3 \quad (1)$$

$$y_2 = b_0 + b_1x_2 + b_2x_2^2 + b_3x_2^3. \quad (2)$$

ここでミスマッチを考えるので、一般に

$$\begin{aligned} \text{オフセット } a_0 &\neq b_0, & \text{ゲイン } a_1 &\neq b_1, \\ \text{2次歪 } a_2 &\neq b_2, & \text{3次歪 } a_3 &\neq b_3 \end{aligned}$$

である。また DAC1、DAC2 間のサンプリング・タイミングもスキュー  $dt$  があり得ると考えた。DAC の分解能は 10 ビットとし、量子化ノイズも考慮した。

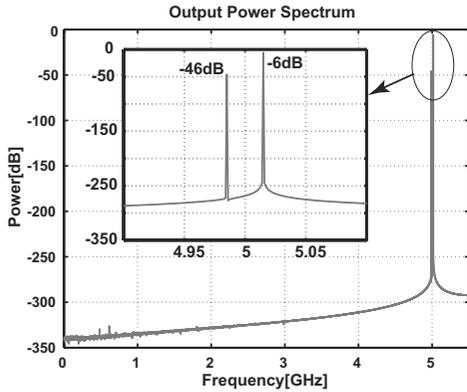


図 9: 図 1 で DAC の量子化ノイズを考慮せず、2ch DAC のゲイン、タイミング・ミスマッチがある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-46.0\text{dB}@4.985\text{GHz}$ 、SFDR は  $40\text{dB}$  である。

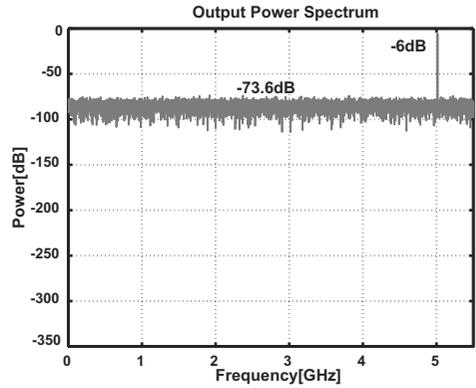


図 11: 提案手法を用いた図 8 で DAC の量子化ノイズを考慮せず 2ch DAC のゲイン、タイミング・ミスマッチがある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-73.6@1.917\text{GHz}$ 、SFDR は  $67.3\text{dB}$  であり、図 9 に比べて  $27.3\text{dB}$  向上している。

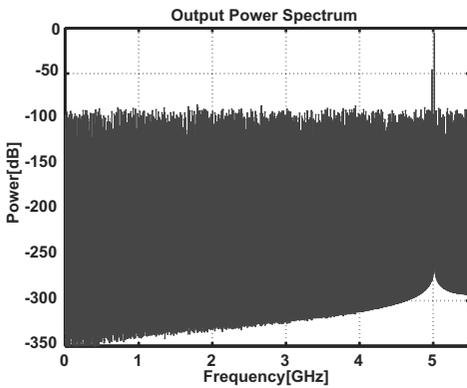


図 10: 図 1 で 10bit DAC の量子化ノイズを考慮し、2ch DAC のゲイン、タイミング・ミスマッチがある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-46.0\text{dB}@4.985\text{GHz}$ 、SFDR は  $40\text{dB}$  となり図 9 の量子化ノイズを考慮しない場合と同じであり、量子化ノイズはノイズフロアの上昇のみに寄与していることがわかる。

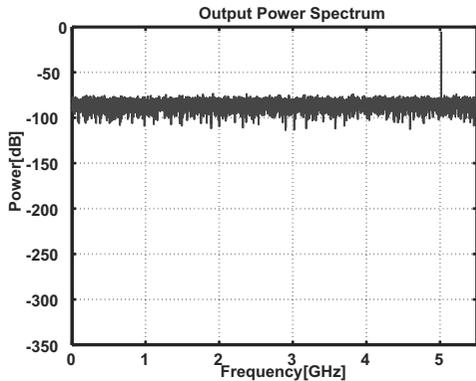


図 12: 提案手法を用いた図 8 で 10bit DAC の量子化ノイズを考慮し 2ch DAC のゲイン、タイミング・ミスマッチがある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-73.6\text{dB}@1.917\text{GHz}$ 、SFDR は  $67.3\text{dB}$  であり、図 10 に比べて  $27.3\text{dB}$  向上している。これは図 11 の量子化ノイズがない場合と同じであり、量子化ノイズはノイズフロアの上昇のみに寄与していることがわかる。

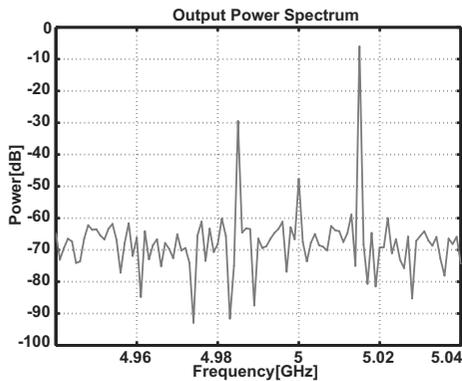


図 13: 図 1 で 10bit DAC の量子化ノイズを考慮し 2ch DAC のオフセット、ゲイン、タイミング・ミスマッチ、3 次高調波がある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-29.5\text{dB}@4.985\text{GHz}$ 、第 2 スプリアス成分  $-47.7\text{dB}@5.0\text{GHz}$ 、SFDR は  $23.5\text{dB}$  である。

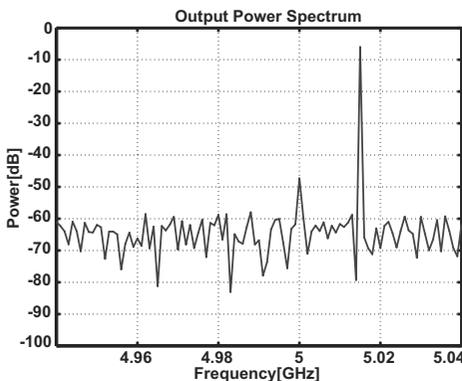


図 14: 提案手法を用いた 10bit DAC の量子化ノイズを考慮し、2ch DAC のオフセット、ゲイン、タイミング・ミスマッチ、3 次高調波がある場合の出力スペクトル。信号成分  $-6.0\text{dB}@5.015\text{GHz}$ 、最大スプリアス成分  $-47.3\text{dB}@5.0\text{GHz}$ 、SFDR は  $41.3\text{dB}$  である。図 13 に比べて 3 次高調波が拡散され、SFDR は  $17.8\text{dB}$  向上している。

図 9、10、11、12 は 2ch DAC のゲイン、タイミング・ミスマッチがある場合の出力スペクトルで、提案手法を用いてない場合と用いた場合を示している。提案手法を用いた場合は 2ch DAC ミスマッチによるスプリアスがスペクトル拡散され、SFDR 値は約  $27\text{dB}$  改善された。また、DAC の量子化ノイズを考慮した場合には、従来式 2 ステップ・トランスミッタ構成においては、量子化ノイズはほぼ白色ノイズであり、ノイズフロアは  $-300\text{dB}$  から約  $-100\text{dB}$  までに上げるだけで、ミスマッチによるスプリアスとは相関はない特性が示された。提案手法を用いる場合、DAC 量子化ノイズの影響によらず、 $-46\text{dB}$  のスプリアスは  $-75\text{dB}$  レベル付近で拡散された。

他の数値を用いた場合でもオフセット、ゲイン、タイミング、3 次歪のミスマッチの場合は同様に提案手法でスプリアスが拡散し SFDR の向上が確認できた。(図 13、14 参照。)

2 次歪とそのミスマッチがある場合は提案手法の SFDR 向上の効果が少ないが、DA 変換器を差動回路構成で実現すれば 2 次歪は 3 次歪に比べてきわめて小さくできるので大きな問題にはならない。

## V まとめ

I、Q ベースバンド信号をデジタル的に変調して DA 変換を行い、その出力をミキサと発振器により高周波信号に周波数変換を行う方式を用いた高周波信号発生器において、低スプリアス化のために、I、Q 経路の 2ch DA 変換器を擬似ランダムに切り替えるダイナミック・マッチング法を提案した。提案手法により 2ch DA 変換器の特性のミスマッチにより生じるスプリアスを周波数拡散でき、SFDR が向上することをシミュレーションで示した。提案方式は、デジタル部および低周波で動作するアナログ回路部での回路を変更を加えることで対応できるので、比較的实现が容易である。今後の課題は以下のようになる。

- 提案方式を含めた信号発生器のトランジスタ・レベルでの設計。
- その回路での SPICE シミュレーションによる提案方式の有効性の確認。
- I、Q 経路のミキサ回路の特性のミスマッチ (図 3)、発振器出力の sine 信号と cosine 信号の位相差の  $90$  度からのずれへの対応。

- 2つのアナログMUX間の特性ミスマッチの影響。(ただしこれは回路設計に依存し、実現回路方式によってはアナログMUX間のミスマッチを2ch DACのミスマッチの中に、すなわち式(1), (2)のモデルに含めることもできる。)
- 入力信号とサンプリング・クロックのビートがある場合の考慮。

半導体技術の進展によりCMOSトランジスタの微細化が進み、それに伴い信頼性とデジタル部の低消費電力化のため電源電圧がより低電圧化してきている。近い将来1V以下の電源電圧でシステムLSI内のアナログ回路を動作させなければならないが、その状況下でもアナログ回路部の従来以上のダイナミックレンジを確保するための技術を確立する必要がある。一方デジタル回路部は半導体微細化技術により高密度、低コスト、低消費電力、高速化という恩恵を大きく受け、またデジタル回路は低電圧下でも安定に動作する。そこでデジタル技術を多用しアナログ回路部の精度・ダイナミックレンジを確保する方式が重要になってくると思われる、このような考えのもとに本論文での提案方式を開発した。

#### 参考文献

- [1] B. Razavi, *RF Microelectronics*, Prentice Hall (1998).
- [2] A. Torosyan, D. Fu, A. N. Willson Jr., "A 300MHz Quadrature Direct Digital Synthesizer/Mixer in  $0.25\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits*, vol.38, no.6, pp.875-887 (June 2003).
- [3] L. K. Tan, H. Samueli, "A 200MHz Quadrature Frequency Synthesizer/Mixer in  $0.8\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits*, vol.30, no.3, pp.193-200 (Mar. 1995).
- [4] B. Razavi, "A 900-MHz/1.8-GHz CMOS Transmitter for Dual-Band Application," *IEEE Journal of Solid-State Circuits*, vol.34, no.5, pp.573-579 (May 1999).
- [5] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press (1998).
- [6] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2nd Edition, Kluwer Academic Publishers (2003).
- [7] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$  Modulators," *IEICE Trans. on Fundamentals*, E87-A, no. 4, (April 2004).
- [8] B. Bautista, B. Bastani, J. Heck, "A High IIP2 Down Conversion Mixer Using Dynamic Matching," *IEEE Journal of Solid-State Circuits*, vol.35, no.12, pp.1934-1941 (Dec. 2000).
- [9] M. Tamba, A. Shimizu, H. Munakata and T. Komuro, "A Method to Improve SFDR with Random Interleaved Sampling Method," *Proc. of International Test Conference*, pp.512-520 (2001).
- [10] C. D. Hoekstra, "Frequency Modulation of System Clocks for EMI Reduction," *Hewlett-Packard Journal*, Article 13, pp.101-107 (August 1997).
- [11] T. Daimon, H. Sadamura, T. Shindou, H. Kobayashi, M. Kono, T. Myono, T. Suzuki, S. Kawai, T. Iijima, "Spread-Spectrum Clocking in Switching Regulators for EMI Reduction," *IEICE Trans. on Fundamentals*, vol. E86-A, no. 2, pp.381-386 (Feb. 2003).