

高周波アナログ LSI のテスト容易化回路

Analog BIST: A Proposal for High-Frequency Analog LSI Testing

早坂 直人 小林 春夫 小室 貴紀 † 酒寄 寛 †

群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1

Tel: 0277-30-1788 Fax: 0277-30-1707 e-mail:k_haruo@el.gunma-u.ac.jp

† アジレント・テクノロジー・インターナショナル(株) SOC テスト事業部 製品開発部

〒 192-8510 東京都八王子市高倉町 9-1 e-mail:{takanori_komuro,hiroshi_sakayori}@agilent.com

Naoto Hayasaka Haruo Kobayashi Takanori Komuro † Hiroshi Sakayori †

Electronic Eng. Dept., Gunma University † Agilent Technologies International Japan, Ltd.

概要 この論文では高周波アナログ LSI のアナログ出力信号ピンの前段(チップ内)に広帯域・高精度サンプリング回路を設けテスト容易化を図り、テストの技術的困難さとコストの問題を低減することを提案する。そのサンプリング回路はテスト時に入力信号が繰り返し波形であることを利用して、上位ビットは逐次比較近似 ADC でデジタル的に生成し、残りの下位ビットはトラック・ホールド回路でアナログ的に生成する。このことでアナログ回路への性能要求が緩和されるので、様々な CMOS プロセス、電源電圧の被テスト LSI 内で比較的容易に全体として広帯域・高精度サンプリング回路を実現できる。この CMOS サンプリング回路を IP 化し様々な高周波アナログ LSI に内臓することで、そのテスト容易化・テストコスト削減を実現していく。

キーワード: LSI テスト、アナログ回路、BIST、サンプリング、等価時間サンプリング、逐次比較 ADC

I. 研究背景

近年、携帯電話、無線 LAN、Bluetooth 等に用いられている高周波アナログ混載 LSI はそのテストが技術的に難しくなっている。またそのテストのためには高価な LSI テスター、オシロスコープ、スペクトル・アナライザ等を用いる必要がありテスト・コストが問題になってきている。たとえば携帯電話などの送受信機 LSI ではそのテスト容易化のために送信機出力を直接受信機に入力してテストを行うループバック法がよく用いられ、これによりオシロスコープを用いずに送受信機の基本機能を確認することができる。(図 1) しかしこの方法では送信部から発生されている信号成分は評価できるが不要スプリアス成分は評価できず、カバーできるテスト項目に制限がある。また、デジタル LSI に関してはスキャンパス法等の標準的な BIST (Built-in-Self-Test、チップ内蔵自己テスト回路)、テスト容易化設計手法が確立しているが [1]、アナログ LSI では BIST が実用化されている例は少

ない。[2, 3, 4]

この論文では高周波信号を出力する LSI の高精度テストのためにデジタル技術とアナログ技術の併用により、チップ内のアナログ出力信号ピン前段に広帯域・高精度・低電圧 CMOS サンプリング回路を実現することを提案し、その回路構成、動作を示す。

II. アナログ BIST 回路の提案

高周波アナログ混載 LSI テストの問題の一側面を解決するため、アナログ出力信号ピンの前段(チップ内)にテスト用として広帯域・高精度サンプリング回路を設けテスト容易化を図ることを提案する。(図 2 (a)) テスト時にはこのサンプリング回路を用いることでその出力はほぼ DC 信号となり高周波信号のゆへの信号減衰がなくなり、また後段には高価な高速・高周波電子計測器は不要となる。(これに対し外部にサンプリング回路を設けた場合は、チップとサンプリング回路間の寄生容量により高周波信号波形の劣化が引き起こされてしまう(図 2 (b)).) この出力ピンの信号は繰り返し波形になるように被測定回路への入力信号を与えることで、全体の出力波形は等価サンプリング技術(図 3、付録 1 および [5, 6, 7] 参照)によって再合成することができる。

高周波アナログ混載 LSI は CMOS で実現される割合が増え、また CMOS の微細化に伴い電源電圧は下がる。このチップ内埋め込みサンプリング回路にはたとえば数 GHz 以上の帯域、10~12bit の精度程度が要求されるが、この性能は低電圧化にともない直接的な実現は困難になってきている。高周波アナログ混載 LSI は様々な CMOS プロセス、電源電圧で実現され、そこに埋め込まれるテスト容易化用サンプリング回路はその様々な使用 CMOS プロセス、電源電圧に対してこの仕様を実現できる構成でなければならぬ。たとえば、 $0.35\mu\text{m}$ CMOS で 3.3V 動作、 $0.25\mu\text{m}$ CMOS で 2.5V 動作、 $0.18\mu\text{m}$ CMOS で 1.8V 動作、いずれの LSI の場合も大きな設計変更なしに (W, L サイズと

バイアスの調整程度で) GHz 以上の帯域、10-12bit 程度の精度のサンプラ回路構成を実現したい。このためにはトランジスタ・レベルの回路技術だけでは対応が困難であるので、デジタル技術とアナログ技術の併用によりこの問題を解決する。

なお、[8, 9] でチップ内 CMOS サンプラ回路が実現報告されているが、その主な目的は "Signal Integrity" のチェックのためであり、また帯域は数百 GHz 以上であるが精度は 6 ビット前後であり、ここでの目的・仕様とは異なる。また、実現法に関しては [8, 9] は "コヒーレント・サンプリング技術" を用いているのに対し、ここでは "シーケンシャル・サンプリング技術" を用いている。

III. 提案アナログ BIST 回路の構成と動作

提案方式の全体および構成要素である等価時間サンプリング (シーケンシャル・サンプリング) パルス生成回路、逐次比較近似 ADC、トラックホールド回路の構成と動作を述べる。トリガ回路については付録 2 に示す。

3.1 全体構成

高周波アナログ LSI のテスト・モード時にはアナログ出力が繰り返し信号で等価サンプリング技術 (特にシーケンシャル・サンプリング技術、付録 1 参照) を利用できるように、上位 4-5bit を逐次比較近似 ADC 出力とし、下位 5~7bit をアナログ回路 (Track/Hold 回路部) で出力する回路構成を提案する。(図 4) テスト時にアナログ出力信号、すなわちサンプラ回路への入力信号は繰り返し波形なのでトリガ後のあるタイミングの信号が何回も出現するのでその値をホールドする必要がなく (すなわち広帯域 Track/Hold 回路は不要で) 逐次比較近似 ADC が実現できる。(図 5)

例えば、最初のトリガ後のあるタイミング Δt の入力信号 $V_{in(1)}$ と参照電圧 $V_{ref}/2$ の比較を行い、 $V_{in(1)} \geq V_{ref}/2$ ならば次のトリガ後の Δt のタイミングでの入力信号 $V_{in(2)}$ と $(3/4)V_{ref}$ の比較を行う。繰り返し信号なので $V_{in(1)} = V_{in(2)}$ になる。この逐次比較近似の動作を N 回繰り返し、その N 回目で得た入力信号に最も近い参照電圧値を V'_{ref} とする。(N+1) 回目のトリガ後の Δt の入力信号 $V_{in(N+1)}$ と参照電圧 V'_{ref} の差 $V_{in(N+1)} - V'_{ref}$ を差動アンプで得てホールドして出力し、チップ外の ADC でデジタル信号に変換する。このための T/H 回路は入力信号 $V_{in(N+1)} - V'_{ref}$ がレンジが小さくまた精度が低くてよいことから (例えば開ループ構成で広帯域に) 比較的容易に実現できる。これをトリガ後のタイミング $2\Delta t, 3\Delta t, 4\Delta t, \dots$ に対して繰り返し行い、等価時間サンプリングの考え方で波形を再合成する。

図 6 に下位ビット生成についての説明図を示す。逐次比較近似 ADC により 4-5bit 精度でどこの領域に入力信

号があるのかを探し、その近辺の基準電圧 V_r と入力信号の差を T/H 回路で計測し V_{out} として出力する。このとき差動アンプの一方にその近辺の基準電圧 V_r を、他方に入力信号を入力する。両方の信号がほぼ等しいので、この範囲では差動アンプは良い入出力線形性が得られ、また開ループ構成なので広帯域が実現できる。この T/H 回路出力をチップ外で増幅して AD 変換し、逐次近似 AD 変換をした上位のビットとあわせて全体の精度を得る。差動アンプは逐次比較近似 ADC の動作のときにはコンパレータ (の前段のアンプ) として、T/H 回路として動作するときには線形なアナログ差動アンプとして働く。

上位ビットをデジタル出力することで、下位ビット生成のためのアナログ回路部 (T/H 回路) は入力レンジが狭い範囲での 5~7bit 精度を出せばよいことになるので低電圧化でも実現し易く、全体として等価的に高精度・広帯域のサンプラ回路をチップ内部に実現することができる。

3.2 サンプリングパルス生成回路部

シーケンシャル・サンプリングは、最初のトリガ信号の Δt 時間後サンプリングを行い、次のトリガ信号の $2\Delta t$ 時間後、その次のトリガ信号 $3\Delta t$ 時間後等、次々とサンプリングを行う方式である。このためのサンプリング・パルスの生成は次のように行う。(図 7)

- (i) 繰り返し入力信号の起点のトリガ信号が入るとスルーレート $V_R(V/s)$ のランプ波をスタートさせる。
- (ii) このランプ波が事前に外部で設定したある電圧レベル V_{DAC1} を過ぎる時点でサンプリングパルスを発生させ、繰り返し信号の瞬時値 V_A をサンプリングする。

サンプリングパルスの立ち上がりトリガ信号間の時間差 T_{delay} はランプ波スルーレート V_R と DAC からの参照電圧 V_{DAC1} に依存し、原理的には V_{DAC1} を変化させることでトリガ以降の任意の時点の信号をサンプリングすることができる。サンプリング動作を終了する度に V_{DAC1} を単位ステップで階段状に増加させるので、サンプリング時点が波形の時間の推移に従うことになり、この方式はシーケンシャル・サンプリングと呼ばれている。

シーケンシャル・サンプリングでのサンプリングパルス生成の設計回路を図 8 に示す。この回路をランプ波発生器と外部から制御される DAC1、コンパレータから構成した。初期状態は SR-FF のリセット信号を ON にすることで、電圧 $V_R = 0$ とする。トリガ信号の入力により、電流 I_1 が容量 C_1 に流れ電荷を蓄積してランプ波を発生させ、DAC1 の出力 V_{DAC1} と比較する。図 9 にサンプリングパルス生成回路の信号波形を示す。また DAC1 はセグメント型とし、一度逐次比較近似 ADC の動作が終了すると次の電圧レベルに 1LSB 増加するように外部 CPU から制御する。

3.3 逐次比較近似 ADC 部

図4の中に示される上位ビット生成用逐次比較近似ADC (successive approximation type A-D convertor) を、コンパレータ、逐次比較近似レジスタ (SAR: Successive Approximation Register)、 n bit のDAC2、基準電圧、差動アンプ、T/H回路から構成する。図10、11に動作原理を示す。

図10に示すように、逐次比較近似ADCは天秤のように動作する。ここで重りAは入力信号 V_{in} (繰り返し信号)の瞬時値で、重りBはDAC2の出力信号 V_{DAC2} である。逐次比較近似したための重りBを天秤(差動アンプ)に架けて比較を行い、最終的に重りAと重りBが(ほぼ)等しくなるように動作する。

すなわち、逐次比較近似ADCはSARに連動したDAC2の出力電圧 V_{DAC2} が入力信号 V_{in} (繰り返し信号)の瞬時値に一致するまで比較していく帰還比較方式として動作する。(図11) まず MSB だけを1にし(残りは0)入力信号と比較する。入力信号の方が小さければ $MSB = 0$ が、大きければ $MSB = 1$ が決定できる。次に MSB より一つ小さい位のbitを1にして同様に決定する。この動作を n bit回繰り返し、最後に LSB を決定すれば変換終了となる。このときのDAC2のデジタル・データがAD変換結果となる。

また図6に示すように差動アンプは逐次比較近似ADCのAD変換中はコンパレータの前段のプリアンプとして、変換後は線形なアンプとして動作する。すなわち変換が終了した時点で差動アンプはプラス側とマイナス側の入力ほぼ等しくなり線形部分の良い領域で動作する。逐次比較近似の終了時点の差動アンプの出力をバッファを通して外部に出力し外部でAD変換すれば下位ビットの情報が得られる。

3.4 差動アンプ、マスター・スレーブ T/H回路

被測定回路と測定回路(提案サンブラ回路)は同一チップ上、すなわち同じプロセス技術で作られる。被測定回路が微細CMOSで実現されより高周波信号を扱えば、サンブラ回路も微細CMOSで実現されるので広帯域化しやすくなる。CMOSプロセスとサンブラ回路の帯域について検討する。

NMOSトランジスタの遮断周波数 f_T は飽和領域のとき次のように表される。[10]

$$f_T = \frac{3\mu}{4\pi \cdot L^2} (V_{GS} - V_{thn}). \quad (1)$$

また、図12の構成で $V_{GS} = 1.7V$ ($V_{GS} - V_{thn} = 1.0V$)のときBSIM3v3モデルを用いたSPICEシミュレーションで f_T は次のように得られた。

(i) $L = 1.40\mu m, V_{DS} = 3.3V$ のとき $f_T = 2.1GHz$,

(ii) $L = 0.70\mu m, V_{DS} = 3.3V$ のとき $f_T = 6.7GHz$,

(iii) $L = 0.35\mu m, V_{DS} = 3.3V$ のとき $f_T = 18.5GHz$,

(iv) $L = 0.25\mu m, V_{DS} = 2.5V$ のとき $f_T = 27.7GHz$.

(v) $L = 0.18\mu m, V_{DS} = 1.8V$ のとき $f_T = 36.4GHz$.

f_T は L が1/2になると、式(1)からは4倍になるはずだが、上記SPICEシミュレーションからは3倍程度である。

図13(a)に差動アンプを示す。差動アンプのゲイン特性は図13(b)に示すように一次系近似ではゲイン・帯域幅積一定の関係になる。図14に $L = 0.35\mu m, W = 15\mu m, I_{amp} = 1mA$ のときの差動アンプのゲイン特性のシミュレーション結果を示す。これらからCMOSのチャネル長 L 、遮断周波数 f_T 、差動アンプのゲイン・帯域の関係の把握ができる。

図15にT/H回路とその入出力波形を示す。提案回路では差動アンプの後段に図15(b)に示すようなT/H回路を2段直列接続したマスター・スレーブ型を用いる。そこではマスターがトラック・モード時にはスレーブがホールド・モード状態、またマスターがホールド・モード時にはスレーブがトラック・モード状態である。このようにすることで後段回路(チップ外のADC等)に高速・高周波信号が流れないようにする。2つのT/H回路を動作させるクロック(CLK, \overline{CLK})は同時にON状態(Track状態)にならないようにするためノンオーバーラップ・クロックを用いる。

サンブラの帯域は差動アンプの帯域とマスターT/H回路のスイッチオン抵抗・ホールド容量で決まる。

IV. まとめ

高周波アナログLSIのテスト容易化のために、出力ピン前段に広帯域・高精度サンブラ回路を設けることを提案し、その構成法を示した。今後以下のことを行う。

(i) 上位ビット生成用逐次近似ADC間とT/H回路出力を入力とする下位ビット生成用ADC間のキャリブレーション法の開発。

(ii) テスト容易化用サンブラ回路の被測定チップとLSIスタへの回路の割り振りの検討を行う。図16に示すようにできるだけLSIテスト側に機能を持たせ、BIST回路は最小限がよい。

(iii) このサンブラ回路をアナログIPとして実現し、高周波アナログ混載LSIに組み込みテスト容易化を図る。

謝辞 等価時間サンプリング技術、トリガ回路に関してご教示いただいた小林謙介氏に感謝の意を表します。

参考文献

- [1] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*, Kluwer Academic Publishers, Boston (2000).

- [2] M. M. Hafeed, N. Abaskharoun, and G. W. Roberts, "A 4-GHz Effective Sample Rate Integrated Test Core for Analog and Mixed-Signal Circuit", *IEEE Journal of Solid-State Circuits*, vol.37, pp.499-514 (April 2002).
- [3] B. Provost, and E. Sanchez-Sinencio, "On-Chip Ramp Generator for Mixed-Signal BIST and ADC Self-Test", *IEEE Journal of Solid-State Circuits*, vol.38, no.2, pp.263-273 (Feb. 2003).
- [4] G. W. Roberts, "Test Cores for On-Chip Analog Measurement", *Custom Integrated Circuits Conference*, Educational Session, San Jose (Sept. 2003).
- [5] M. Kimura, A. Minegishi, K. Kobayashi, and H. Kobayashi, "A New Coherent Sampling System with a Triggered Time Interpolation", *IEICE Trans. on Fundamentals*, E84-A, pp.713-719 (March 2001).
- [6] M. Kimura, K. Kobayashi, and H. Kobayashi, "A Quasi-Coherent Sampling Method for Wideband Data Acquisition," *IEICE Trans. on Fundamentals*, vol.E85-A, no.4, pp.757-763 (April 2002).
- [7] M. Kahrs, "50 Years of RF and Microwave Sampling", *IEEE Transactions on Microwave Theory and Techniques*, vol.51, no.6, pp.1787-1805 (June 2003).
- [8] M. Takamiya, M. Mizuno, and K. Nakamura, "An On-chip 100GHz-Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator", *IEEE International Solid-State Circuits Conference*, pp.182-183, San Francisco (Feb. 2002).
- [9] R. Ho, et al., "Application of On-Chip Samplers for Test and Measurement of Integrated Circuits", *Digest of Symp. on VLSI Circuits*, pp.138-139 (June 1998).
- [10] R. J. Baker, H. W. Li, D. E. Boyce, *CMOS: Circuit Design, Layout, and Simulation*, IEEE Press (1997).
- [11] 小林謙介氏との私信.

付録 1: 等価時間サンプリング

等価時間サンプリングは、サンプリングクロック周期より細かな時間で繰り返し波形を捉える方法で、ナイキスト周波数に依存せず低サンプリング周波数で高周波入力を扱うことができ、広帯域で高時間分解能を実現する方法として知られている。繰り返し生起する数多くの信号波形から所望する数の波形瞬時値をサンプリングしてレプリカを作り、あたかも一つの波形の如くに再現する(図3)。等価時間サンプリング技術は、シーケンシャル・サンプリング、ランダム・サンプリング及びコヒーレント・サンプリング技術の3方式に分類され、それぞれ長所と短所がある。[5, 6, 7] シーケンシャル・サンプリングとランダム・サンプリングはトリガ信号を用いるので繰り返し信号が一定時間毎に現れなくてもよい(図3)。一方、コヒーレント・サンプリングは繰り返し信号が一定時間毎に現れる場合のみ適用できる。

シーケンシャル・サンプリングはトリガ時点を基準に一定時間間隔(例えば図3のように $\Delta t, 2\Delta t, 3\Delta t, \dots$)でサンプリングパルスが発生させる方法であるため、高速掃

引時もデータ収録速度が低下せず、市販の広帯域サンプリングオシロスコープに採用されている。また繰り返し信号からトリガを取り出す(トリガリング)により、ジッタレス機能を持つ。しかし自走するクロックを持たないため、トリガ時刻以前の波形をサンプルするには(すなわちプリトリガ機能を持たせるためには)アナログ遅延線が必要となり、この遅延線がシステムの広帯域化を制限する。

ここでは3つの方式の中でシーケンシャル・サンプリングをアナログ BIST 回路に用いる。比較的簡単な回路でジッタレス・高効率で波形を収録でき、今回の目的にはブルトリガ機能は必須ではなく上述のアナログ遅延線が不要のためである。

付録 2: トリガ回路部 この節は [11] による。

図 17 にアナログオシロスコープ、サンプリング・オシロスコープ等で用いられるトリガ回路の構成とタイミング・チャートを示す。オシロスコープでのトリガ回路は ECL のラインレシーバと DFF 及び MUX(スイッチ)で構成でき、入力信号のレベル検出と傾き選択を行い、入力信号がその条件を満たすとステップ状の信号を発生する。トリガ入力の繰り返し周波数が高ければ、「delay」を用いずに、「ホールドオフ解除後の2発目のトリガ入力」で同期出力を得る構成も可能である。(delay 挿入は、一つのトランジションで二つの DFF を叩くためである。) 破壊保護と飽和特性を良くする為、入力段にはダイオードクランプ/リミッタを挿入する。また図 17 中の同期回路(synchronization circuit)は、波形の整形後のトリガ信号と、そのトリガ信号の受け入れを開始する非同期関係にあるホールドオフ解除信号間で、ジッタを発生させないようにする回路である。

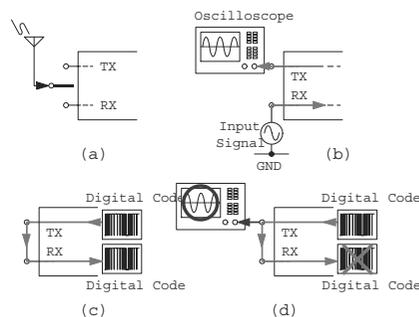


図 1: 携帯電話の送受信部テストのためのループバック法. (a) 携帯電話の送信部 (TX) と受信部 (RX). (b) 高精度な測定器による測定. (c) ループバック法. 送信部出力を受信部に入力する. (d) ループバック法では送信部出力からの不要スプリアス成分を評価できないので、結局スペクトラム・アナライザ等に接続して送信部が規格を満たすかを評価する必要がある。

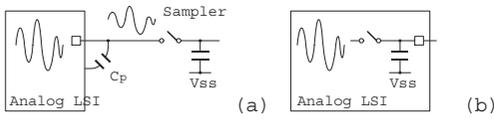


図 2: (a) チップ外にサンプラを設ける場合。寄生容量により被測定信号波形が劣化する。(b) チップ内にサンプラを設ける場合。広帯域・高精度・低電圧 CMOS サンプラ回路の実現が難しい。

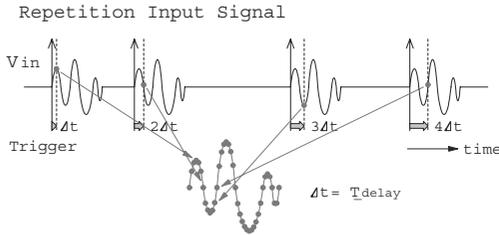


図 3: 繰り返し入力波形に対する等価時間サンプリングの原理。トリガ信号（繰り返し入力信号の起点）からサンプリング時刻までの時間の情報からサンプル値データから波形を再合成できる。

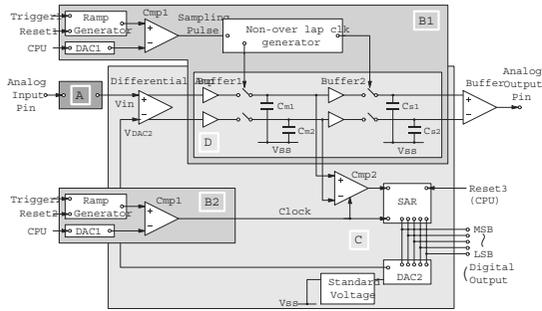


図 4: 提案するアナログ BIST 回路ブロック図。A ブロック: 繰り返し信号を発生する被測定内部回路。B ブロック: シーケンシャル・サンプリング用クロック発生回路。C ブロック: 上位ビット用逐次比較近似 ADC。D ブロック: 下位ビット用マスター・スレップ T/H 回路。

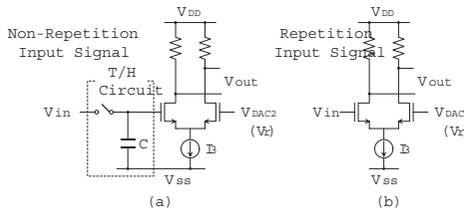


図 5: (a) 通常の逐次比較近似 ADC の場合。(繰り返しでない) 任意の入力信号が入ってくるので A/D 変換動作中入力信号が変動しないように入力信号を T/H 回路を用いてサンプルホールドしなければならない。(b) 提案回路内で用いている逐次比較近似 ADC の場合。入力信号が繰り返し波形であるためトリガからの適当なタイミングでサンプリングすれば同じ値の入力波形と基準電圧 V_r が比較できるので前段に T/H 回路が不要になる。

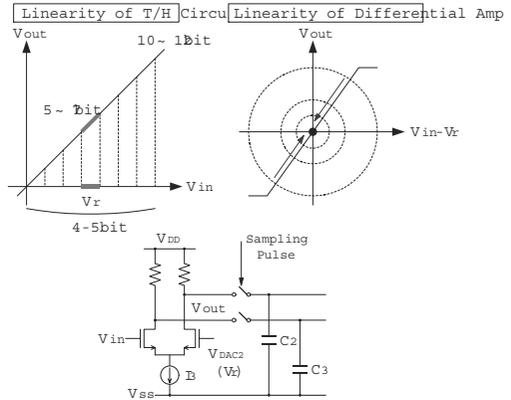


図 6: 提案するサンプラ回路の実現法の設計思想の説明図。

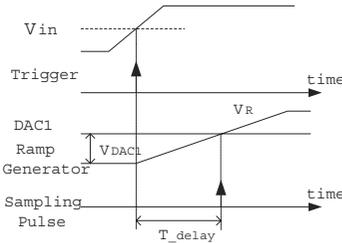


図 7: シーケンシャルサンプリングのためのサンプリング・パルス発生。トリガ信号が入るとランプ波が発生され、DAC 出力からの基準信号 (V_{DAC1}) と比較される。両者が等しくなった時点 (トリガ後 T_{delay}) でサンプリング・パルスを発生する。 V_{DAC1} を調整することで T_{delay} を調整できる。

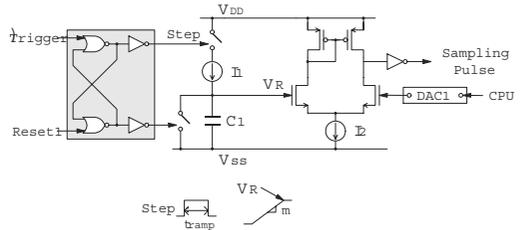


図 8: サンプリングパルス生成回路。最初に外部 CPU による Reset1 信号で C_1 の電荷をゼロ (ホールドオフ) にする。次に Trigger 信号が入ると Step 信号が 1 になり電流源 I_1 が C_1 に接続されランプ波が発生する。DAC1 入力は外部 (CPU 等) で設定され、逐次比較近似 ADC の動作が終了したら 1LSB 増加させる。

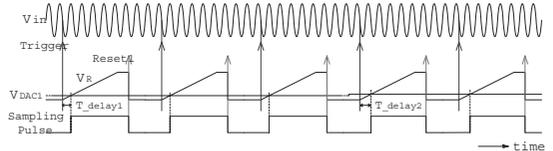


図 9: サンプリングパルス生成回路 (図 8) での信号波形。

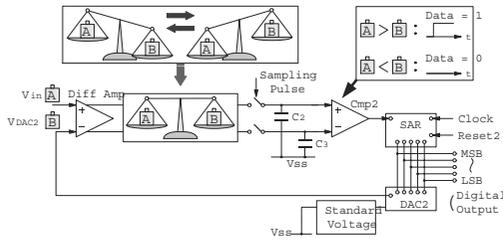


図 10: 天秤の動作を用いた逐次比較近似 ADC の動作説明.

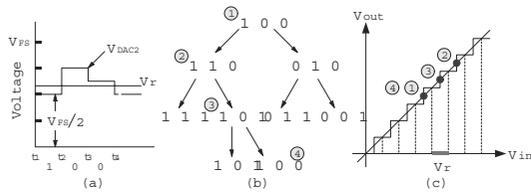


図 11: 3bit の場合の逐次比較近似 ADC の動作原理. (a) DAC2 の出力電圧のタイムチャート. (b) デジタル・データの移り変わり. (c) 入力信号 (繰り返し信号) の参照瞬時値 V_r の算出までの差動アンプのアナログ出力の動作. V_{FS} は DAC2 のフルスケール電圧 (基準電圧) である.

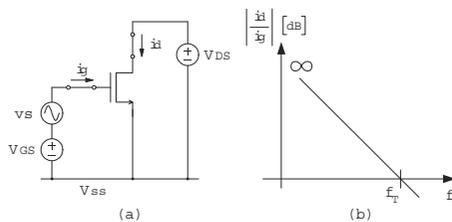


図 12: (a) NMOS の遮断周波数 f_T を SPICE シミュレーションから得る. (b) $\log(i_d/i_g) = 0$ のときの周波数が f_T .

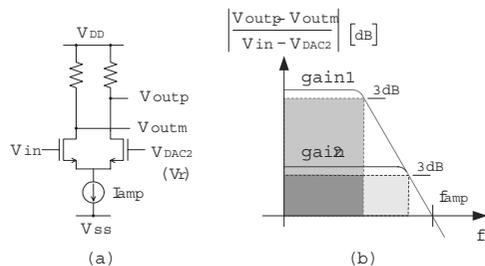


図 13: (a) 差動アンプ. (b) 差動アンプの利得・帯域幅.

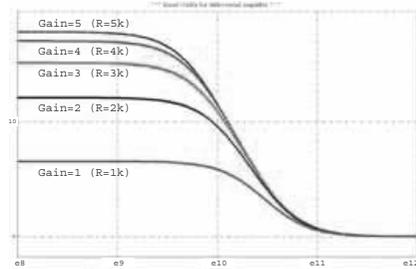


図 14: 差動アンプ (図 12 (a)) $W=15\mu\text{m}$, $L=0.35\mu\text{m}$, $I_{amp} = 1\text{mA}$ で, R を $1\text{K}\sim 5\text{K}$ まで変化させた時の利得のシミュレーション結果. 縦軸は (dB ではなく) リニアである.

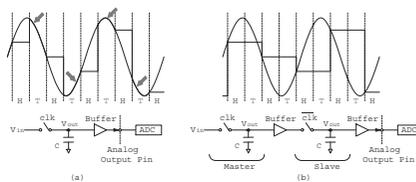


図 15: Track/Hold 回路とその入出力波形. (a) 1 段 T/H 回路. 高速・高周波信号が後段回路 (チップ外の ADC 等) に流れてしまう. (b) マスター・スレーブ型 T/H 回路. 後段回路への出力は DC 信号.

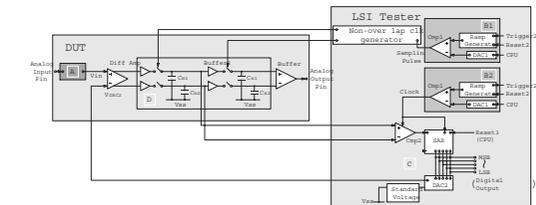


図 16: テスト容易化用サンプル回路の被測定チップと LSI テスタへの回路の割り振り.

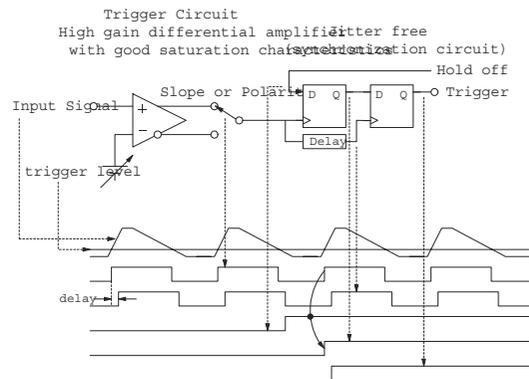


図 17: アナログオシロスコープ、サンプリング・オシロスコープ等で用いられるトリガ回路の構成とタイミング・チャート. トリガ回路は入力信号のレベル検出と傾き選択を行い、入力信号がその条件を満たすとステップ状の信号を発生する. [11]