

# インバータタイプ $G_m$ - $C$ バンドパスフィルタの解析と設計

## Analysis and Design of Inverter-Type $G_m$ - $C$ Bandpass Filter

林 海軍 田辺 朋之 小林 春夫 傘 昊  
群馬大学大学院 工学研究科 電気電子工学専攻  
{lin, k\_haruo}@el.gunma-u.ac.jp

Haijun LIN Tomoyuki TANABE Haruo KOBAYASHI Hao SAN  
Dept. of Electronic Engineering, Graduate School of Engineering, Gunma University

### 概要

本論文では制御回路を共有する CMOS インバータタイプの 2 次  $G_m$ - $C$  バンドパスフィルタの構成を検討し、その解析および設計を行った。回路設計上の消費電力、 $Q$  値、安定性のトレードオフの関係を明確化し、それらの関係を考慮した低消費電力・高周波フィルタの設計法を提案した。TSMC  $0.18\mu\text{m}$  CMOS プロセスを用いて設計した場合、検討した回路構成は Nauta OTA 回路を用いた従来回路に比べて消費電力が解析から 67% の削減が計算でき、実際の試作チップの測定からはトランジスタサイズを最適化した Nauta OTA 回路を用いた従来回路に比べて 27% の削減が確認できた。

キーワード:  $G_m$ - $C$  バンドパスフィルタ, CMOS OTA, CMOS インバータ, 低消費電力, 高周波

### 1 まえがき

近年 WLAN や携帯電話などの携帯通信機器では高周波・低消費電力の連続時間バンドパスフィルタが必要とされる。 $G_m$ - $C$  タイプのバンドパスフィルタはその実現法の有力な選択肢である。Nauta 教授が提案した OTA 回路 [2] は低電源電圧で動作する微細 CMOS プロセスでの実現に適し、また内部ノードを持たないため高周波フィルタの設計に広く用いられている。[1][3] しかし Nauta の OTA 回路の内部でコモンモード制御回路と正帰還回路を用いるため、高い  $Q$  値を求める設計では回路の安定性が問題になり、またそれらの回路での比較的大きな消費電力が問題になる。

本論文では  $G_m$ - $C$  バンドパスフィルタの安定性と低消費電力化を実現するための回路方式を検討する。検討回路では 2 つの視点で消費電力の削減に取り込

む。一つはインバータタイプの  $G_m$ - $C$  フィルタ回路の消費電力はトランジスタサイズに比例するので、フィルタ回路の  $Q$  値、安定性とトランジスタサイズの関係を解析し、高い  $Q$  値とフィルタの安定性を保った上で制御回路のトランジスタサイズを小さくし、回路の低消費電力を実現する。もう一つはフィルタを構成する OTA 回路単体をインバータ回路で構成し、コモンモード制御と高い  $DC$  ゲインと高い  $Q$  値を実現するための制御回路を OTA 回路単体から取り出し、フィルタ内の同じノードを持つ OTA 回路のコモンモードと正帰還の制御回路を共有させ、回路の規模を縮小したことで消費電力の削減を実現する。

文献 [7] でも同様な回路方式を記述しているが、本論文では次の点が異なり、さらなる電力削減につながる。

- 安定性解析の結果から制御回路のトランジスタ・サイズを小さくできる。
- 出力ノードを共有して出力抵抗となる 1 つの OTA 回路を削除 (共有) して、フィルタ回路トータルのインバータの数がより少なくなる。

2 節ではインバータ回路の電流とトランジスタサイズの関係を述べる。3 節ではフィルタ回路の安定性、 $Q$  値と消費電力のトレードオフを明確にし、高い  $Q$  値を持つ安定した制御回路を共有する  $G_m$ - $C$  バンドパスフィルタの構成を検討する。4 節では試作チップの測定結果について述べる。

### 2 インバータ回路の電流とトランジスタサイズの関係

本節では、短チャンネルデバイスを用いたインバータ回路の電流とインバータ回路のトランスコンダクタ

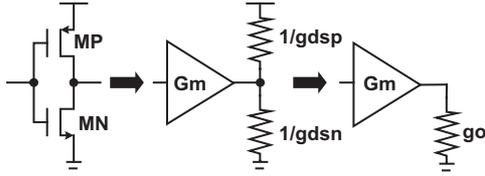


図 1: An inverter with output resistance.

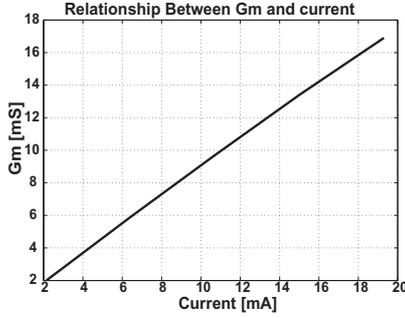


図 2: Relationship between bias current and  $g_m$  for an inverter.

ンス  $g_m$ , トランジスタサイズの関係について解析する。チャンネル長が短い MOS デバイスではドレイン電流はゲートソース間電圧の二乗則から外れて比例関係となり式 (1) で表わされる [4].

$$I_D \approx \frac{\mu_n C_{ox}}{2} W (V_{gs} - V_{th}) E_{sat}. \quad (1)$$

差動インバータ回路の  $g_m$  値は式 (2) で表わされる。

$$g_{m,inv} = \mu_{n(p)} C_{ox} W_{n(p)} E_{satn(p)}. \quad (2)$$

インバータ回路の  $g_m$  値と電流値の関係の SPICE シミュレーション結果を図 2 に示す。また実際のインバータ回路では出力抵抗を考える必要がある。図 1 のモデルを用いると MOSFET の出力抵抗は次のように表せる：

$$\frac{\delta V_{ds}}{\delta I_D} = \frac{V_A}{I_D} = \frac{1}{\lambda I_D} = \frac{1}{g_{ds}}.$$

短チャンネル MOSFET の  $g_{ds}$  値は式 (3) で示される。

$$g_{ds} = \lambda \frac{\mu C_{ox}}{2} W (V_{gs} - V_{th}) E_{sat} = \lambda I_{DS}. \quad (3)$$

式 (3) から MOSFET の  $g_{ds}$  値はドレイン電流に比例し一定  $v_{gs}$  バイアス条件でのトランジスタのサイズ  $W$  に比例することが分かる。またインバータの出力コンダクタンスは  $g_{o,inv} = g_{dsp} + g_{dsn}$  である。

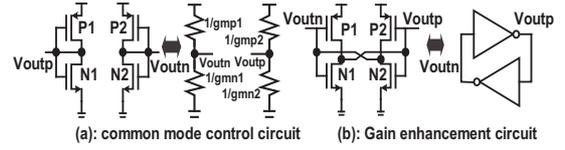


図 3: Control circuits in Nauta OTA.

### 3 制御回路を共有する $G_m$ - $C$ バンドパスフィルタの構成

本節では検討 2 次  $G_m$ - $C$  バンドパスフィルタの安定性,  $Q$  値及び消費電力の関係を明らかにし, またフィルタ回路のノイズ解析を行う。これらをもとに低消費電力で高い  $Q$  値を持つ安定なバンドパスフィルタの設計法を示す。

#### 3.1 制御回路共有 $G_m$ - $C$ バンドパスフィルタ

図 4 に従来 2 次  $G_m$ - $C$  バンドパスフィルタを示す。ここでは  $g_{m1}, g_{m2}, g_{m4}$  の 3 個の OTA 回路は同じ出力ノードを持つため, それらのコモン電圧制御回路と DC ゲイン制御回路を共有することができる。

OTA 回路本体は 2 つのインバータで構成して OTA 回路の  $g_m$  値のみを決める。図 4 の中で, OTA 回路  $g_{m2}$  のプラス側入力とマイナス側出力およびマイナス側入力とプラス側出力が接続され, 出力ノード OUTP, OUTN とグランド間の抵抗  $1/g_{m2}$  として働く。この  $g_{m2}$  OTA 回路はコモンモード制御回路と同じ構成なのでコモンモード回路と共有できる。

図 5 に検討する制御回路共有する 2 次  $G_m$ - $C$  バンドパスフィルタ構成回路を示す。OTA 回路  $g_{m1}$  と  $g_{m4}$  のコモンモード制御回路を CM1(1) で共有し, その DC ゲインを増大させる回路を GEN(1) で共有する。また OTA 回路  $g_{m3}$  のコモンモード制御と DC ゲイン増大させる回路はそれぞれ CM(2) と GEN(2) である。

この回路の構成では OTA 回路  $g_{m1}, g_{m3}, g_{m4}$  はインバータで構成し, 各 OTA の  $g_m$  値を決め, コモンモード制御回路および DC ゲイン増大させる回路をそれぞれ図 3(a), (b) で表す。すべての回路を CMOS インバータで構成する。低電圧動作可能で微細 CMOS プロセスでは線形性が良くなる。内部ノードを持たないので高周波領域での動作が可能である。制御回路を共有することで消費電力が削減できる。

次式 (4), (5) でそれぞれ図 4 のバンドパスフィルタと図 5 の提案するバンドパスフィルタの伝達関数を

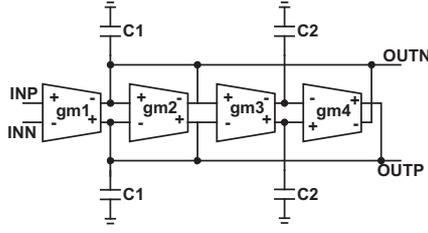


図 4: A  $G_m$ - $C$  second-order bandpass filter.

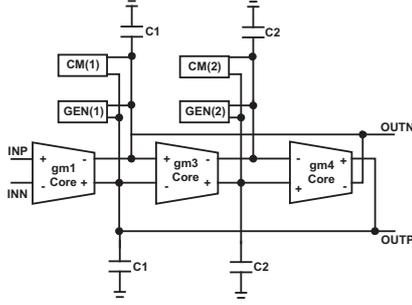


図 5: A  $G_m$ - $C$  second-order bandpass filter with control circuit sharing.

表す.

$$H(s) = \frac{g_{m1}sC_2}{s^2C_1C_2 + sC_2g_{m2} + g_{m3}g_{m4}}. \quad (4)$$

$$H(s) = \frac{g_{m1}(sC_2 + A_2)}{s^2C_1C_2 + sU_1 + U_0}. \quad (5)$$

ここで

$$U_1 = C_1A_2 + C_2A_1, \quad U_0 = g_{m3}g_{m4} + A_1A_2$$

$$A_1 = g_{mcm1} - g_{mgen1}, \quad A_2 = g_{mcm2} - g_{mgen2}$$

である.  $g_{mgen}$  は DC ゲイン増大回路の  $g_m$  値であり,  $g_{mcm}$  はコモンモード制御回路の  $g_m$  値である. OTA 回路の  $g_m$  値はコア回路のインバータの  $g_m$  値によって決まる.

### 3.2 検討フィルタ回路の安定性, $Q$ 値と消費電力の関係

図 6 に検討バンドパスフィルタの出力抵抗を持つ回路モデルを示す.  $g_{o1}, g_{o2}$  はそれぞれノードでの出力コンダクタンスである.

$$g_{o1} = g_{om1} + g_{ocm1} + g_{ogen1} + g_{om4}$$

$$g_{o2} = g_{om3} + g_{ocm2} + g_{ogen2}.$$

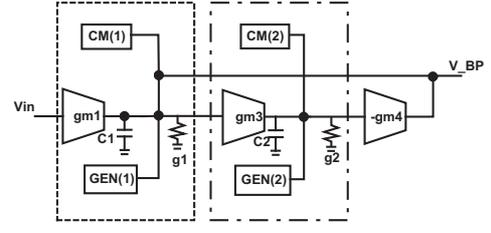


図 6: Proposed bandpass filter circuit with output resistance.

ここで  $g_{om}, g_{ocm}, g_{ogen}$  は各 OTA 回路, コモンモード制御回路およびゲイン増大回路の出力コンダクタンスである. 出力抵抗を持つ検討回路の伝達関数を式 (6) で示す.

$$H(s) = \frac{As + B}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}. \quad (6)$$

ここで

$$A = g_{m1}/C_1$$

$$B = g_{m1}T_2/C_1C_2$$

$$\omega_0 = \sqrt{(T_1T_2 + g_{m3}g_{m4})/C_1C_2}$$

$$Q = \sqrt{C_1C_2(T_1T_2 + g_{m3}g_{m4})}/(C_1T_2 + C_2T_1)$$

$$T_1 = g_{o1} - (g_{mgen1} - g_{mcm1})$$

$$T_2 = g_{o2} - (g_{mgen2} - g_{mcm2})$$

である.  $C_1 = C_2$  のときの検討バンドパスフィルタの  $Q$  値を式 (7) で表す.

$$Q = \frac{\sqrt{T_1T_2 + g_{m3}g_{m4}}}{T_1 + T_2}. \quad (7)$$

伝達関数の極  $p_1, p_2$  とゼロ点  $z$  は次のようになる.

$$p_1 = -\frac{\omega_0}{2Q} + j \cdot \omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

$$p_2 = -\frac{\omega_0}{2Q} - j \cdot \omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

$$z = -\frac{B}{A}.$$

極  $p_1, p_2$  の式から分かるように, フィルタが安定であるためには, 極の実数部が  $s$ -平面の左側にある, 即ち  $Q$  値が正である必要がある. 従って式 (7) から安定のためには  $T_1 + T_2 > 0$  が必要である. 理論的に  $T_1$  を負の値にしても  $T_1 + T_2 > 0$  であれば検討回路は安

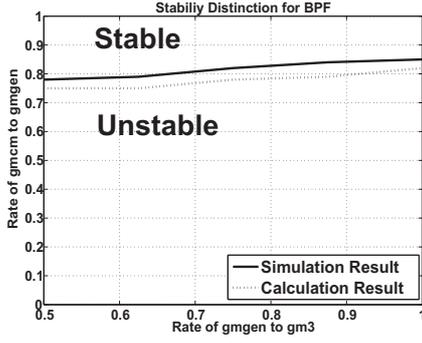


図 7: Stability analysis result for the proposed bandpass filter.

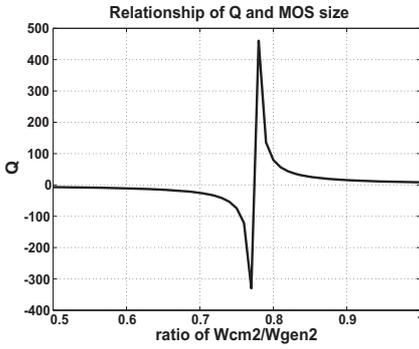


図 8: Relationship between Q and MOS size (W) for the proposed bandpass filter.

定であるが、回路設計の余裕を持たせるため、 $T_1 > 0$  にして検討回路の設計を行った。式 (1) と式 (2) から計算を行い、提案回路の安定性条件を式 (8) と式 (9) で表す。

$$W_1 + W_4 + W_{cm1} + W_{gen1} \geq |25(W_{gen1} - W_{cm1})| \quad (8)$$

$$W_3 + W_{cm2} + W_{gen2} \geq |25(W_{gen2} - W_{cm2})|. \quad (9)$$

図 7 に式 (8) と式 (9) から計算した検討フィルタ回路の安定性結果と SPICE シミュレーション結果を示す。SPICE シミュレーションでは、トランジスタサイズ  $W$  を変更して出力信号の位相解析を行い、位相反転しているかどうかで回路が安定かを求めた。図 7 と図 8 からフィルタ回路を安定化のためには  $g_{mcm1}$  のサイズは  $g_{mgen1}$  のサイズの 80% 以上でなければならないことがわかる。

また、制御回路のトランジスタサイズが安定性を保った上で小さくすることができる、これによってフィルタ回路の消費電力の削減につながる。

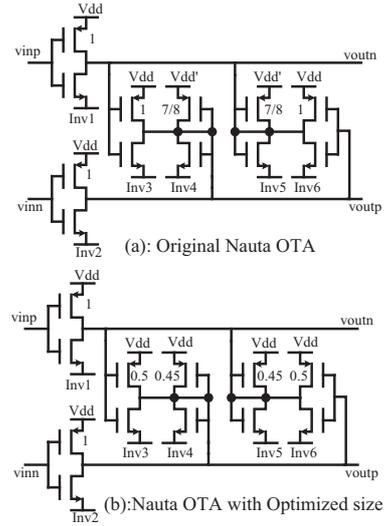


図 9: Original nauta OTA and nauta OTA with optimized size .

### 3.3 検討バンドパスフィルタ回路の設計例

前節までの検討回路の安定性、Q 値及びノイズの解析結果にもとづき高い Q 値の安定なバンドパスフィルタの設計法と設計結果を示す。安定性を保ち高い Q 値を得るためのトランジスタサイズの設計を次のように行った。

$$W_{cm2} = 0.8 \times W_{gen2}$$

$$W_{cm1} = 0.83 \times W_{gen1}$$

$$g_{m3} = g_{m4} = 2 \times g_{gen1}$$

$$g_{gen1} = 1.5 \times g_{gen2}.$$

またノイズと線形性の観点から  $g_{m1} > g_{m3}$  とした。素子のばらつきを考慮して多少サイズがはらついても回路の動作に対する影響が小さいことを確認した。また、Nauta OTA 回路に対しても同じ解析を行い、Nauta OTA 回路のトランジスタサイズを最適化することができた。図 9 の (a) は Nauta OTA 回路のトランジスタサイズであり、図 9 の (b) は最適化した Nauta OTA のトランジスタサイズである。表 1 に Nauta OTA を用いた従来バンドパスフィルタ、Nauta OTA を用いて、トランジスタサイズを最適化した従来バンドパスフィルタと上記で設計した検討回路を用いたバンドパスフィルタの SPICE 解析結果を示す。

図 10 に検討回路の AC 解析と過渡解析によって得られた周波数特性 (ゲイン特性) の結果を示す。Q 値

表 1: Bandpass filter design comparison.

	BPF with Original Nauta OTAs	BPF with Optimized Nauta OTAs	Proposed BPF
Supply(V)	1.8/1.76	1.8	1.8
$f_c$ (GHz)	2.4	2.4	2.4
Q Fractor	60	60	60
IP3(dBm)	4.79	9.61	9.26
Noise(mVrms)	2.85	2.05	1.48
Power(mW)	97.9	44.1	32.2

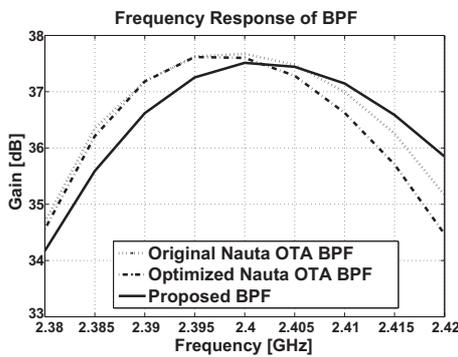


図 10: Gain characteristics SPICE simulation results for the conventional and proposed bandpass filters.

はほぼ 60 が得られた。過度解析の際には入力信号は  $2mV_{pp}$  とした。解析結果から検討回路の消費電力は従来 NautaOTA で構成したフィルタ回路に比べて 67% の削減が確認でき、またトランジスタサイズを最適化した Nauta OTA で構成したフィルタ回路に比べて 27% の削減が確認できた。

#### 4 チップ試作と測定結果

検討回路の消費電力削減の有効性を確かめるため、トランジスタサイズを最適化した Nauta OTA 回路を用いた 2 次  $G_m - C$  フィルタ図 11(a) と検討 2 次  $G_m - C$  フィルタ図 11(b) を TSMC  $0.18\mu m$  CMOS プロセスを用いて試作を行った。2 節で説明したように、OTA 回路の  $g_m$  値とトランスコンダクタンスの値は各トランジスタのサイズの比例し、即ち消費電力に比例することが分かる。バンドパスフィルタでもローパスフィルタでも消費電力の観点において同じ傾向を表せると考えられる。フィルタの測定を容易に

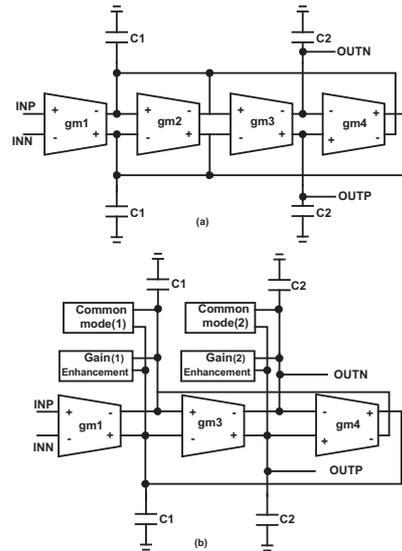


図 11: Low-pass  $G_m - C$  second-order filter circuits fabricated in a prototype chip.

するためカットオフ周波数を数十 MHz として、観測出力ノードを変更してローパスフィルタ出力とした。(図 11(a) と図 4 および図 11(b) と図 5 のフィルタ回路は、それぞれ出力ノードのとりかたが異なるだけである。) 図 12 に試作したチップの写真を示す。従来回路と検討回路を合わせたコア回路のチップ面積は  $350\mu m \times 280\mu m$  である。

図 13 に提案フィルタ回路の周波数特性の測定結果を示す。カットオフ周波数は 35MHz である。表 2 に入力信号が 1MHz,  $200mV_{pp}$  の場合の従来回路と検討回路の消費電力のシミュレーションと測定結果の比較を示す。実測で検討回路はトランジスタサイズを最適化した従来回路に比べて消費電力が 27% 削減できたと分かる。消費電力の測定データはフィルタ本体と出力バッファ回路の消費電力の総和からバッファ回路単体の消費電力を引いたものである。検討回路の出力コモンモード電圧が従来回路より  $20mV$  高いため、チップ内部のバッファバイアス電圧が変わり、検討回路の出力バッファの消費電力が多くなり消費電力削減がシミュレーション結果より小さくなった。

#### 5 むすび

制御回路を共有する 2 次  $g_m - C$  バンドパスフィルタを検討した。検討回路ではすべての回路をインバータで構成し、そのインバータ数を最小とする。また検討回路の安定性 Q 値、消費電力及びノイズ解析を

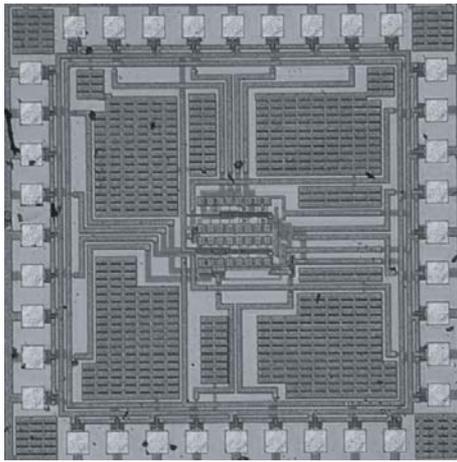


図 12: Chip photograph of the conventional and proposed filters.

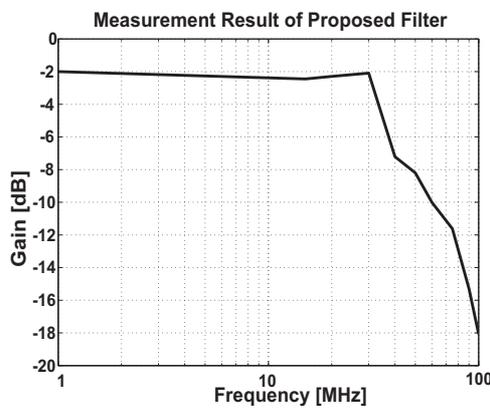


図 13: Measured gain characteristics of the proposed filter.

行うことで高いQ値の安定した低消費電力のバンドパスフィルタの設計法を検討した。TSMC 0.18 $\mu\text{m}$  CMOS プロセスを用いた SPICE シミュレーションの結果から検討設計法での回路の消費電力は Nauta OTA 回路を用いたバンドパスフィルタに比べて67%の削減が確認できた。また、検討回路の消費電力削減の有効性を確認するため、ローパスタイプの検討回路と従来回路のチップを試作し測定・比較を行った。測定結果から提案回路がトランジスタサイズを最適化した従来回路より27%の電力削減を確認した。

謝辞 有益なご討論をいただきましたシャープ(株)飯塚邦彦氏、ロレ・パスカル氏に、また LSI 設計環境を整えてくれました群馬大学 高井伸和先生に謝意を表します。

表 2: Power consumption comparison.

	LPF with Original Nauta OTA	LPF with Optimize Nauta OTA	Proposed LPF
Simulation	18.6mW	11.4mW	8.3mW
Measurement	N/A	11.4mW	8.1mW

#### 参考文献

- [1] Y.Tsividis, *High Frequency Continuous Time Filters in Digital CMOS Processes*, Kluwer Academic Publishers (2000).
- [2] B. Nauta, "A CMOS transconductance-C filter technique for very high-frequencies," *IEEE Journal of Solid-State Circuits*, vol.27, no.2, pp.142-153 (Feb. 1992).
- [3] P. Andreani and S. Mattisson "On the use of Nauta's transconductor in low-frequency CMOS  $g_m$ -C bandpass filters," *IEEE Journal of Solid-State Circuits*, vol.37, no.2, pp.114-124 (Feb. 2002).
- [4] Thomas H. LEE, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press (1998).
- [5] H. Lin, et.al "High frequency CMOS Gm-C bandpass filter design," *IEEJ International Analog VLSI Workshop* (Nov.2007),
- [6] H. Lin, et.al., "Design and analysis of low power inverter-type Gm-C bandpass filter", *International Analog VLSI Workshop*, pp.62-67, Istanbul, Turkey (August 2008).
- [7] P.Crombez,et.al "A 100KHz – 20MHz reconfigurable Nauta  $g_m$ -C biquad low-pass filter in 0.13 $\mu\text{m}$  CMOS," *IEEE Asian Solid-State Circuits Conference* (Nov.2007).