

複素バンドパス $\Delta\Sigma$ AD 変調器用マルチビット DAC 非線形性のノイズ・シェーブ・アルゴリズム A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass $\Delta\Sigma$ AD Modulators

傘 昊 小林 春夫 川上 慎也 黒岩 伸幸
 Hao San Haruo Kobayashi Shinya Kawakami Nobuyuki Kuroiwa

群馬大学工学部電気電子工学科 〒376-8515 群馬県桐生市天神町 1-5-1
 Dept. of Electronic Engineering, Gunma University, 1-5-1 Tenjin-cho Kiryu 376-8515
 Tel: 0277-30-1788 Fax: 0277-30-1707 e-mail:{san,k_haruo}@el.gunma-u.ac.jp

要約 – この論文では携帯電話や無線 LAN 等の通信システムの RF 受信回路に用いられる複素バンドパス $\Delta\Sigma$ ADC を高精度化するための一手法を提案する。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高分解能を実現するが、マルチビット $\Delta\Sigma$ AD 変調器を用いる場合、変調器内の DAC の非線形性はノイズ・シェーブされず ADC 全体の精度を劣化させてしまう。そこで高精度複素バンドパス $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブする新しいアルゴリズムを提案する。またその効果を Matlab によるシミュレーションで確認した。

キーワード: 複素バンドパス $\Delta\Sigma$ AD 変調器、ノイズ・シェーピング、バンドパス・フィルタ、AD 変換器、DA 変換器、エレメント・ローテーション

I. はじめに

携帯電話や無線 LAN 等の通信システムの RF 受信回路においてバンドパス $\Delta\Sigma$ ADC の適用が検討されている [1]-[6]。また、通信システムで用いられるアプリケーション (特に Low-IF 受信機) において、I、Q 経路のミスマッチによる生じるイメージ信号がシステムの特性を劣化させるため、変調器内部でイメージ信号を抑える複素バンドパス $\Delta\Sigma$ 変調器の適用も検討されている [1]-[3]。RF 受信回路においては ADC 回路のアンテナに近い方向へのシフトを実現すれば、従来アナログで実現され

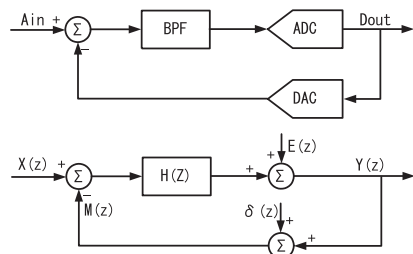


図 1: バンドパス $\Delta\Sigma$ AD 変調器構成図とその等価ブロック線図. $X(z)$ (Ain) はアナログ入力、 $Y(z)$ (Dout) はデジタル出力、 $E(z)$ は ADC の量子化誤差、 $\delta(z)$ は DAC の非線形誤差を表す。

ていた複雑な機能をデジタル信号処理手法で実現し、システム全体の集積度と性能を上げる事が可能となる。これを実現するためには ADC 回路に対して優れた線形性、ダイナミック・レンジ、信号帯域とイメージ信号除去能力が要求される。複素バンドパス $\Delta\Sigma$ 変調器は内部でイメージ信号のレベルを抑える事ができるので、I、Q 信号経路間ミスマッチの影響を軽減できる。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高精度を実現する。更なる高精度を追求するために高次 1 ビット $\Delta\Sigma$ 変調器を用いる場合は、安定性が問題になり、またより高いフィルタ次数の変調器 (及びそれに伴う後段の高次デジタル・フィルタ) と高い OSR(Oversampling Ratio) が要求さ

れる [7]。OSR を高くするためにはサンプリング・レートを高くしなければならない。一方マルチビット $\Delta\Sigma$ AD 変調器を用いる場合、低い OSR で高分解能が得られ、安定性の問題も軽減される [7, 8]。しかし、優れた線形性を持つ 1 ビット DAC とは対照的に、マルチビット $\Delta\Sigma$ AD 変調器の内部 DAC の非線形性は変調器内でノイズ・シェーブされず、ADC 全体の精度を劣化させてしまうという問題が生じる。バンドパス $\Delta\Sigma$ AD 変調器の構成を図 1 に示す。その入出力関係式は次のように表せる。

$$M(z) = \frac{H(z)}{1+H(z)}X(z) + \frac{1}{H(z)}E(z) \quad (1)$$

$$Y(z) = \frac{H(z)}{1+H(z)}X(z) + \frac{1}{H(z)}E(z) - \delta(z)$$

ここで、信号成分 $S(z)$ 、ノイズ成分 $N(z)$ を次のように定義する。

$$S(z) := \frac{H(z)}{1+H(z)}X(z)$$

$$N(z) := \frac{1}{H(z)}E(z) - \delta(z). \quad (2)$$

式 (2) から、内部 ADC の量子化ノイズ $E(z)$ はノイズ・シェーブされるが、DAC の非線形誤差 $\delta(z)$ はノイズ・シェーブされずそのまま出力されるので、高精度 $\Delta\Sigma$ ADC の実現を困難にしてしまうことがわかる。

バンドパス $\Delta\Sigma$ AD 変調器内部マルチビット DAC の非線形性をノイズ・シェーブするため、ダイナミック・エレメント・マッチング法 [8]、エレメント・ローテーション法 [9] 等のアルゴリズムが提案されているが、これらはいずれも (単一入出力) 実バンドパス $\Delta\Sigma$ AD 変調器 (図 1) のみを対象としている。この論文では、複素バンドパス $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェーブできるアルゴリズムを提案する。高精度複素バンドパス $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブさせることを可能にした。また複素バンドパス $\Delta\Sigma$ ADC 性能改善の効果を Matlab によるシミュレーションで確認した。このアルゴリズムを使用することで複素バンドパス $\Delta\Sigma$ AD 変調器内の 2 つの DAC の特性のミスマッチの影響もキャンセルされる。

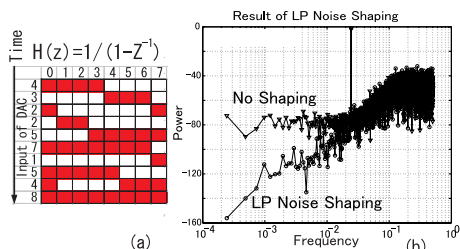


図 2: ローパス・ノイズ・シェーブ用エレメント・ローテーション法を用いる 3bit セグメント型 DAC 非線形性のノイズ・シェーブ。(a) 入力データが 4,3,2,2,5... と推移する場合の ON になる電流セル (黒塗り部分)。(b) シミュレーションによる効果確認

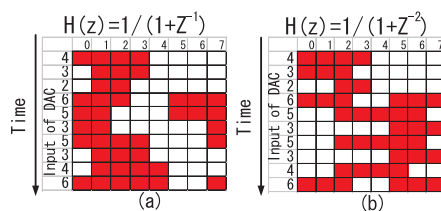


図 3: (a) ハイパス・ノイズ・シェーブ用エレメント・ローテーション法を用いた場合の入力データの推移に対する ON になる電流セル。(b) バンドパス・ノイズ・シェーブ用エレメント・ローテーション法を用いた場合の入力データの推移に対する ON になる電流セル。

II. 単一入出力変調器用 DAC 非線形性ノイズ・シェーブ・アルゴリズム

この節ではエレメント・ローテーション法を用いた通常の単一入出力の実変調器用 DAC 非線形性ノイズ・シェーブ・アルゴリズムを記す。DAC は 3 ビットで 8 個の電流セルをもつセグメント型 [14] とする。

A. ローパス・エレメント・ローテーション法:

図 2(a) に入力データが 4,3,2,2,5... と変化する場合にオンになる電流セルを記す。このようにオンになる電流セルを選択することで電流セルのミスマッチ (すなわち DAC 非線形性) が 1 次ノイズ・シェーブされる [11]-[13]。また、図 2(b) にその効果の Matlab によるシミュレーション結果を示す。通常のセグメント型 DAC を用いると信号帯域内に DAC 非線形性のパワー・スペクトラムが平坦に表れてきてしまうが、このアルゴリズムを用いると 1 次ノイズ・シェーブされることが確認できる。

B. ハイパス、バンドパス・エレメント・ローテーション法： DAC 非線形性を $1+z^{-1}$ でノイズ・シェーブするために用いるハイパス用エレメント・ローテーション法アルゴリズムで、図 3(a) に入力データが 4,3,2,2,5... と変化する場合にオンになる電流セルを記す。同様に DAC 非線形性を $1+z^{-2}$ でノイズ・シェーブするために用いるバンドパス用エレメント・ローテーション法アルゴリズムの場合を図 3(b) に示す。バンドパス用アルゴリズムはハイパス用アルゴリズムを 2 チャンネル・インターリーブしたものである [9]。

III. 複素バンドパス用 DAC 非線形性ノイズ・シェーブ・アルゴリズム

3.1 複素バンドパス $\Delta\Sigma$ AD 変調器

図 4 に複素バンドパス $\Delta\Sigma$ AD 変調器と 1 次複素バンドパス・フィルタ及びそのゲイン特性の例を示す。図 4(b) で示す複素バンドパス・フィルタの伝達関数は

$$H(z) = \frac{1}{z - (d - jc)}$$

となる [3]。複素バンドパス・フィルタのゲイン特性は $\omega = 0$ の軸で対称ではなく、正規化角周波数 $\omega = \pi/2$ (サンプリング周波数の 1/4 に対応) でゲインは最大であり、イメージ信号 ($\omega = -\pi/2$ に対応) が抑えられているのが特徴である。

3.2 DAC 非線形性を複素バンドパス・ノイズ・シェーブする構成の提案

図 5 に DAC 非線形性を複素バンドパス・ノイズ・シェーブする構成案を示す。DAC の前後に等価的にフィルタをかける事でノイズ・シェーブ機能を実現する。DAC 前段のフィルタの伝達関数を

$$H(z) = \frac{1}{z - j}$$

とし、DAC 後部のフィルタの伝達関数を $1/H(z)$ とする。ここで $Y(z) := I_1(z) + jQ_1(z)$ を 2ch ADC の複素マルチビット出力信号、 $M(z) := I_4(z) + jQ_4(z)$ を複素フィルタへのフィードバック信号とすると、図 5 で次のような関係が得られる。

$$I_2 + jQ_2 = H(z)Y(z) \quad (3)$$

$$I_3 + jQ_3 = (I_2 + jQ_2) + (\delta_1 + j\delta_2) \quad (4)$$

$$M(z) = \frac{1}{H(z)}(I_3 + jQ_3). \quad (5)$$

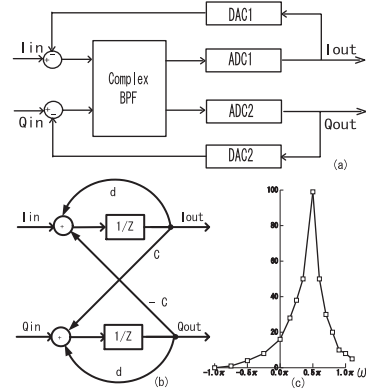


図 4: (a) 複素バンドパス AD $\Delta\Sigma$ 変調器. (b) 複素バンドパス・フィルタの構成. (c) 複素バンドパス・フィルタのゲイン特性.

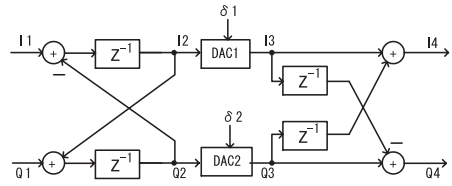


図 5: 複素バンドパス変調器用 DAC 非線形性をノイズ・シェーブする提案構成。

式 (3)、(4) を式 (5) に代入すると

$$M(z) = Y(z) + \frac{1}{H(z)}(\delta_1 + j\delta_2) \quad (6)$$

となる。式 (6) を式 (1) に代入して整理すると

$$N(z) = \frac{1}{H(z)}[E(z) - (\delta_1(z) + j\delta_2(z))]$$

となる。式 (2) に比べると、この場合は (2ch)ADC の (複素) 量子化ノイズ $E(z)$ だけでなく、(2ch)DAC の非線形誤差 $(\delta_1 + j\delta_2)$ も $1/H(z)$ でノイズ・シェーブされることがわかる。

3.3 提案構成の実現アルゴリズム

図 5 から次の関係式が得られる。

$$I_2(n+1) = I_1(n) - Q_2(n) \quad (7)$$

$$I_4(n+1) = I_3(n+1) + Q_3(n) \quad (8)$$

$$I_3(n) = I_2(n) + \delta_1(n) \quad (9)$$

$$Q_2(n+1) = I_2(n) + Q_1(n) \quad (10)$$

$$Q_4(n+1) = Q_3(n+1) - I_3(n) \quad (11)$$

$$Q_3(n) = Q_2(n) + \delta_2(n). \quad (12)$$

式 (7)-(9) で表される出力 I_4 に関しては (内部で I,Q 経路が相互作用した) ハイパス用エレメント・ローテーション・アルゴリズムを用い、式 (10)-(12) で表される出力 Q_4 に関しては (内部で I,Q 経路が相互作用した) ローパス用エレメント・ローテーション・アルゴリズムを用いる事で、2ch DAC 非線形性 δ_1, δ_2 が複素バンドパス用にノイズ・シェーブされる。またこのアルゴリズムでは I,Q 経路の出力 I_4, Q_4 は各サンプリング・タイミングで 2ch DAC を交互に用いるので 2ch DAC の特性ミスマッチの影響が極めて小さい構成が実現できる。

変調器内のフィードバック・パスにある 2つの DAC を各々セグメント電流セル型 [14] で実現すると、各電流セルのミスマッチが DAC の非線形誤差となる。提案するアルゴリズムでは、セグメント電流セル型 DAC に対して、以下のような事を考える：

- 電流セルのリング状配列：

従来式のセグメント電流セル型 DAC に対して、提案するアルゴリズムでは 2つの DAC の各電流セルは図 6(b) で示すように、各々リング状に配列されていると考える。

- 電流セル配列は方向性を持つ：

図 6(b) で示す電流セルのリング状の配列は、入力データに応じて ON にする電流セルを選択する場合、正と負の方向性を持つと考える。

- 電流セル配列で Pointer を持つ：

DAC の電流セルのスイッチは入力信号が 1 ならば ON で 0 ならば OFF になるが、各電流セルを区別するため電流セルに番号をつける。さらに、図 6(A) で示すように、2つの DAC 回路各々において ON になっている電流セルの位置を記憶する Pointer を設ける。時刻 n における DAC1 の Pointer を $P_1(n)$ 、DAC2 の Pointer を $P_2(n)$ とする。

図 5 の上半部で示されるような、式 (7),(8),(9) で表される I 経路の出力 I_4 に関しては「ハイパス・

フィルタ+DAC+ローパス・フィルタ」になる。また図 5 の下半部で示されるような、式 (10),(11),(12) で表される Q 経路の出力 Q_4 に関しては「ローパス・フィルタ+DAC+ハイパス・フィルタ」になる。DAC が例えば入力が 0,1,2,...,7 のいずれかの値をとる 3 ビットを仮定すると、図 5 の構成では DAC への入力信号は負になり得るので、これを直接に実現するのは不可能である。そこでこの構成を等価的に実現できるアルゴリズムを以下に記述する。

- 時刻 n のとき (n は偶数)：

$$I_1(n) = i_n \text{ とすると}$$

- DAC1 の電流セルでオンになるのは $P_1(n), \text{mod}_8(P_1(n) + 1), \dots, \text{mod}_8(P_1(n) + i_n - 1)$ 番目の各セルである。
- この DAC1 の出力が $I_4(n)$ となる。
- 次の時刻の DAC1 のポインタを $P_1(n+1) = \text{mod}_8(P_1(n) + i_n - 1)$ とする。

$$Q_1(n) = q_n \text{ とすると}$$

- DAC2 の電流セルでオンになるのは $\text{mod}_8(P_2(n) + 1), \text{mod}_8(P_2(n) + 2), \dots, \text{mod}_8(P_2(n) + q_n)$ 番目の各セルである。
- この DAC2 の出力が $Q_4(n)$ となる。
- 次の時刻の DAC2 のポインタを $P_2(n+1) = \text{mod}_8(P_2(n) + q_n)$ とする。

- 時刻 $n+1$ のとき ($n+1$ は奇数)：

$$I_1(n+1) = i_{n+1} \text{ とすると}$$

- DAC2 の電流セルでオンになるのは $P_2(n+1), \text{mod}_8(P_2(n+1) - 1), \dots, \text{mod}_8(P_2(n+1) - i_{n+1} + 1)$ 番目の各セルである。
- この DAC2 の出力が $I_4(n+1)$ となる。
- 次の時刻の DAC2 のポインタを $P_2(n+2) = \text{mod}_8(P_2(n+1) - i_{n+1} + 1)$ とする。

$$Q_1(n+1) = q_{n+1} \text{ とすると}$$

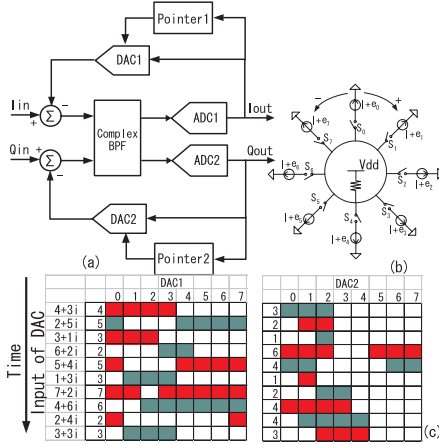


図 6: (a) 提案する複素バンドパス $\Delta\Sigma$ AD 変調器。(b) セグメント型 DAC の電流セルの配置。 e_0, e_1, \dots, e_7 は各電流セルのミスマッチ量を表す。(c) 提案するアルゴリズムを用いて、複素入力データが $4+3j, 2+5j, 3+j, 6+2j, \dots$ と推移する場合の ON になる電流セル。濃い黒塗り部分が実部 (I 経路) 出力、薄い黒塗り部分が虚部 (Q 経路) 出力を表す。

- DAC1 の電流セルでオンになるのは $P_1(n+1)+1, \text{mod}_8(P_1(n+1)+2), \dots, \text{mod}_8(P_1(n+1)+q_{n+1})$ 番目の各セルである。
- この DAC1 の出力が $Q_4(n+1)$ となる。
- 次の時刻の DAC1 のポインタを $P_1(n+2) = \text{mod}_8(P_1(n)+q_{n+1})$ とする。

時刻 $n+2$ の場合は上記アルゴリズムで「時刻 n 」の場合で n を $n+2$ と置けばよく、また時刻 $n+3$ の場合は上記アルゴリズムで「時刻 $n+1$ 」の場合で $n+1$ を $n+3$ と置けばよい。(以下同様である。)

この論文では提案アルゴリズムを $\Delta\Sigma$ AD 変調器内のマルチビット DAC に関しての場合を記述したが、もちろんマルチビット $\Delta\Sigma$ DA 変調器の場合も適用可能である。

IV. シミュレーションによる効果確認

提案するアルゴリズムを用いて、マルチビット DAC の非線形誤差をノイズ・シェーブする機能が働くかを検証するために、内部 3 ビット ADC/DAC の 4 次複素バンドパス変調器 [15] を用いて Matlab によるシミュレーションを行なった。同じバンド

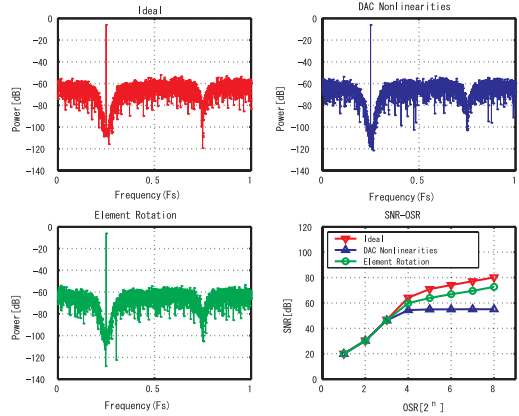


図 7: 複素バンドパス $\Delta\Sigma$ 変調器出力スペクトルと SNR のシミュレーション結果。左上は理想の DAC を用いた場合、右上は電流セルのミスマッチがある従来式セグメント型 DAC を用いた場合、左下は電流セルのミスマッチがある提案エレメント・ローテーション型 DAC を用いた場合の複素正弦波入力に対する変調器出力スペクトル。 $\omega = \pi/2$ だけでなく $\omega = 3\pi/2$ でも量子化ノイズがノイズ・シェーブされているのは変調器内の I,Q 経路ミスマッチによるイメージ量子化ノイズ ($\omega \approx 3\pi/2$) が信号帯域内 ($\omega \approx \pi/2$) に回り込むのを減少させるため、変調器内複素バンドパス・フィルタに $\omega = 3\pi/2$ にも 1 次の極を設けているためである。

パス変調器と内部 ADC 回路を用いるが、使用する DAC 回路は以下の三つのケースに分けてシミュレーションを行なった：

- 理想 (非線形性がない)DAC を用いる場合。
- 電流セルのミスマッチがある従来式セグメント電流セル型 DAC を用いる場合。
- 電流セルのミスマッチ条件は (B) と同じであるが、提案するエレメント・ローテーション型 DAC を用いる場合。

図 7 に上記の三つのケースの変調器出力スペクトルと SNR を比較したシミュレーション結果を示す。DAC 非線形性がない場合は OSR に対して ADC 全体の SNR は増加するが、従来式型 DAC に非線形性がある場合、SNR は飽和する。一方提案アルゴリズムを用いた場合は、DAC 非線形性によるノイズ成分は信号帯域外に押し出されるので、非線形性の影響は軽減され、SNR は改善される事がわかる。

V. まとめ

高精度複素バンドパス $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェーブする新しいアルゴリズムを提案した。このアルゴリズムを使用することで複素バンドパス $\Delta\Sigma$ AD 変調器内の 2 つの DAC の特性のミスマッチの影響もキャンセルされる。わずかなデジタル回路を付加することで、複素バンドパス $\Delta\Sigma$ ADC の性能改善を可能にし、また、その効果を Matlab によるシミュレーションで確認した。このアルゴリズムを使用し高精度複素バンドパス $\Delta\Sigma$ 変調器チップを実現していきたい。

謝辞 本研究を支援していただいた(株)半導体理工学研究センター (STARC) に感謝いたします。

参考文献

- [1] K. Philips “A 4.4mW 76dB complex $\Sigma\Delta$ ADC for Bluetooth receivers,” *ISSCC Digest of Technical Papers*, vol.46, pp.64-65, Feb 2003.
- [2] F. Henkel, U. Langmann, A. Hanke, S. Heinen, E. Wanger, “A 1MHz-bandwidth second-order continuous-time quadrature bandpass sigma-delta modulator for low-IF radio receivers,” *IEEE Journal of Solid-State Circuits*, vol.37, pp.1628-1635, Dec. 2002.
- [3] S. A. Jantzi, K. W. Martin, A. S. Sedra, “Quadrature bandpass $\Sigma\Delta$ modulator for digital radio,” *IEEE Journal of Solid-State Circuits*, vol.32, pp.1935-1949, Dec. 11997.
- [4] R. Schreier, J. Lloyd, L. Singer, D. Paterson, M. Timko, M. Hensley, G. Patterson, K. Behel, J. Zhou, “A 10-300MHz IF-digitizing IC with 90-105dB dynamic range and 15-333kHz bandwidth,” *IEEE Journal of Solid-State Circuits* vol.37, pp.1636-1644, Dec. 2002.
- [5] T. Salo, T. Hollman, S. Lindfors, K. Halonen, “A Dual-Mode 80MHz bandpass $\Delta\Sigma$ modulator for a GSM/WCDMA IF-receiver,” *ISSCC Digest of Technical Papers*, vol.45, pp.218-219, Feb 2002.
- [6] 石川達之、堀口繁、小林春夫、岩佐直樹、高橋伸夫、“高速バンドパス $\Delta\Sigma$ AD 変換器用デジタル・フィルタ”, 計測自動制御学会 学術講演会, pp.641-642, 盛岡 (1999 年 7 月).
- [7] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- [8] T. Ueno, A. Yasuda, T. Yamaji and T. Itakura, “A fourth-order bandpass Δ - Σ modulator using second-order bandpass noise-shaping dynamic element matching,” *IEEE Journal of Solid-State Circuits*, vol.37, pp.809 - 816, July 2002.
- [9] T. Shui, R. Screeier, F. Hudson, “Mismatch shaping for a current-mode multibit delta-sigma DAC,” *IEEE Journal of Solid-State Circuits*, vol.34, pp.331-338, March 1999.
- [10] L.R. Carley, “A noise-shaping coder topology for 15bit converters,” *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 267 - 273, April 1989.
- [11] E. Fogleman, I. Galton, W. Huff, and H. Jensen, “A 3.3-V single-poly CMOS audio ADC delta-sigma modulator with 53.8-dB peak SINAD and 105-dB peak SFDR,” *IEEE Journal of Solid-State Circuits*, vol.35, pp.297 - 307, March 2000.
- [12] R. Shreier, J. Steensgaard and G. C. Temes, “Speed vs. dynamic range trade-off in oversampling data converters,” in C. Toumazou, G. Moschytz, and B. Gilbert (editors), *Trade-Offs in Analog Circuit Design, The Designer's Companion*, Kluwer Academic Publishers, pp.644 - 653, 2002.
- [13] Y. Yang, A. Chokhawala, M. Alexander, J. Melanson, D. Hester, “A 114dB 68mW chopper-stabilized stereo multi-bit audio A/D converter,” *ISSCC Digest of Technical Papers*, vol.46, pp.56-57, Feb 2003.
- [14] B. Razavi, *Principles of Data Converter Design*, IEEE Press, 1995.
- [15] A. Swaminathan, “A single-IF receiver architecture using a complex SD modulator,” M. Eng. thesis, Carleton Univ. Ottawa, ON, Canada 1997.