

# デジタル制御電源用 DPWM 発生回路新アーキテクチャ

森 偉文樹, 木村 圭吾, 山田 佳央, 小林 春夫  
小堀 康功, 清水 一也, 光野 正志, 傘 昊, 金田 雅人  
群馬大学院工学研究科電気電子工学専攻 〒 376-8515 群馬県桐生市天神町 1-5-1  
tel:0277-30-1788 fax:0277-30-1707 e-mail:k.haruo@el.gunma-u.ac.jp

## New Architecture of DPWM Generator for Digitally Controlled DC-DC Converters

Ibuki MORI, Keigo KIMURA, Yoshihisa YAMADA, Haruo KOBAYASHI  
Yasunori KOBORI, Kazuya SHIMIZU, Masashi KONO, Hao SAN, Masato KANETA  
Electronic Engineering Department, Graduate School of Engineering, Gunma University  
1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

キーワード : デジタル制御, 電源, PWM

Keywords: Digital Control, DC-DC Converter, PWM

要約- この論文ではデジタル電源の高性能化のためのキーコンポーネントであるデジタル PWM(Digital Pulse Width Modulation: DPWM) 生成回路の, 従来に比べて高時間分解能・小量ハードウェア・低消費電力を実現する方式を提案する。

### I. デジタル電源の構成と DPWM

デジタル制御電源の構成を図 1 に示す。電源スイッチング制御部を(アナログ制御方式ではなく)ADC, DSP とデジタル PWM のデジタル信号処理システムで実現している。その動作は出力電圧(または出力電流)を AD 変換してフィードバックし, 基準電圧値と比較してその差を打ち消すようにデジタル信号処理回路で制御アルゴリズムを実行し, PWM 信号を出力してスイッチをオンオフ制御する。アナログ電源ではコンパレータと鋸波(三角波)を用いてアナログ的に PWM を発生させていたが, デジタル電源はデジタル的に PWM 信号を生成する。

デジタル PWM 信号発生器はデジタル入力  $D_{in}$  に比例したデューティ比の PWM 信号を発生する回路である(図 2)。デジタル電源回路ではデジタル PWM の入出力データは単調性を満たしていれば線形性はさほど要求されないが, 十分な制御性能をだすためにはシミュレーション等の結果により分解能は 12 ビット以上必要であることがわかっている。

### II. 高時間分解能 DPWM 発生回路の設計

目標仕様 :

1 周期 : 80ns

(AD 変換器は 12.5MS/S(=1/80ns) で動作。)

分解能 : 13bit

時間分解能 : 10ps (= 80ns/2<sup>13</sup>)

使用可能なクロック :  $f_{clk}$  100MHz,  $f_s$  12.5MHz

米 TI 社のデジタル制御 IC (UCD9K, 2005) が時間分解能 150[ps] である。

DPWM 全体回路構成 : デジタル PWM 全体回路構成を図 3 に示すように設計する。13 ビットのデジタル信号を入力とし, CLKout を PWM 出力信号である。タイミングの基準クロックとして  $f_{clk}=100$ [MHz] を与え, Coarse DTC (粗い時間分解能の DTC) と Fine DTC (細かい時間分解能の DTC) で構成する。DTC とは Digital-to-Time Converter の略で, デジタル入力から時間出力を得るものである。13 ビットのデジタル入力信号を上位 3 ビットと下位 10 ビットに分け, 上位を Coarse DTC に下位を Fine DTC に入力する。

Coarse DTC は基準クロックで動作する 3 ビットのデジタル・カウンタで構成し, その出力 CLKin を Fine DTC に入力する。Fine DTC ではゲート遅延やマルチプレクサ等によってアナログおよびデジタルの両方の回路を用いて 10bit のタイミング信号を生成する。

Coarse DTC の仕様 : AD 変換器のサンプリングク

ロック  $f_s (=12.5\text{MHz})$  を入力基準タイミングとして時間分解能 10ns で遅延させた信号  $CLK_{in}$  を出力する。

1 周期: 80ns ( $=1/12.5\text{MHz}$ )

分解能: 3bit (デジタル 3bit データで与える.)

出力  $CLK_{in}$  の時間分解能: 10ns ( $=80\text{ns}/2^3$ )

外部からの基準クロック  $f_{clk}$ : 100MHz

**Fine DTC の仕様:** 入力信号を  $CLK_{in}$  とし, その立ち下がりタイミングから時間分解能 10ps で遅延させた信号  $CLK_{out}$  を出力する。

1 周期: 10ns

分解能: 10bit (デジタル 10bit データで与える.)

出力  $CLK_{out}$  の時間分解能: 10ps ( $=10\text{ns}/2^{10}$ )

外部からの基準クロック  $f_{clk}$ : 100MHz

**Coarse DTC の構成と動作:** Coarse DTC を図 4 に示すように構成する。  $f_s=12.5\text{MHz}$  でリセットされ  $f_{clk}=100\text{MHz}$  で動作するデジタルカウンタと, その出力と上位 3 ビットの値を比較するデジタル比較器およびタイミング用のフリップフロップからなる。デジタルカウンタ出力値と 3 ビットデジタル入力一致したとき  $CLK_{in}$  が High から Low になる。すなわちここでの時間分解能は  $1/f_{clk}=10\text{ns}$  である。

**Fine DTC の従来の構成と問題点:** 従来の Fine DTC は図 5 に示すような構成をとるものが多い。Coarse DTC からの出力  $CLK_{in}$  を入力とし, バッファ遅延線を通して遅らせた信号を作り出す。マルチプレクサで下位 10 ビットのデジタル入力に対応した遅延信号を選択して  $CLK_{out}$  として出力する。ここでの時間分解能はバッファ遅延  $\tau$  である。すなわち, 従来の Fine DTC (図 5) では最小時間分解能がバッファ遅延 (ゲート遅延)  $\tau$  で定められてしまい半導体のプロセス性能に依存する。この構成で高時間分解能を得るためにはゲート遅延を微小にしていく必要があり, 例えば分解能 10 ビットを実現させるためには  $2^{10} - 1 = 1023$  個のバッファが必要となり回路規模が大きくなる。また使用テクノロジーを決めれば消費電力  $\times$  ゲート遅延量 = 一定 であるので, このように回路規模が大きくなると, バッファ一つあたりの遅延量が大きい構成では相乗効果で Fine DTC の消費電力は非常に大きくなる。しかし本提案では, 一つのゲート遅延  $\tau$  よりも小さな時間分解能を達成でき, かつバッファ数を大幅に削減できる Fine DTC の構成を提案する。これにより消費電力と回路規模を大幅に削減できる。

### III. Fine DTC 新アーキテクチャの提案

従来の構成と問題を受けて Fine DTC の新規提案を行う。

時間分解能が (「ゲート遅延 ( $\tau$ )」ではなく) 「2 つのゲート遅延の差 ( $\tau_1 - \tau_2$ )」である, より高時間分解能 PWM 回路が実現できる構成について記述する。

**提案 Fine DTC の構成:** 提案する Fine DTC の構成を図 6 に示す。これはバッファ遅延線を 2 つ用いているところに特徴がある。それぞれバッファ遅延線 1, 2 のゲート遅延値  $\tau_1, \tau_2$  は基準クロックと DLL (Delay Locked Loop) によって遅延量を自動制御・調整する。 $\tau_1, \tau_2$  のゲート遅延量の関係を最適に設定する。下位のデジタル入力に応じて 2 つのマルチプレクサで経路を選択し「2 つのゲート遅延差」の時間分解能を実現する。選択アルゴリズムはデコーダ回路部に与える。

また, マルチプレクサは内部の各パス間に遅延差のないように等長配線レイアウト設計する必要がある。

**提案 Fine DTC の動作:** 提案する Fine DTC の動作は, バッファ遅延線 1 でゲート遅延  $\tau_1$ , バッファ遅延線 2 では  $\tau_2$  のバッファを使用する。その関係が  $\tau_1 > \tau_2$  となるように調整し, 時間分解能  $\Delta\tau (= \tau_1 - \tau_2)$  を実現する 2 つの遅延線からの信号のマルチプレクサでの選択方法とタイミングチャートを図 7, 図 8, 図 9 に示す。図 8 より, バッファ遅延線 2 のバッファ数を  $N$  個 (図 7 の場合は  $N=3$ ) とすると,  $\tau_1$  と  $\tau_2$  の関係は次のように決まる。これよりバッファ遅延線を多段用意することによって, バッファ単体の遅延量が大きくなっても, 全体の時間分解能は高精度にすることが出来る。

$$\begin{aligned} \tau_1 &= (N + 1)\Delta\tau, & \Delta\tau &= \tau_1 - \tau_2 \\ \tau_2 &= \frac{N}{N + 1}\tau_1 \end{aligned} \quad (1)$$

となる。この  $\tau_1$  と  $\tau_2$  の関係は DLL によって固定し, パイアスで制御することによりバッファ遅延  $\tau$  は制御される。

なおバッファ遅延  $\tau_1$  をつくるための DLL1 内のバッファの個数を  $K_1$ , バッファ遅延  $\tau_2$  をつくるための DLL2 内のバッファの個数を  $K_2$  とすると次の関係が得られる。

$$\frac{K_1}{K_2} = \frac{N}{N + 1}. \quad (2)$$

**3 段バッファ遅延線を用いた Fine DTC:** さらに 3 段バッファ遅延線を用いて Fine DTC を構成することを検討した。その全体 DPWM 回路を図 10 に示す。2 段, 3 段, 4 段バッファ遅延線構成をと比較した結果, 回路規模・消費電力化の観点から 3 番構成が最も効率が良いという結果を得ている。また, 多段構成にすると経路選択アルゴリズムが複雑になるが, 回路規模の観点から最適・システ

マテックなアルゴリズムを拡張ユークリッド互除法をベースにして開発した。(これに関しては別途報告予定である[8].)

**Fine DTC 部の設計結果の比較 :**

(i) 従来の1段バッファ遅延線 Fine DTC (図6): バッファ総数 1024 個、遅延  $\tau = 10ps$ .

(ii) 提案2段バッファ遅延線 Fine DTC (図7): バッファ総数 82 個. 初段目バッファ遅延線 遅延  $\tau_1 = 160ps$ , バッファ個数 38 個. 2段目バッファ遅延線 遅延  $\tau_2 = 290ps$ , バッファ個数 44 個.

(iii) 提案3段バッファ遅延線 Fine DTC (図13): バッファ総数 37 個. 初段目バッファ遅延線 遅延  $\tau_1 = 160ps$ , バッファ個数 12 個. 2段目バッファ遅延線 遅延  $\tau_2 = 730ps$ , バッファ個数 15 個. 3段目バッファ遅延線 遅延  $\tau_3 = 290ps$ , バッファ個数 10 個.

#### IV. まとめと今後の課題

高時間分解能 PWM 生成回路の新アーキテクチャを提案した. 時間分解能が「ゲート遅延」で決まっていた従来のデジタル PWM から、「2つ以上のゲート遅延の差」で時間分解能が決まる新しい構成を考案した. これにより高時間分解能が得られ回路規模・消費電力も小さくできる.

#### 参考文献

- [1] 「デジタル制御を得て電源の進化が始まる」EETimes Japan, pp.42-53 (2006年2月).
- [2] 曾根元隆, 「スイッチング電源におけるデジタル・DSP 制御の展望」アナログ・電源フォーラム(電源編), 日経エレクトロニクス, 東京 (2006年6月).
- [3] D. Freeman 「デジタル電源の応用展開」アナログ・電源フォーラム(電源編), 日経エレクトロニクス, 東京 (2006年6月).
- [4] K. Wang, et.al, "All Digital DPWM/DPFM Controller for Low Power DC-DC Converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Dallas, TX (Mar. 2006).
- [5] J. Chen, et.al., "DPWM Time Resolution Requirements for Digitally Controlled DC-DC Converters," IEEE APEC, Dallas, TX (Mar. 2006).
- [6] K. Leung, et.al., "Design and Implementation of a Practical Digital PWM Controller," IEEE APEC, Dallas, TX (Mar. 2006).
- [7] A. Peled, B. Liu, "A New Hardware Realization of Digital Filters," IEEE Trans. Acoust., Speech, Signal Processing, vol. ASSP-22, pp.456-462 (Dec. 1974).
- [8] 木村圭吾, 森偉文樹, 他 "デジタル制御電源用 高時間分解能 DPWM 回路", 電子情報通信学会 第20回回路とシステム(軽井沢)ワークショップ (2007年4月).

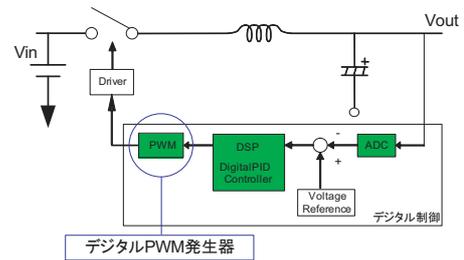


図 1: デジタル制御電源の構成.

Fig.1: Block diagram of digitally controlled DC-DC converter.

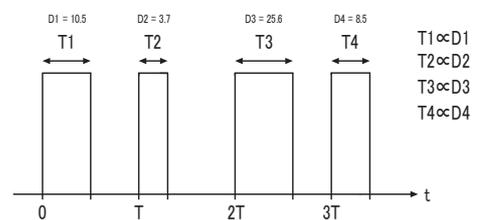


図 2: デジタル PWM 信号. この発生回路のデジタル入力と出力 PWM 信号デューティ比は比例関係にある

Fig.2: Digital PWM signal.

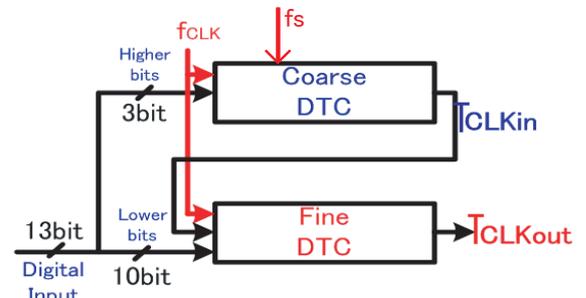


図 3: DPWM 回路の全体構成図.

Fig.3: Block daigram of whole DPWM circuit.

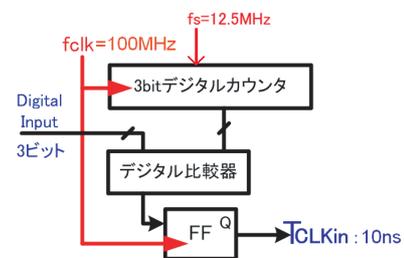


図 4: Coarse DTC の構成.

Fig.4: Coarse DTC configuration.

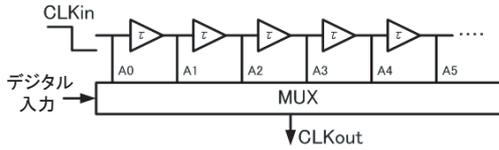


図 5: 従来の Fine DTC 部の構成. デジタル Din が “2” のとき, 出力  $CLK_{out}$  に A2 が選択される.

Fig.5: Conventional fine DTC circuit.

$$\begin{aligned}
 & +\Delta\tau \text{ (A0, B3)} \cdots \text{基準} \\
 & +\Delta\tau \text{ (A1, B2)} \cdots \tau_1 - \tau_2 = \Delta\tau \\
 & +\Delta\tau \text{ (A2, B1)} \cdots 2\tau_1 - 2\tau_2 = 2\Delta\tau \\
 & +\Delta\tau \text{ (A3, B0)} \cdots 3\tau_1 - 3\tau_2 = 3\Delta\tau \\
 & \vdots \\
 & (A1, B3) \quad \tau_1 = 4\Delta\tau \\
 & (A2, B2) \quad 2\tau_1 - \tau_2 = \tau_1 + \Delta\tau \\
 & (A3, B1) \quad 3\tau_1 - 2\tau_2 = \tau_1 + 2\Delta\tau \\
 & (A4, B0) \quad 4\tau_1 - 3\tau_2 = \tau_1 + 3\Delta\tau \\
 & \vdots \\
 & (A2, B3) \quad 2\tau_1 \quad (\tau_1 = 4\Delta\tau) \\
 & (A3, B2) \quad 3\tau_1 - \tau_2 = 2\tau_1 + \Delta\tau \\
 & (A4, B1) \quad 4\tau_1 - 2\tau_2 = 2\tau_1 + 2\Delta\tau \\
 & (A5, B0) \quad 5\tau_1 - 3\tau_2 = 2\tau_1 + 3\Delta\tau \\
 & \vdots
 \end{aligned}$$

図 8: 提案する Fine DTC 部の経路と各遅延量.

Fig.8: Algorithm of the proposed fine DTC.

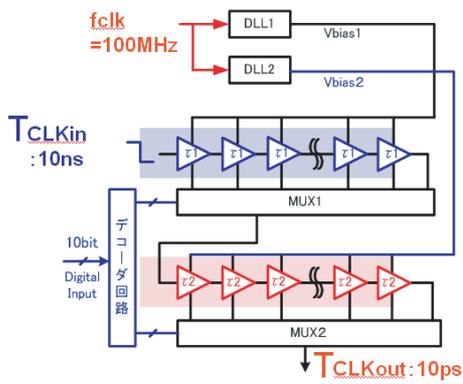


図 6: 提案する Fine DTC の構成.

Fig.6: Proposed fine DTC circuit.

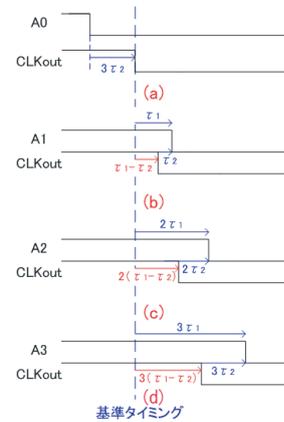


図 9: 提案する Fine DTC 部の] タイミングチャート. (a) A0, B3 を選択. (b) A1, B2 を選択. (c) A2, B1 を選択. (d) A3, B0 を選択.

Fig.9: Timing chart of the proposed fine DTC.

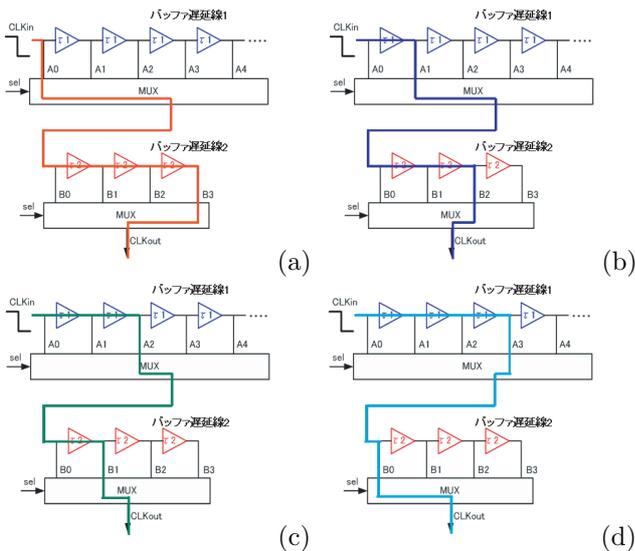


図 7: 提案する Fine DTC 部の動作. (a) A0, B3 を選択. (b) A1, B2 を選択. (c) A2, B1 を選択. (d) A3, B0 を選択.

Fig.7: Operation of the proposed fine DTC.

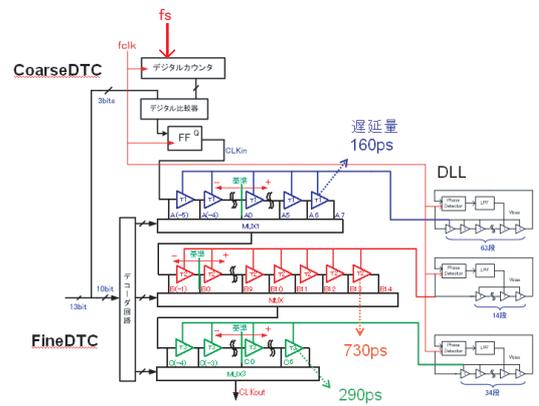


図 10: 3 段バッファ遅延線を用いた提案 DPWM 発生回路.

Fig.10: Proposed DPWM generator with three-delay-line fine DTC.