

冗長性をもった逐次比較近似 A/D 変換アルゴリズム

小川 智彦[†] 小林 春夫[†] 高橋 洋介[†] 堀田 正生^{††}

[†] 群馬大学大学院 工学研究科 電気電子工学専攻 〒 376-8515 群馬県桐生市天神町 1-5-1

^{††} 武蔵工業大学 知識工学部情報ネットワーク工学科 〒 158-8557 東京都 世田谷区 玉堤 1-28-1

あらまし この論文では逐次比較近似 A/D 変換器で高信頼性を実現するために、コンパレータでの判定誤りが生じても後段でデジタル誤差補正が可能な、冗長性をもったアルゴリズムの設計法を述べる。ここで記述する冗長性をもったアルゴリズムは 2 進探索アルゴリズムよりもステップ回数が多い非 2 進探索アルゴリズムを一般化し、コンパレータ比較範囲を（ある程度自由度をもって）オーバーラップさせることでデジタル誤差補正を可能とした。ここではその冗長アルゴリズムでのデジタル誤差補正が可能な範囲等の性質を明らかにする。

キーワード 逐次比較近似 ADC, デジタル誤差補正, 誤差耐性, 冗長性, 不完全整定

SAR ADC Algorithms with Redundancy

Tomohiko OGAWA[†], Haruo KOBAYASHI[†], Yosuke TAKAHASHI[†], and Masao HOTTA^{††}

[†] Dept. of Electronic Engineering, Gunma University 1-5-1 Tenjin-cho, Kiryu 376-8515 Japan

^{††} Dept. of Information Network Eng., Musashi Institute of Technology

1-28-1 Tamazutumi Setagaya Tokyo 158-8557 Japan

Abstract This paper describes design method of generalized non-binary algorithms for highly reliable Successive Approximation Register (SAR) ADCs where mistakes of comparator decision can be digitally-corrected. We generalize a conventional non-binary search algorithm which requires more conversion steps in the SAR ADC than the binary search algorithm but provides error tolerance by overlapping comparator ranges. We also clarify the scope of error tolerance of the derived algorithm.

Key words SAR ADC, Digital Error Correction, Error Tolerance, Redundancy, Incomplete Settling

1. はじめに

近年車載用エレクトロニクス技術に大きな関心が集まっている [1], [2]. その中で車載用マイコンと組み合わせた AD 変換器では逐次比較方式が広く使われているが、その高信頼性化、高速、高精度、低消費電力、低コスト化の要求が年々厳しくなっている。

我々は車載用 [1], [2] の高性能逐次比較 AD 変換器のアーキテクチャとアルゴリズムを検討している [3], [4]. 従来方式に比べ、高分解能（12~14 ビット）、高速（20MS/s 程度）、低消費電力、低コスト（小チップ面積、デジタル CMOS プロセスで実現）を目指す。また車載用のため高信頼性化を考慮する。従来の逐次比較型 AD 変換器では 1 個の比較レベルをもつ内部 ADC（すなわちコンパレータ一つ）を利用しており、前段でエラーが起きてしまうと後段で補正ができなかった。ここでは N ビット逐次比較近似 A/D 変換器を M ステップ ($M > N$) で実現するステップ数に冗長性をもたせるアルゴリズムを検討する。この冗長性によりデジタル誤差補正が可能となるが、その誤

差補正可能な範囲、設計法等を検討する。この冗長性は AD 変換器の高信頼性化およびサンプリング・スピードの向上につながる。

2. 逐次比較型 AD 変換器

逐次比較型 ADC の特徴： 逐次比較型構成は、高分解能（10-12bit）、中速サンプリング（5MS/s 程度）AD 変換器を低消費電力・低コストで実現できるので、車載、工業用制御、ペンデジタルタイザ等広く用いられている [3]-[10]. さらに高性能化、低コスト化また高信頼性化が実現できれば産業的な意義は大きい。逐次比較型 ADC の構成： 逐次比較型 AD 変換器はトラック・ホールド回路、（1 個の）コンパレータ、DA 変換器、論理回路とタイミング発生回路から構成される（図 1）。もっとも精度を要求されるのは、サンプルホールド回路に加えて、フィードバック経路にある DA 変換器である。またタイミング発生回路はリングカウンタを用いて構成することが多い。

逐次比較型 ADC の動作： 逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する（図 2）。最近では非 2 進探索アルゴリズムによる時間冗長性 [5], [6], コンパレー

タを3個使用した空間冗長性を用いて高信頼性化・高速化を図る方式 [3], [4] も提案されている。

2. 2進探索アルゴリズム

この節では逐次比較近似 AD 変換器でコンパレータを1つ使用した2進探索アルゴリズムを説明する。2進探索アルゴリズムでは、Nビット分解能AD変換をNステップ(N回の比較)で実現する。AD変換器へのアナログ入力レンジを $0 \sim 2^N - 1$ と正規化して考える。コンパレータはアナログ入力 (V_{in}) と比較電圧を比較するが、1ステップ目では比較電圧 ($V_{ref}(1)$) は次のようになる。

$$V_{ref}(1) = 2^{N-1}.$$

$V_{in} > V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は“1”となり、2ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる。

$$V_{ref}(2) = 2^{N-1} + 2^{N-2}$$

$V_{in} < V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は“-1”となり、2ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる。

$$V_{ref}(2) = 2^{N-1} - 2^{N-2}$$

このようにkステップ目の比較電圧 ($V_{ref}(k)$) はk-1ステップ目でのコンパレータ出力 ($d(k-1)$) が1のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) + 2^{N-k}.$$

d_{k-1} が-1のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) - 2^{N-k}.$$

すなわち

$$V_{ref}(k) = 2^N \cdot \left(2^{-1} + \sum_{i=2}^k d(i-1)2^{-i} \right).$$

そして、最終のNステップ目の比較でコンパレータ出力 ($d(N)$) が1のときn段目の比較値 $V_{ref}(n)$ の上の変換出力レベルに変換出力が決まり、 $d(N)$ が-1のとき $V_{ref}(N)$ の下の変換出力レベルに変換出力が決まる。2進探索アルゴリズムでは、NビットNステップのときに 2^N 通りの比較パターンがあり、 2^N 個の変換出力レベルがある。そして、各変換出力レベルに変換される比較パターンは1通りで、その比較パターンではその変換出力レベルに対して全ての段で正しい比較をしていると仮定している。したがって1回でも比較を間違えると入力レベルと誤った変換出力レベルに変換されてしまう。

3. 非2進探索アルゴリズム

3.1 非2進探索アルゴリズムの一般化

ここではNビット分解能逐次比較AD変換をMステップ ($N \leq M$) で実現する非2進探索アルゴリズムについて述べる。ここでは各ステップでの比較電圧 $V_{ref}(k)$ も2進探索アルゴリズムとは異なる。kステップ目でk-1段目の比較電圧値 $V_{ref}(k-1)$

に足し引きする値を $p(k)$ とする。このとき、kステップ目の比較値 $V_{ref}(k)$ は次のように表される。

$$V_{ref}(k) = \sum_{i=1}^k d(i-1)p(i), \quad (k = 1, 2, \dots, M). \quad (1)$$

ここで $p(i)$ は次を満たす。

$$p(1) = 2^{N-1} \quad (2)$$

$$\sum_{i=1}^M p(i) = 2^N - 1 + 2 \cdot (\text{オーバーレンジ量}). \quad (3)$$

ここで

- $p(i) = 2^{N-i}$ のとき2進探索となる。 ($N=M$)
- $p(i) = x^{-i}$ ($1 < x < 2$) のとき x 進探索となる。 ($N < M$)
- 従来の非2進探索アルゴリズムは上記 x 進探索の場合を考えているがここでは $p(i)$ をこれに限定しない式 (3) を満たす

全ての場合を考える。

ここでオーバーレンジ量 r を次のように定義する。5ビット逐次比較AD変換の場合は出力範囲は $0 \sim 31$ であるが、図3は $-3 \sim 34$ とその範囲が上下に ± 3 広がっている。この3をオーバーレンジ量 r とする。

例1：図2は5ビット5ステップ逐次比較AD変換での比較値電圧を示している。 $N=5, M=5, p(1)=16, p(2)=8, p(3)=4, p(4)=2, p(5)=1$ である。

例2：図3は5ビット6ステップ逐次比較AD変換での比較値電圧の例を示している。オーバーレンジ量 $r=2, N=5, M=6, p(1)=16, p(2)=7, p(3)=5, p(4)=3, p(5)=2, p(6)=1$ である。

例3：図4は5ビット6ステップ逐次比較AD変換での比較値電圧のもう一つの例を示している。オーバーレンジ $r=0, N=5, M=6, p(1)=16, p(2)=7, p(3)=4, p(4)=2, p(5)=1, p(6)=1$ である。図5はアナログ入力 (V_{in}) が23.5で、2ステップ目でコンパレータ出力 $d(2)$ が正解の“1”ではなく“-1”を出力してしまった場合でも正しいAD変換出力が得られることを示している。

例4：図6は5ビット6ステップ逐次比較AD変換での比較値電圧のもう一つの例を示している。オーバーレンジ $r=0, N=5, M=6, p(1)=16, p(2)=4, p(3)=4, p(4)=4, p(5)=2, p(6)=1$ である。

3.2 非2進探索アルゴリズムとデジタル誤差補正

式(1)を用いた探索アルゴリズムの場合、 2^M 通りの比較パターンがあり、 $2[(\sum_{i=2}^M p(i)) + 1]$ 個の変換出力レベルがある。前者は後者より大きい。すなわち変換出力レベルの数よりも比較パターン数が多いので、1つの変換出力レベルに変換される比較パターンが複数ある変換出力レベルが存在する。

一方各変換出力レベルに全ての段で正しい比較をして変換される比較パターンは1通りしか存在しない。したがって同じ変換出力レベルに変換される比較パターンが複数存在するとき、どこかのステップでコンパレータが比較を間違えた比較パターンがその変換出力レベルに変換されることになる。すなわち冗長性によりこの場合比較が誤っても入力レベルに対して正しい

変換出力レベルに変換される。

$2[(\sum_{i=2}^M p(i)) + 1]$ 個の各々の変換出力レベルに対して 2^M 通りの比較パターンで対応するものを記述したルックアップテーブルを用意する等すれば比較が誤っても入力レベルに対して正しい変換出力レベルに変換できる逐次比較 AD 変換器が実現できることになる。

3.3 非2進探索アルゴリズムの冗長性の解析

つぎに“k ステップ目の冗長性 $q(k)$ ”を下の式で定義する。

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i). \quad (4)$$

式 (4) で示される $q(k)$ は各ステップでの比較結果の反対の比較結果の範囲に後段の比較によって、どこまで入れるかを示す。その範囲には k ステップ目で間違えても正しい変換出力レベルに変換される場合があることになる。

命題 1: k ステップでコンパレータが比較判定を誤っても、 $|V_{in} - V_{ref}(k)| < q(k)$ を満たしていれば正しい AD 変換結果が得られる。

図 5 はアナログ入力 (V_{in}) が 23.5 で、1 ステップ目では $V_{ref}(1) = 16$ と比較して正しい比較判定がなされ ($d(1)=1$)、2 ステップ目で $V_{ref}(2) = 23$ と比較しコンパレータ出力 $d(2)$ が正解の“1”ではなく“-1”を出力してしまった場合でも正しい AD 変換出力が得られることを示している。これは $|V_{in} - V_{ref}(2)| < q(2)$, ($q(2) = 1$) が成立しているからである。

N ビット M ステップ AD 変換の場合に $q(k)$ ($k = 1, 2, \dots, M$) の値を設計してそれを実現する $p(k)$ ($k = 1, 2, \dots, M$) を計算する式を次のように導出した。

命題 2:

$$2^M - 2^N = \left(\sum_{i=1}^{M-1} 2^i q(i) \right) + 2 \cdot \text{オーバーレンジ量}. \quad (5)$$

証明: 式 (4) より、

$$p(k+1) = -q(k) + 1 + \sum_{i=k+2}^M p(i). \quad (6)$$

式 (6) の右辺の $1 + \sum_{i=k+2}^M p(i)$ を展開すると次式が得られる。

$$p(k+1) = -q(k) + 2^{M-k-1} - \sum_{i=k+1}^{M-1} 2^{i-k-1} q(i). \quad (7)$$

式 (7) で $k = 1$ とすると次式が得られる。

$$p(2) = -q(1) + 2^{M-2} - \sum_{i=2}^{M-1} 2^{i-2} q(i) \quad (8)$$

$$2^{M-2} = p(2) + q(1) + \left(\sum_{i=2}^{M-1} 2^{i-2} q(i) \right) \quad (9)$$

$$2^M = 4p(2) + 4q(1) + \sum_{i=2}^{M-1} 2^i p(i). \quad (10)$$

式 (6) で $k = 1$ とすると次式が得られる。

$$p(2) = -q(1) + 1 + \sum_{i=3}^M p(i). \quad (11)$$

式 (11) の両辺に $p(2)$ を加え右辺の \sum の中にいれる。

$$2p(2) = -q(1) + 1 + \sum_{i=2}^M p(i). \quad (12)$$

式 (10) に式 (12) を代入する。

$$2^M = 2[-q(1) + 1 + \sum_{i=2}^M p(i)] + 4q(1) + \sum_{i=2}^{M-1} 2^i q(i) \quad (13)$$

$$2^M = 2[1 + \sum_{i=2}^M p(i)] + \sum_{i=1}^{M-1} 2^i q(i). \quad (14)$$

式 (14) において、左辺の 2^M は比較パターンの総数を表している。右辺の $2(1 + \sum_{i=2}^M p(i))$ は変換出力レベルの数を表している。N ビットのとき変換出力レベルは 2^N であるので、 $2(1 + \sum_{i=2}^M p(i)) = 2^N + 2 \cdot (\text{オーバーレンジ量})$ とすることができる。したがって、式 (14) は

$$2^M - 2^N = \left(\sum_{i=1}^{M-1} 2^i q(i) \right) + 2 \cdot (\text{オーバーレンジ量})$$

と表せる。(証明終)

例 1: 図 2 では $N = 5, M = 5, p(1) = 16, p(2) = 8, p(3) = 4, p(4) = 2, p(5) = 1$ で $q(1) = q(2) = q(3) = q(4) = q(5) = 0$ である。

例 2: 図 3 はオーバーレンジ $r = 3, N = 5, M = 6, p(1) = 16, p(2) = 7, p(3) = 5, p(4) = 3, p(5) = 2, p(6) = 1$ で $q(1) = 5, q(2) = 2, q(3) = 1, q(4) = 0, q(5) = 0$ である。式 (7) の次の関係が成立している。

$$\begin{aligned} p(2) &= 16 - q(1) - q(2) - 2q(3) - 4q(4) - 8q(5) = 7 \\ p(3) &= 8 - q(2) - q(3) - 2q(4) - 4q(5) = 5 \\ p(4) &= 4 - q(3) - q(4) - 2q(5) = 3 \\ p(5) &= 2 - q(4) - q(5) = 2 \\ p(6) &= 1 - q(5) = 1. \end{aligned}$$

また式 (5) の次の関係が成立している。

$$2^6 - 2^5 = 2q(1) + 4q(2) + 8q(3) + 16q(4) + 32q(5) + 2r.$$

例 3: 図 4 はオーバーレンジ $r = 0, N = 5, M = 6, p(1) = 16, p(2) = 7, p(3) = 4, p(4) = 2, p(5) = 1, p(6) = 1$ で $q(1) = 2, q(2) = 1, q(3) = 1, q(4) = 1, q(5) = 0, q(6) = 0$ である。

例 4: 図 6 はオーバーレンジ $r = 0, N = 5, M = 6, p(1) = 16, p(2) = 4, p(3) = 4, p(4) = 4, p(5) = 2, p(6) = 1$ で $q(1) = 8, q(2) = 4, q(3) = 0, q(4) = 0, q(5) = 0, q(6) = 0$ である。

N ビット M ステップ逐次比較 AD 変換のとき式 (5) を満た

すように各段の冗長性 $q(k)$ とオーバーレンジ量 r を設計すれば、それを実現する $p(k)$ は式 (7) を用いて計算することができる。

$\sum_{i=1}^{M-1} 2^i q(i)$ は、1 回以上比較を間違えても正しい AD 変換値が得られる比較パターンの総数である。式 (5) において、 $\sum_{i=1}^{M-1} 2^i q(i)$ は、比較パターンの総数から変換出力レベルの数を引いた値に等しい。変換出力レベルには全ての段で正しく比較をした場合の比較パターンがそれぞれ 1 つずつ存在する。したがって、 $\sum_{i=1}^{M-1} 2^i q(i)$ は、1 回以上比較を間違えてそれぞれの変換出力レベルに変換される比較パターンの総数になり、間違えても正しい変換出力レベルに変換される場合の総数でもある。

式 (5) の $\sum_{i=1}^{M-1} 2^i q(i)$ の $q(i)$ の係数 2^i についてコメントする。係数 2^i を $2 \times 2^{i-1}$ と考えると、 2^{i-1} は i ステップ目での前の段の比較結果 $d(1) \sim d(i-1)$ によって変わる比較値 $V_{ref}(i)$ の場合の数を示している。 2 は比較結果 $d(i-1)$ が “1” のとき後段で “-1” の範囲に入っていく場合と比較結果が “-1” のとき後段で “1” の範囲に入っていく場合の 2 通りの場合を示している。したがって、図 3 の $q(i)$ 矢印の長さの総和はこの例での $\sum_{i=1}^{M-1} 2^i q(i)$ の値になる。

3.4 コンパレータが複数回比較を誤った場合

この節ではコンパレータが比較判定を複数回間違えても正しい AD 変換出力が得られる場合を考察する。

結論として次のものが得られた。

- 命題 1 を満たすことが複数回比較判定を間違えても正しい AD 変換出力が得られるための必要充分条件である。

- N ビット M ステップ逐次比較 AD 変換の場合、2 回以上比較判定を間違えても正しい AD 変換出力を得られる場合があるのは $M - N \geq 2$ のときである。($M - N = 1$ の場合は判定誤りを許すのは 1 回のみの場合しかない。)

図 7 の 5 ビット 7 ステップ逐次比較 AD 変換を考える。

$N = 5, M = 7, r = 0,$

$p(1) = 16, p(2) = 4, p(3) = 4, p(4) = 3, p(5) = 2, p(6) = 1, p(7) = 1,$

$q(1) = 8, q(2) = 4, q(3) = 2, q(4) = 1, q(5) = 1, q(6) = 0, q(7) = 0$ である。

図 8 では 1 ステップ目で比較判定 $d(1)$ が “1” となったとき、後段の k ステップ目で比較電圧値 $V_{ref}(k)$ が取り得る範囲と矢印で冗長性 $q(k)$ を示す。図 9(b) では比較判定 $d(1)$ が “-1” となった場合を示す。図 10 では 1 ステップ目で比較判定 $d(1)$ が “1” となった場合でも “0” となった場合でも後段で比較電圧値 $V_{ref}(k)$ が取り得る範囲と矢印で冗長性 $q(k)$ を示す。

これらの図を用いれば、たとえばアナログ入力 $V_{in} = 19.5$ のとき、

(1) 1 ステップ目で $V_{ref}(1) = 16$ と比較して $d(1) = -1$ と比較判定誤り、

(2) 2 ステップ目で $V_{ref}(2) = 12$ と比較して $d(2) = 1$ と正しい比較判定、

(3) 3 ステップ目で $V_{ref}(3) = 16$ と比較して $d(3) = 1$ と正しい比較判定、

(4) 4 ステップ目で $V_{ref}(4) = 19$ と比較して $d(4) = -1$

と比較判定誤り、

(5) 5 ステップ目で $V_{ref}(7) = 17$ と比較して $d(5) = 1$ と正しい比較判定、

(6) 6 ステップ目で $V_{ref}(7) = 18$ と比較して $d(6) = 1$ と正しい比較判定、

(7) 7 ステップ目で $V_{ref}(7) = 19$ と比較して $d(7) = 1$ と正しい比較判定

となるので 1 ステップ目、4 ステップ目での 2 回の比較判定誤りにもかかわらず正しい AD 変換出力が得られる。

4. ま と め

逐次比較近似 AD 変換器の高信頼性能化のために非 2 進探索アルゴリズムを一般化してその性質を調べ、そのアルゴリズムによるデジタル誤差補正の可能な範囲からの参照電圧値の設計法を導出した。

謝辞 有意義なご討論をいただきました松浦達治氏、益子耕一郎氏、阿部彰氏、近藤守氏、八木勝義氏、高井伸和先生、隼吳先生に感謝いたします。この研究を支援していただいております半導体理工学研究センター (S T A R C) に謝意を表します。

文 献

- [1] H. Casier, P. Moern, K. Appeltans, “Technology Consideration for Automotive,” *Proc. of ESSCIRC*, pp.37-41, Leuven, Belgium (Sept. 2004).
- [2] *ISSCC Short Course, Automotive Technology and Circuits*, San Francisco (Feb. 2005).
- [3] M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, “ SAR ADC Architecture with Digital Error Correction ”, *IEEJ International Analog VLSI Workshop*, Hangzhou, China (Nov. 2006).
- [4] S. Shimokura, M. Hotta, Y. Takahashi, H. Kobayashi, “ Conversion Rate Improvement of SAR ADC with Digital Error Correction ”, *IEEJ International Analog VLSI Workshop*, Limerick, Ireland (Nov. 2007).
- [5] M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, “A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13 μ m CMOS,” *Tech. Digest of ISSCC*, San Francisco (Feb. 2007).
- [6] F. Kuttner, “A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13 μ m CMOS,” *Tech. Digest of ISSCC*, San Francisco (Feb. 2002).
- [7] J. Craninckx, G. Plas, “A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9bit Charge-Sharing SAR ADC in 90nm Digital CMOS,” *Tech. Digest of ISSCC*, San Francisco (Feb. 2007).
- [8] M. Banihashemi, Kh. Hadidi, A. Khoei, “ A Low-Power, Small-Size 10-Bit Successive-Approximation ADC,” *IEICE Fundamentals*, vol.E88-A, no.4, pp.996-1006 (April 2005).
- [9] T. Komuro, N. Hayasaka, H. Kobayashi, H. Sakayori, “ A Practical Analog BIST Cooperated with an LSI Tester ”, *IEICE Trans. Fundamentals*, E89-A, no.2, pp.465-468 (Feb. 2006).
- [10] N. Verma, A. Chandrakasan, “A 25 μ W 100kS/s 12b ADC for Wireless Micro-Sensor Applications,” *Tech. Digest of ISSCC*, pp.222-223, San Francisco (Feb. 2006).

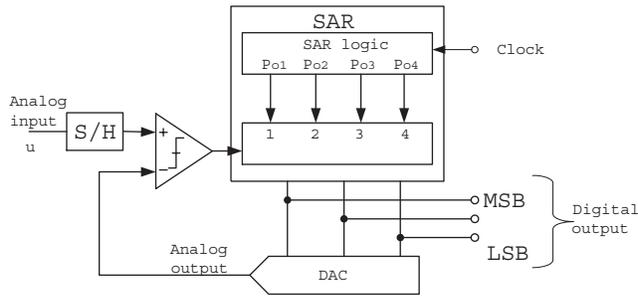


図 1 逐次比較近似 ADC のブロック図.
Fig. 1 Block diagram of an SAR ADC.

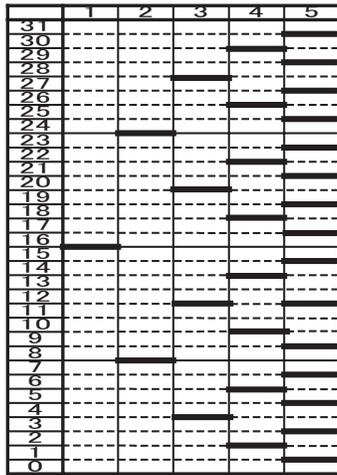


図 2 SAR ADC の 2 進探索アルゴリズム (5 ビット 5 段)
Fig. 2 Binary search algorithm of a 5-bit SAR ADC with 5 steps.

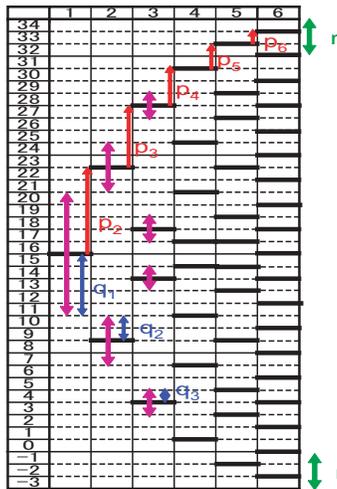


図 3 5 ビット 6 段逐次比較近似 ADC アルゴリズム (case 1).
Fig. 3 Redundant search algorithm of a 5-bit SAR ADC with 6 steps (case 1).

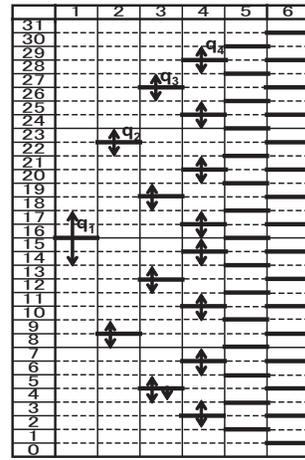


図 4 5 ビット 6 段逐次比較近似 ADC アルゴリズム (ケース 2).
Fig. 4 Redundant search algorithm of a 5-bit SAR ADC with 6 steps (case 2).



図 5 5 ビット 6 段逐次比較近似 ADC アルゴリズム (ケース 2) の動作例.
Fig. 5 Operation of redundant search algorithm of a 5-bit SAR ADC with 6 steps (case 2).

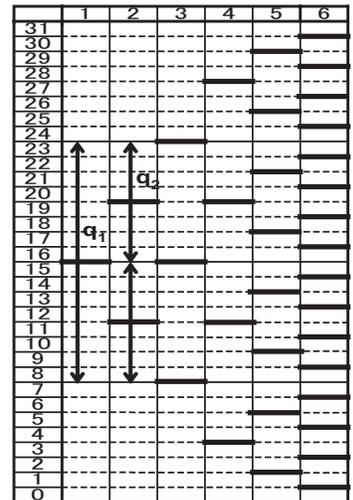


図 6 5 ビット 6 段逐次比較近似 ADC アルゴリズム (ケース 3).
Fig. 6 Redundant search algorithm of a 5-bit SAR ADC with 6 steps (case 3).

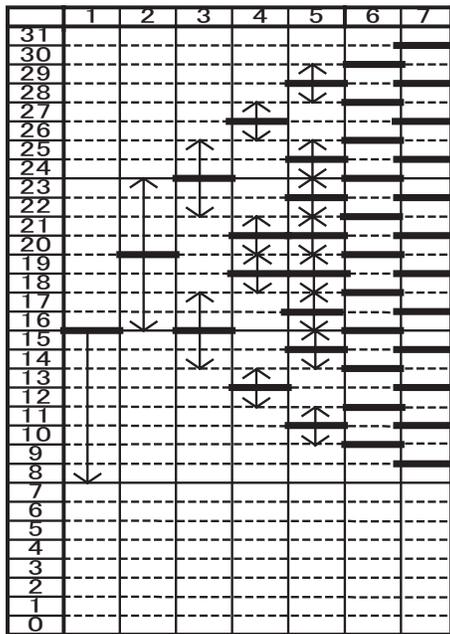


図 7 5 ビット 7 段逐次比較近似 ADC アルゴリズムの例.

Fig. 7 Redundant search algorithm of a 5-bit SAR ADC with 7 steps.

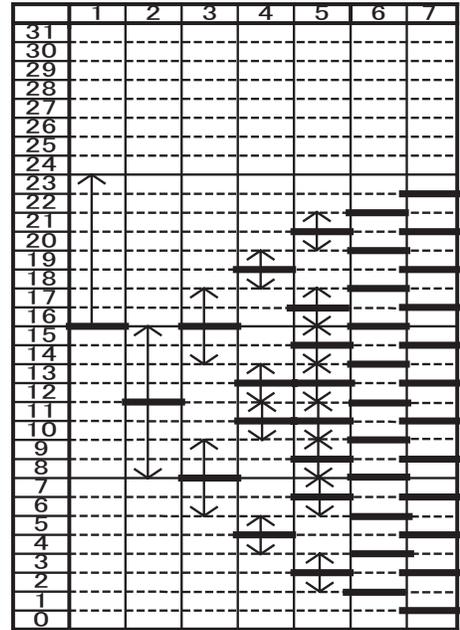


図 9 5 ビット 7 段逐次比較近似 ADC アルゴリズム. 1 ステップ目でコンパレータ出力 $d(1)$ が “-1” の場合の冗長性 $q(k)$ を矢印で示す.

Fig. 9 Redundant search algorithm of a 5-bit SAR ADC with 7 steps in case $d(1)=0$.

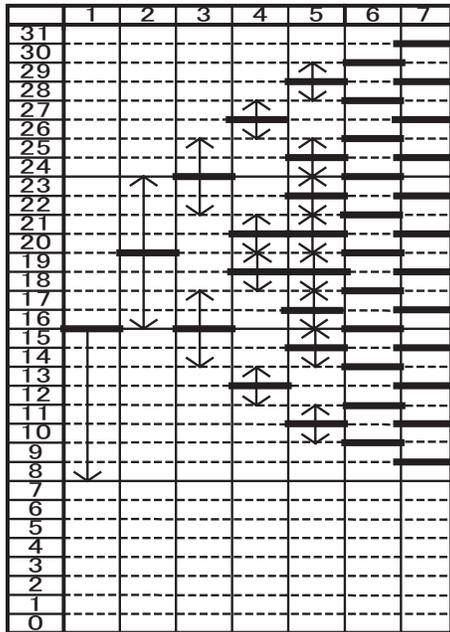


図 8 5 ビット 7 段逐次比較近似 ADC アルゴリズムで 1 ステップ目でコンパレータ出力 $d(1)$ が “1” の場合の冗長性 $q(k)$ を矢印で示す.

Fig. 8 Redundant search algorithm of a 5-bit SAR ADC with 7 steps in case $d(1)=1$.

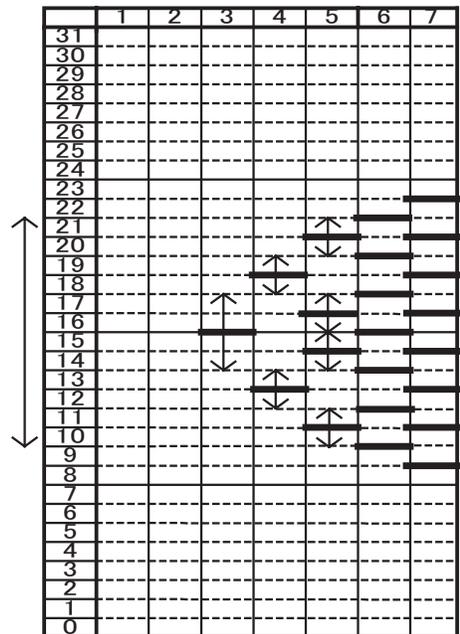


図 10 5 ビット 7 段逐次比較近似 ADC アルゴリズム. 2 回間違えても正解が得られる範囲は Figs. 8, 9 の矢印が重なった範囲 (入力 V_{in} が 10 ~ 21 のとき) である.

Fig. 10 Redundant search algorithm of a 5-bit SAR ADC with 7 steps. Two errors can be recovered when $10 < V_{in} < 21$.