

高性能逐次比較 A/D 変換器アーキテクチャ

早川 晃 趙 楠 堀田 正生 † 小林 春夫

群馬大学 工学部 電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1

Phone: 0277-30-1788 Fax: 0277-30-1707 e-mail:k_haruo@el.gunma-u.ac.jp

† 武蔵工業大学 工学部 電子通信工学科 〒 158-8557 東京都世田谷区玉堤 1-28-1

Phone/Fax: 03-5707-2131 e-mail: mhotta@sc.musashi-tech.ac.jp

High Performance Successive Approximation ADC Architecture

Akira HAYAKAWA Nan ZHAO Masao HOTTA † Haruo KOBAYASHI

Electronic Engineering Department, Faculty of Engineering, Gunma University

1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

† Department of Electronics & Communication Eng., Musashi Institute of Technology

1-28-1 Tamatsutsumi, Setagaya Tokyo 158-8557 Japan

Abstract - This paper presents high performance successive approximation (SAR) ADC architecture and digital error correction algorithm which use three comparison levels of an internal ADC (conventional one uses only one comparison level). Due to the redundancy of three comparison levels, the proposed SAR ADC can operate faster with high resolution and reliability, which would be suitable for automotive applications with combination of micro-controllers.

キーワード : 逐次比較型 AD 変換器、誤差補正、車載用エレクトロニクス、マイコン

Keywords: Successive Approximation ADC, Error Correction, Automotive Electronics, Micro-Controller

1. はじめに

近年車載用エレクトロニクス技術に大きな関心が集まっている [1, 2]。その中で車載用マイコンと組み合わせた AD 変換器では逐次比較方式が広く使われているが、その高信頼性化、高速、高精度、低消費電力、低コスト化の要求が年々厳しくなっている。

本研究では、車載用の高性能逐次比較 AD 変換器のアーキテクチャとアルゴリズムを検討する。従来方式に比べ、高分解能 (12~14 ビット)、高速 (20MS/s 程度)、低消費電力、低コスト (小チップ面積、デジタル CMOS プロセスで実現) を目指す。また車載用のため高信頼性化を考慮する。従来の逐次比較型 AD 変換器では 1 個の比較レベルをもつ内部 ADC (すなわちコンパレータ一つ) を利用しており、前段でエラーが起きてしまうと後段で補正ができなかった。この論文では 3 つの比較レベルをもつ内部 ADC を使用し冗長性をもたせデジタル誤差補正が可能となる構成を提案する。この冗長性により、AD 変換器の高信頼性化およびサンプリング・スピードの向上につながる。

2. 逐次比較型 AD 変換器

(2.1) 逐次比較型 ADC の特徴

逐次比較型構成は、高分解能 (10-12bit)、中速サンプリング (5MS/s 程度) AD 変換器を低消費電力・低コストで実現できるので、車載、工業用制御、ペンデジタイザ等広く用いられている [3, 4, 5, 6, 7]。さらなる高性能化、低コスト化、高信頼性化が実現できれば産業的な意義は大きい。

(2.2) 逐次比較型 ADC の構成

逐次比較型 AD 変換器はトラック・ホールド回路、(1 個の) コンパレータ、DA 変換器、論理回路とタイミング発生回路から構成される (図 1)。もっとも精度を要求されるのは、サンプルホールド回路に加えて、フィードバック経路にある DA 変換器である。またタイミング発生回路はリングカウンタを用いて構成することが多い。

(2.3) 逐次比較型 ADC の動作

逐次比較型 ADC は“天秤の原理”(バイナリ探索アルゴリズム)によって動作する (図 2)。

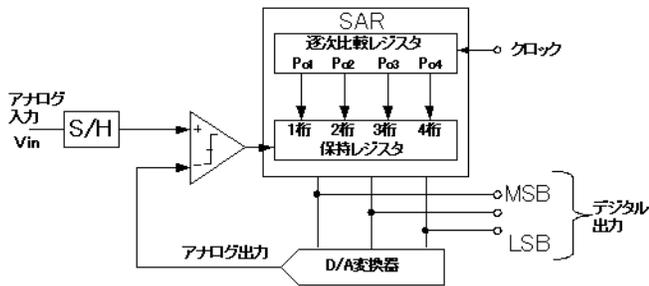


図1： 逐次比較型 AD 変換器の構成.

Fig.1: Block diagram of conventional SAR ADC.

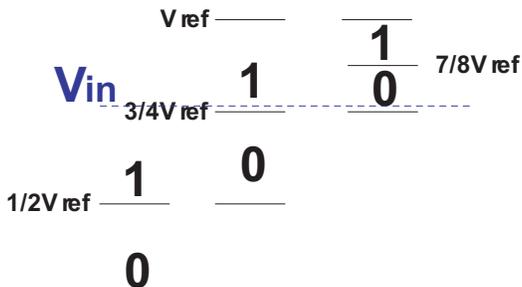
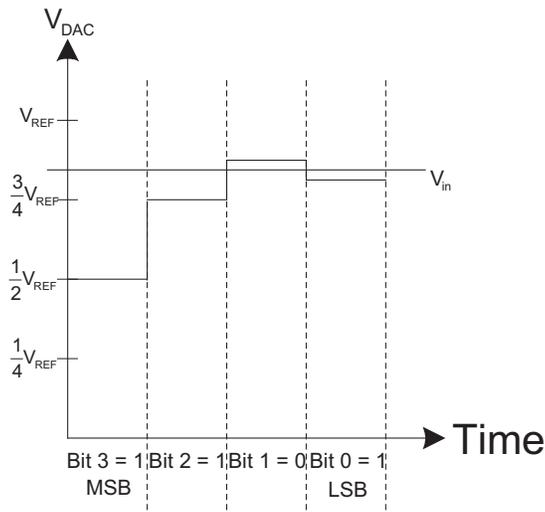


図2： 逐次比較型 AD 変換器の動作例. 下図での「0」「1」はコンパレータ出力を表す.

Fig.2: Operation of conventional SAR ADC.

- アナログ入力電圧 (V_{in}) をトラック・ホールド回路に保持する。 V_{in} のフルスケールを V_{ref} とする。
- コンパレータは、トラック・ホールド回路に保持された V_{in} と $V_{ref}/2$ を比較する。
 $V_{ref}/2$ は DA 変換器で生成される。

- $V_{in} > V_{ref}/2$ のとき:
コンパレータはロジック「1」を出力する。
 - 次に DA 変換器は $(3/4)V_{ref}$ を出力し、コンパレータは V_{in} と比較する。
 - $V_{in} > (3/4)V_{ref}$ なら次に $(7/8)V_{ref}$ と、 $V_{in} < (3/4)V_{ref}$ なら次に $(5/8)V_{ref}$ と比較する。
 - 以下この 2 進探索を進めていく。
- $V_{in} < V_{ref}/2$ のとき:
コンパレータはロジック「0」を出力する。
 - 次に DA 変換器は $(1/4)V_{ref}$ を出力し、コンパレータは V_{in} と比較する。
 - $V_{in} > (1/4)V_{ref}$ なら次に $(3/8)V_{ref}$ と、 $V_{in} < (1/4)V_{ref}$ なら次に $(1/8)V_{ref}$ と比較する。
 - 以下この 2 進探索を進めていく。

このステップを N 回行い N 回のコンパレータでの比較結果が N bit バイナリデジタル出力となる。図 2 に 4 ビット ($N=4$) の場合の動作の例を示す。

(2.4) 逐次比較型 ADC の実現上の考察

- ADC 全体で達成できる精度は (トラックホールド回路の他に)、コンパレータで V_{in} と比較するために使用する基準電圧の精度 (すなわちそれを発生する DA 変換器の精度) で決まる。ADC 全体として 14-16bit の精度を達成するためには、この DA 変換器をデジタル誤差補正する技術が必要である [11, 12]。
- DA 変換器を「抵抗+スイッチ+電流源」の構成で実現すると、DA 変換器出力が整定するまでの時間が最も長いのは $V_{ref}/2$ (すなわち最初の比較) のときである。この整時間で逐次比較近似型 ADC の最大クロック周波数が制限されてしまう。
- 一方、段数が進んでいくと、コンパレータで比較する V_{in} と DAC から出力される基準電圧の値が近づいていく (図 2)。コンパレータはこの差がゼロに近い値を論理レベルまで増幅する必要があり、これは高分解能を実現する際に考慮すべき問題である。すなわち逐次比較型 ADC はコンパ

レータで性能が制限された (Comparator-limited) ADC である [8]。

サイクリック ADC, パイプライン ADC は逐次比較型と類似の動作をするが、 V_{in} と DAC 出力の差をオペアンプを用いて (たとえば正確に 2 倍に) 増幅する必要があるため、これらはオペアンプで性能が制限された (OpAmp-limited) ADC である [8]。

3. 高性能逐次比較型 AD 変換器の提案

3つの比較レベルをもつ内部 ADC (2bit ADC) を用いた逐次比較型 ADC アーキテクチャを提案する。従来の逐次比較型 AD 変換器は1つの比較レベルの ADC (コンパレータ 1 個) を使用しているが、前段で比較を間違えてしまった場合後段で誤差補正ができない (図 2)。この問題を解決するための提案構成は3つの比較レベルをもつ ADC を使用して冗長性をもたせたことにより、次のメリットが生じる。

- 高信頼性： 前段でコンパレータが「0」「1」判定を間違えてしまっても後段でデジタル誤差補正が可能である。これは車載用等の高信頼性の用途に適している。
- 高速： 閾値電圧 (基準電圧) 発生用の DA 変換器の出力が完全に整定する前に次の動作を行わせることができるので、クロック周波数の高周波化が可能である。
- 高分解能： 信頼性を通常の逐次比較近似型 ADC 相当にとどめれば、分解能は N bit から 2N bit に向上する。

提案構成では冗長性により向上する信頼性、スピード、分解能の向上はトレードオフの関係にあるが、いずれにせよ従来の1個のコンパレータを用いる方式よりトータル性能として向上する。

4. 提案構成による高信頼性化アルゴリズム

提案構成では3つの比較レベルをもつ内部 ADC (2bit ADC) を用いるが、これを高信頼性化のために使用することを考える (図 3)。1段目で2ビット、2段目以降で1ビット毎段で N 段で (N+1) ビットの分解能を得る方式を考える。1個のコンパレータを使用する従来構成と同じく (初段を除けば) 各段で 1bit の

分解能を得て N-bit を得るためには (N-1) サイクル必要で、3つの比較レベルを使用する分は“冗長性”として“信頼性”の向上のために使用する。

以下、SAR ADC のアナログ入力電圧範囲を 0 から V_{ref} 、n 段目での 2bit ADC の出力を $D_{out}(n)$ とする。

4.1 デジタル誤差補正アルゴリズムの説明

(1) $V_{in} = (6.1/8)V_{ref}$ のとき

初段、2 段目とも正しく動作した場合：

初段： 3つの比較レベルをそれぞれ

$$(6/8)V_{ref}, \quad (4/8)V_{ref}, \quad (2/8)V_{ref}$$

に設定する (図 3)。内部 2bit ADC が正しく動作すると

$$D_{out}(1) = 11$$

が内部 2bit ADC 出力となる。

2 段目： 3つの比較レベルをそれぞれ

$$(8/8)V_{ref}, \quad (7/8)V_{ref}, \quad (6/8)V_{ref}$$

に設定する。内部 2bit ADC が正しく動作すると

$$D_{out}(2) = 01$$

が内部 2bit ADC 出力となる。

初段、2 段目を合わせデジタル出力：初段で内部 2bit ADC 出力が 11, 2 段目で 01 の結果が得られ、全体の SAR ADC として 3bit の 110 の値が得られる。

(2) $V_{in} = (6.1/8)V_{ref}$ のとき内部 2bit ADC が初段目で誤動作、2 段目が正しく動作した場合：

初段： 3つの比較レベルをそれぞれ

$$(6/8)V_{ref}, \quad (4/8)V_{ref}, \quad (2/8)V_{ref}$$

に設定する (図 3)。内部 2bit ADC が誤動作し

$$D_{out}(1) = 10$$

を出力した場合を考える。

2 段目： 3つの比較レベルをそれぞれ

$$(6/8)V_{ref}, \quad (5/8)V_{ref}, \quad (4/8)V_{ref}$$

に設定する。内部 2bit ADC が正しく動作すると

$$D_{out}(2) = 11$$

が出力される。

初段、2 段目を合わせデジタル出力：初段で内部 2bit ADC 出力が 10 2 段目で 11 の結果が得られ、全体の SAR として 3bit の 110 の値が得られる。

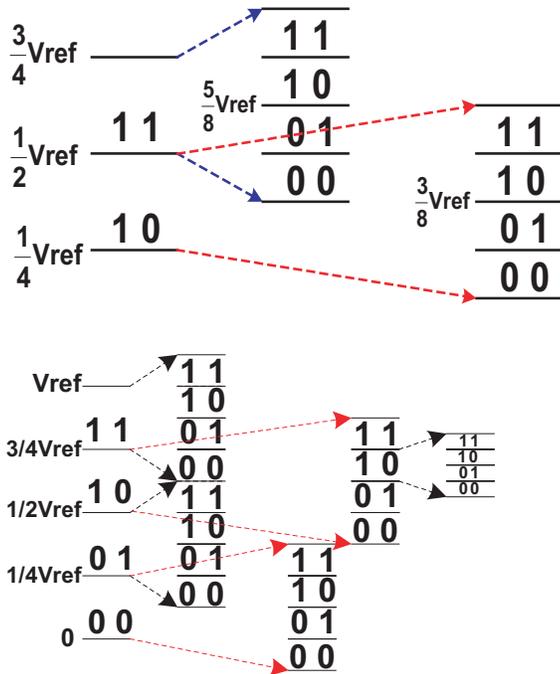


図3： 提案する信頼性を向上させる構成での3つの比較レベルを用いた SAR ADC の動作とアルゴリズム。(上は拡大、下は全体動作図)

Fig.3: Operation and algorithm of the proposed SAR ADC for reliability improvement.

4.2 提案逐次比較近似 ADC の3つの比較レベル電圧

一般に n 段目の3つの比較レベル電圧を $V_h(n)$, $V_m(n)$, $V_l(n)$ ($n = 1, 2, 3, \dots$) とすると以下のように記述できる。

- $V_h(1) = (3/4)V_{ref}$, $V_m(1) = (1/2)V_{ref}$,
 $V_l(1) = (1/4)V_{ref}$, $V_r(1) = (1/4)V_{ref}$.
- $V_r(n+1) = V_r(n)/2$.
- $D_{out}(n) = \text{「11」}$ のとき：
 $V_m(n+1) = V_h(n) + V_r(n+1)$.
- $D_{out}(n) = \text{「10」}$ のとき：
 $V_m(n+1) = V_m(n) + V_r(n+1)$.
- $D_{out}(n) = \text{「01」}$ のとき：
 $V_m(n+1) = V_m(n) - V_r(n+1)$.
- $D_{out}(n) = \text{「00」}$ のとき：
 $V_m(n+1) = V_l(n) - V_r(n+1)$.
- $V_h(n+1) = V_m(n+1) + V_r(n+1)$,
 $V_l(n+1) = V_m(n+1) - V_r(n+1)$.

4.3 提案デジタル誤差補正アルゴリズムの厳密な記述

4段の構成を考える (N 段への一般化は容易である), ADC 全体の出力は5ビットとなり

$$b_5 b_4 b_3 b_2 b_1$$

と表記する。 b_5 が MSB で, b_1 が LSB である。

仮定

- 1, 2, 3 段目の 2bit ADC の出力 $D_{out}(n)$, ($n = 1, 2, 3$) はそれぞれ正解、正解+1、正解-1 のいずれかである。
- 4 段目での 2bit ADC の出力 $D_{out}(4)$ は正解である。

このとき, $D_{out}(1), D_{out}(2), D_{out}(3), D_{out}(4)$ から「 $b_5 b_4 b_3 b_2 b_1$ 」を次のようにして得られる。

4 段目：

- $D_{out}(4) = \text{「11」}$ のとき： $c_1 = 1, b_1 = 0$.
- $D_{out}(4) = \text{「10」}$ のとき： $c_1 = 0, b_1 = 1$.
- $D_{out}(4) = \text{「01」}$ のとき： $c_1 = 0, b_1 = 0$.
- $D_{out}(4) = \text{「00」}$ のとき： $c_1 = -1, b_1 = 1$.

3 段目：

- $D_{out}(3) = \text{「11」}$ のとき：
 $c_1 = 1$ ならば $c_2 = 1, b_2 = 1$.
 $c_1 = 0$ ならば $c_2 = 1, b_2 = 0$.
 $c_1 = -1$ ならば $c_2 = 0, b_2 = 1$.
- $D_{out}(3) = \text{「10」}$ のとき： $c_1 = 1$ ならば $c_2 = 1$,
 $b_2 = 0$.
 $c_1 = 0$ ならば $c_2 = 0, b_2 = 1$.
 $c_1 = -1$ ならば $c_2 = 0, b_2 = 0$.
- $D_{out}(3) = \text{「01」}$ のとき： $c_1 = 1$ ならば $c_2 = 0$,
 $b_2 = 1$.
 $c_1 = 0$ ならば $c_2 = 0, b_2 = 0$.
 $c_1 = -1$ ならば $c_2 = -1, b_2 = 1$.
- $D_{out}(3) = \text{「00」}$ のとき：
 $c_1 = 1$ ならば $c_2 = 0, b_2 = 0$.
 $c_1 = 0$ ならば $c_2 = -1, b_2 = 1$.
 $c_1 = -1$ ならば $c_2 = -1, b_2 = 0$.

2 段目 :

- $D_{out}(2) = \text{「11」}$ のとき :
 $c_2 = 1$ ならば $c_3 = 1, b_3 = 1$.
 $c_2 = 0$ ならば $c_3 = 1, b_3 = 0$.
 $c_2 = -1$ ならば $c_3 = 0, b_3 = 1$.
- $D_{out}(2) = \text{「10」}$ のとき : $c_2 = 1$ ならば $c_3 = 1, b_3 = 0$.
 $c_2 = 0$ ならば $c_3 = 0, b_3 = 1$.
 $c_2 = -1$ ならば $c_3 = 0, b_3 = 0$.
- $D_{out}(2) = \text{「01」}$ のとき : $c_2 = 1$ ならば $c_3 = 0, b_3 = 1$.
 $c_2 = 0$ ならば $c_3 = 0, b_3 = 0$.
 $c_2 = -1$ ならば $c_3 = -1, b_3 = 1$.
- $D_{out}(2) = \text{「00」}$ のとき :
 $c_2 = 1$ ならば $c_3 = 0, b_3 = 0$.
 $c_2 = 0$ ならば $c_3 = -1, b_3 = 1$.
 $c_2 = -1$ ならば $c_3 = -1, b_3 = 0$.

1 段目 :

- $D_{out}(1) = \text{「11」}$ のとき :
 $c_3 = 1$ ならば $b_5 = 1, b_4 = 1$ (overflow).
 $c_3 = 0$ ならば $b_5 = 1, b_4 = 1$.
 $c_3 = -1$ ならば $b_5 = 1, b_4 = 0$.
- $D_{out}(1) = \text{「10」}$ のとき :
 $c_3 = 1$ ならば $b_5 = 1, b_4 = 1$.
 $c_3 = 0$ ならば $b_5 = 1, b_4 = 0$.
 $c_3 = -1$ ならば $b_5 = 0, b_4 = 1$.
- $D_{out}(1) = \text{「01」}$ のとき :
 $c_3 = 1$ ならば $b_5 = 1, b_4 = 1$.
 $c_3 = 0$ ならば $b_5 = 0, b_4 = 1$.
 $c_3 = -1$ ならば $b_5 = 0, b_4 = 0$.
- $D_{out}(1) = \text{「00」}$ のとき :
 $c_3 = 1$ ならば $b_5 = 0, b_4 = 1$.
 $c_3 = 0$ ならば $b_5 = 0, b_4 = 0$.
 $c_3 = -1$ ならば $b_5 = 0, b_4 = 0$ (underflow).

4.4 デジタル誤差補正が可能な条件と限界

実際の 2bit ADC 出力を $D_{out}(n)$ 、正解の出力を $D_{out}(n)'$ とすると提案する誤差補正アルゴリズムでは、

- $D_{out}(4) = D_{out}(4)'$ かつ
- $|D_{out}(n) - D_{out}(n)'| < 2, (n = 1, 2, 3)$

の場合のみ正解の「 $b_5b_4b_3b_2b_1$ 」を得ることができる。これを満たせば例えば $D_{out}(1) - D_{out}(1)' = 1, D_{out}(2) - D_{out}(2)' = -1$ かつ $D_{out}(3) - D_{out}(3)' = 1$ というように複数段で誤差があっても補正可能である。

例 1 : アナログ入力 $V_{in} = (129/256)V_{ref}$ のとき $b_5b_4b_3b_2b_1 = 10000$ であり、このときの「 $D_{out}(1)$ 」「 $D_{out}(2)$ 」「 $D_{out}(3)$ 」「 $D_{out}(4)$ 」は下記の場合ならこの正解が得られる。

- ・ 「10」「01」「01」「01」
- ・ 「10」「01」「00」「11」
- ・ 「10」「00」「11」「01」
- ・ 「10」「00」「10」「11」
- ・ 「01」「11」「01」「01」
- ・ 「01」「11」「00」「11」
- ・ 「01」「10」「11」「01」 他。

例 2 : アナログ入力 $V_{in} = (161/256)V_{ref}$ のとき $b_5b_4b_3b_2b_1 = 10100$ であり、このときの

「 $D_{out}(1)$ 」「 $D_{out}(2)$ 」「 $D_{out}(3)$ 」「 $D_{out}(4)$ 」は下記の場合ならこの正解が得られる。

- ・ 「10」「10」「01」「01」
- ・ 「11」「00」「00」「11」
- ・ 「11」「00」「01」「01」
- ・ 「01」「11」「10」「11」
- ・ 「10」「01」「11」「01」
- ・ 「10」「01」「10」「11」
- ・ 「10」「10」「00」「11」 他。

5. 提案構成による高分解能化アルゴリズム

冗長性をなくして内部 2bit ADC で各段で 2bit の情報を得るという方式にすれば、同じサイクル数で分解能は N bit から $2N$ bit に向上する (図 4)。(別な表現をすれば、与えられた分解能を達成するために必要なサイクル数は半分でよい。)

たとえば、入力 $V_{in} = (9.5/16)V_{ref}$ の場合を考える。初段: 3つの比較レベルをそれぞれそれぞれ

$$(12/16)V_{ref}, (8/16)V_{ref}, (4/16)V_{ref}$$

に設定する (図 4)。このとき内部 2bit ADC が正しく動作すると $D_{out}(1) = 10$ が出力される。

2 段目：次に3つの比較レベルをそれぞれそれぞれ $(11/16)V_{ref}$, $(10/16)V_{ref}$, $(9/16)V_{ref}$ に設定する。このとき内部 2bit ADC が正しく動作すると $D_{out}(2) = 01$ が出力される。

最終デジタル出力：初段で内部 2bit ADC 出力 10, 2 段目で 01 の結果が得られ、全体の SAR ADC として 4bit の 1001 の値が得られる。

上記は全く冗長性がない場合であるが、少し冗長性をもたせて各段で a bit ($1 < a < 2$) を持たせる構成も考えられる [9]。すなわち、提案する3個のコンパレータを用いる構成では、信頼性(冗長性)と分解能はトレードオフの関係にある。

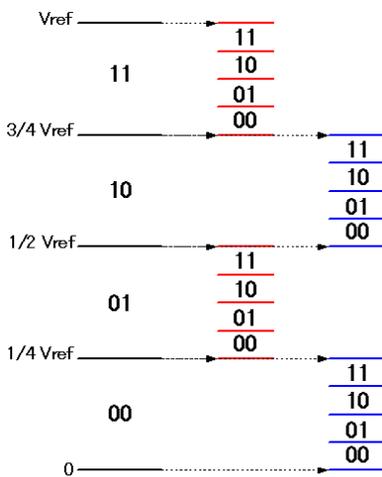


図4：1段毎に2bitを得るSAR AD変換方式。

Fig.4: 2bit-per-stage operation of the proposed SAR ADC with 3 comparison levels.

6. 提案構成による高速化の考察

4 節(図3)の提案構成では3つの比較レベルを持ち冗長性を利用して、前段での内部 2bit ADC の判定誤りを後段の結果からデジタル誤差補正を行う。このため内部 2bit ADC の各段での比較レベル電圧を発生する DA 変換器の出力が完全に整定する前に(すなわち比較レベル電圧に誤差を含んでいても)内部 2bit ADC を動作させ、後段の出力データからデジタル誤差補正することで最終的に正しいデジタル出力データを得ることができる。すなわち1段当たりの所要時間を短くでき、トータルとして変換速度の高速化が可能になる。

5 節(図4)の提案構成では、従来 SAR ADC に比べて、与えられた分解能を達成するために必要なサイ

クル数は半分でよいので高速化が可能になる。

7. まとめ

車載用応用のための高性能逐次比較型 AD 変換器アーキテクチャを提案・検討した。提案構成は3個の比較レベルを用いるので、その冗長性を利用し従来構成に比べて高信頼性、高速、高分解能なものを実現できる。冗長性を利用したデジタル誤差補正アルゴリズムを導出・明確化した。

今後、提案構成・アルゴリズムの回路量・消費電力の観点から効率的に実現していく。

参考文献

- [1] H. Casier, P. Moern, K. Appeltans, "Technology Consideration for Automotive," *Proc. of ESS-CIRC*, pp.37-41, Leuven, Belgium (Sept. 2004).
- [2] *ISSCC Short Course, Automotive Technology and Circuits*, San Francisco (Feb. 2005).
- [3] M. Banihashemi, Kh. Hadidi, A. Khoei, "A Low-Power, Small-Size 10-Bit Successive-Approximation ADC," *IEICE Fundamentals*, vol.E88-A, no.4, pp.996-1006 (April 2005).
- [4] T. Komuro, N. Hayasaka, H. Kobayashi, H. Sakayori, "A Practical Analog BIST Cooperated with an LSI Tester", *IEICE Trans. Fundamentals*, E89-A, no.2, pp.465-468 (Feb. 2006).
- [5] B. Razavi, *Principles of Data Conversion System Design*, IEEE Press (1995).
- [6] 相良岩男, AD/DA 変換回路入門, 日刊工業新聞社 (1998).
- [7] N. Verma, A. Chandrakasan, "A 25 μ W 100kS/s 12b ADC for Wireless Micro-Sensor Applications," *Tech. Digest of ISSCC*, pp.222-223, San Francisco (Feb. 2006).
- [8] H.-S. Lee, "Fundamental Limits and Practical Issues of Analog-to-Digital Converters," *ISSCC Short Course, Analog-to-Digital Converters*, San Francisco (Feb. 2006).
- [9] U.-K. Moon, "Sub-1-Volt Analog-to-Digital Converters," *ISSCC Short Course, Analog-to-Digital Converters*, San Francisco (Feb. 2006).
- [10] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2nd Edition, Kluwer Academic Publishers (2003).
- [11] 塚田敏郎 他, "自己校正形高精度 MOS・A/D 変換器", 電子通信学会論文誌 (C), vol. J66-C, no. 11, pp. 797-804 (1983 年 11 月) .
- [12] T. Tsukada, K. Takagi, Y. Kita, M. Nagata, "An Automatic Calibration Technique for High Accuracy Convertors," *IEEE J. of Solid-State Circuits*, vol.19, no.2, pp.266-268 (April 1984).