

# タイムデジタイザを用いた 非同期サンプリングAD変換器の 高性能化の検討

シリコンアナログRF研究会 2006.11.30

福岡システムLSI総合開発センター

群馬大学 大学院 工学研究科 電気電子工学専攻

○清水 一也 小室 貴紀 元澤 篤史

林 海軍 小林 春夫

# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

# 研究背景

集積技術の向上、プロセスの微細化



## ■ デジタル回路

- ・チップ面積縮小
- ・高速化
- ・低消費電力

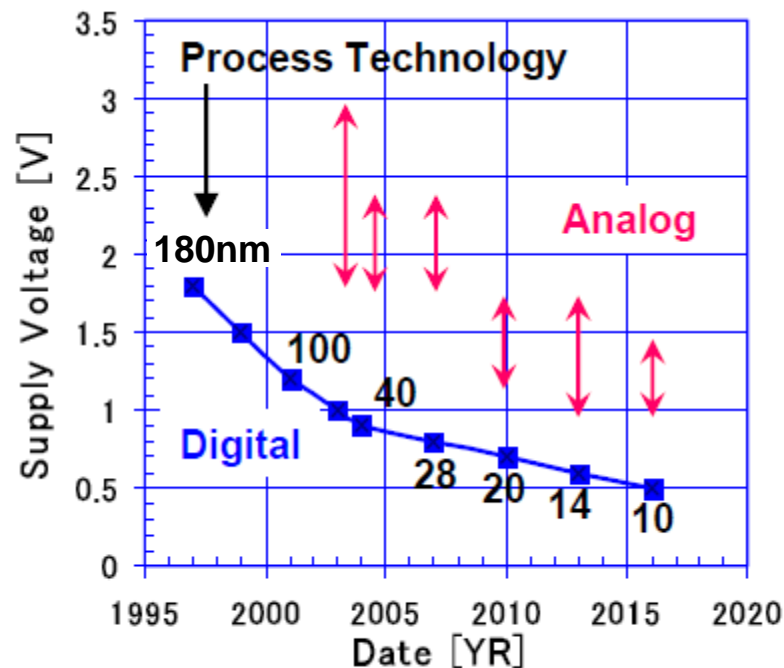
## ■ アナログ回路

- ・雑音増加
- ・耐圧低下

⇒ 高精度アナログ回路の実現困難

## ■ アナログ回路の技術的課題

- ・素子ばらつきが増大
- ・低電圧化におけるSNR劣化  
etc...

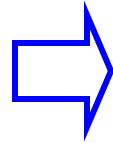
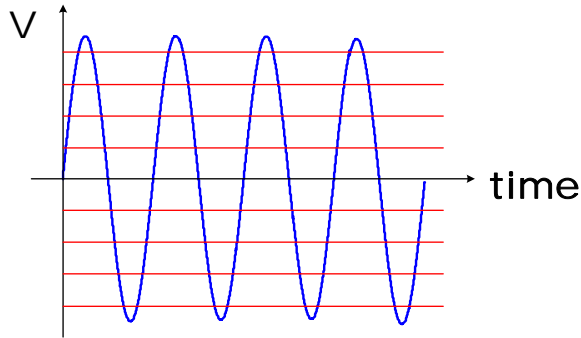


※ITRS-2003 (国際半導体技術ロードマップ) 参照

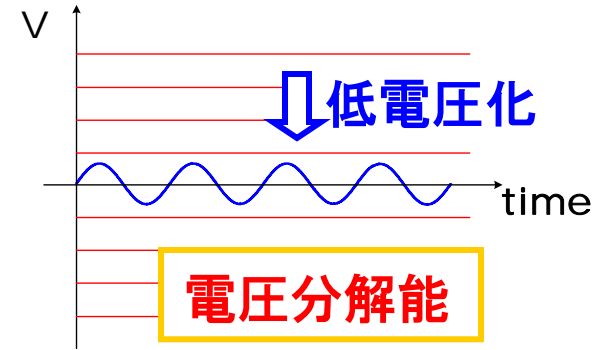
低電圧動作, 高精度アナログ回路実現  
への高い要求 !!

参考文献: <http://www.dsl.hiroshima-u.ac.jp/ICD-masui.pdf>

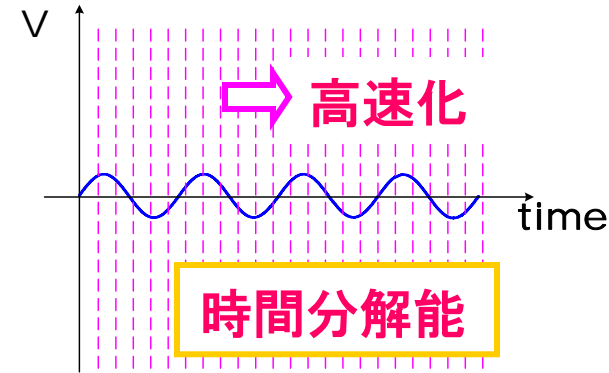
# 研究背景



低電圧化  
⇒ 振幅: 小



■ CMOSの微細化、電源電圧の低下  
 { Vdd → 小 (1V以下)  
 スイッチング時間 → 高速



参考文献: 日経エレクトロニクス 2006.11

■ 微細CMOS高性能化のためには

アナログ信号: 電圧分解能 → デジタル信号端遷移: 時間分解能

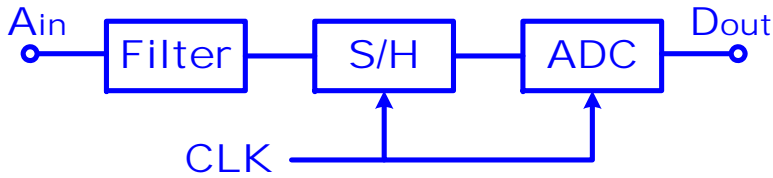
時間分解能を利用したADCの提案  
 ⇒ デジタルリッチ、アナログ最小

# 発表内容

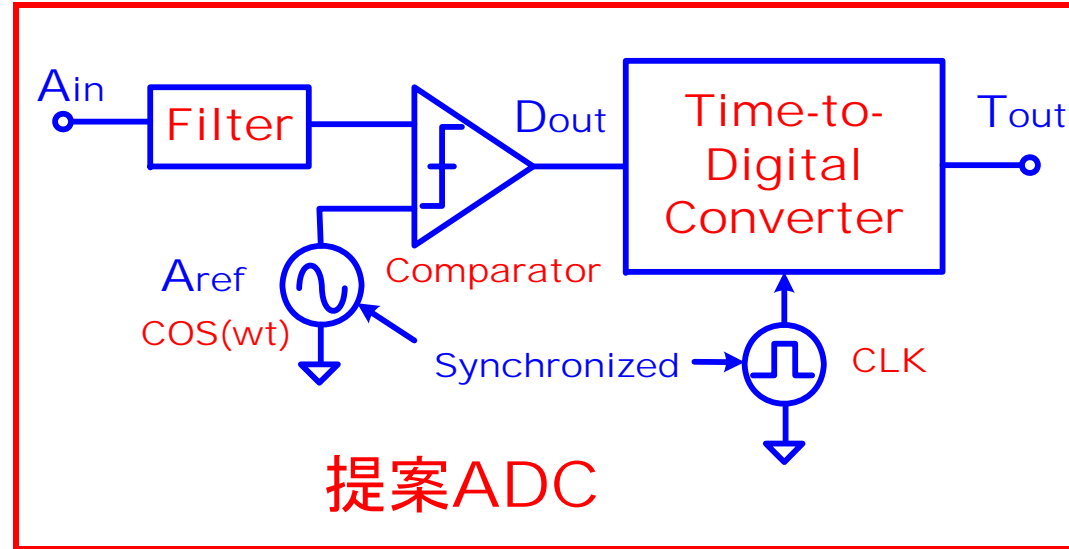
- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

# AD変換器

クロック同期



従来式ADC



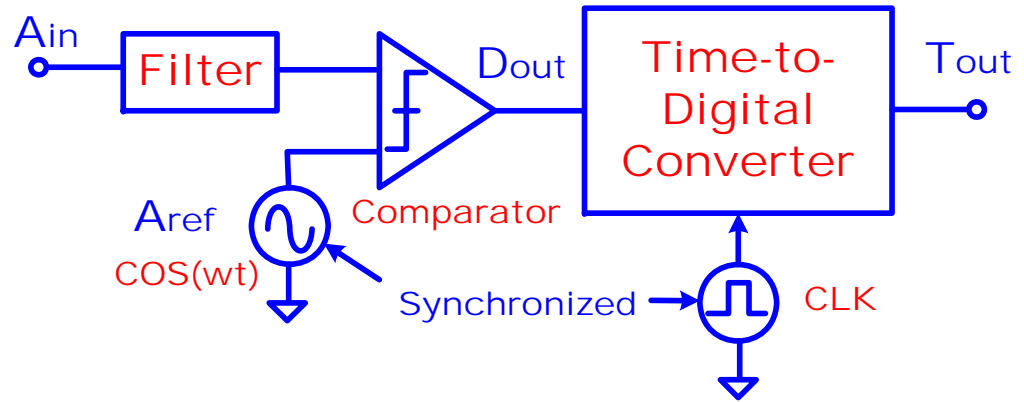
提案ADC

## 〈特徴〉

- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題 → デジタルの問題

# 提案AD変換器



CMOS微細化

■ アーキテクチャ・回路変更が最小  
(∵アナログ最小、低電圧動作可能)

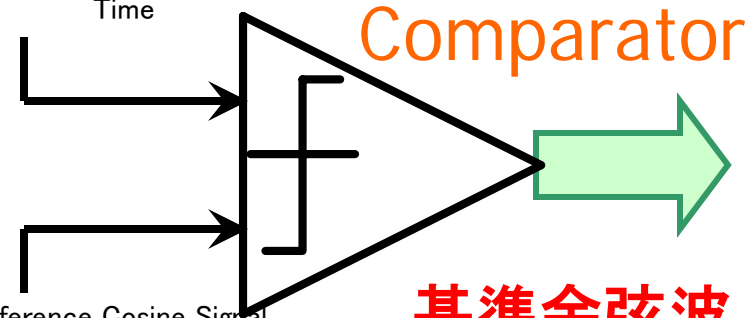
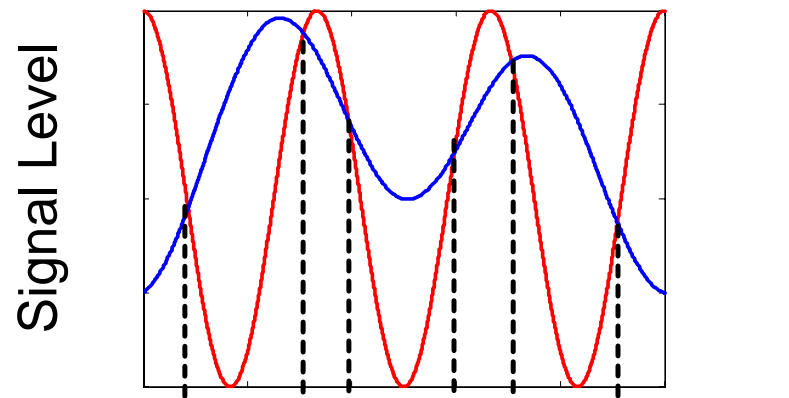
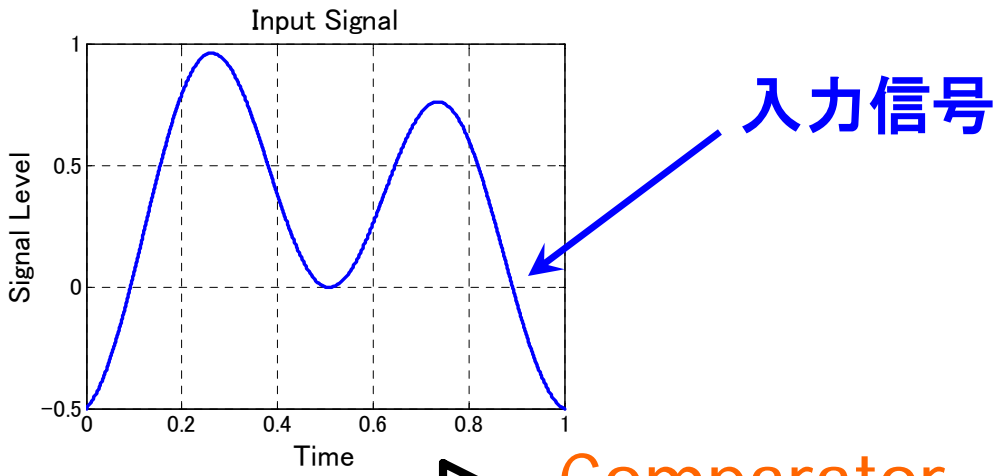
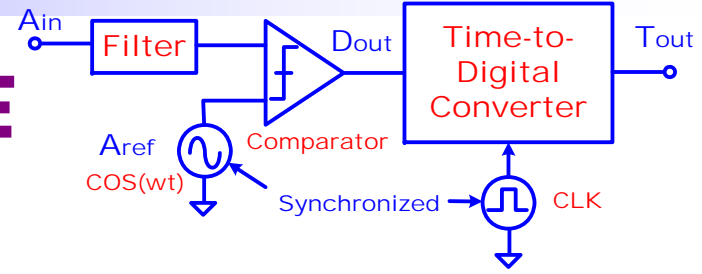
■ 高性能化  
(∵トランジスタのスイッチング高速)

※ 従来ADC：設計変更が必要 (∵Vddの低下)

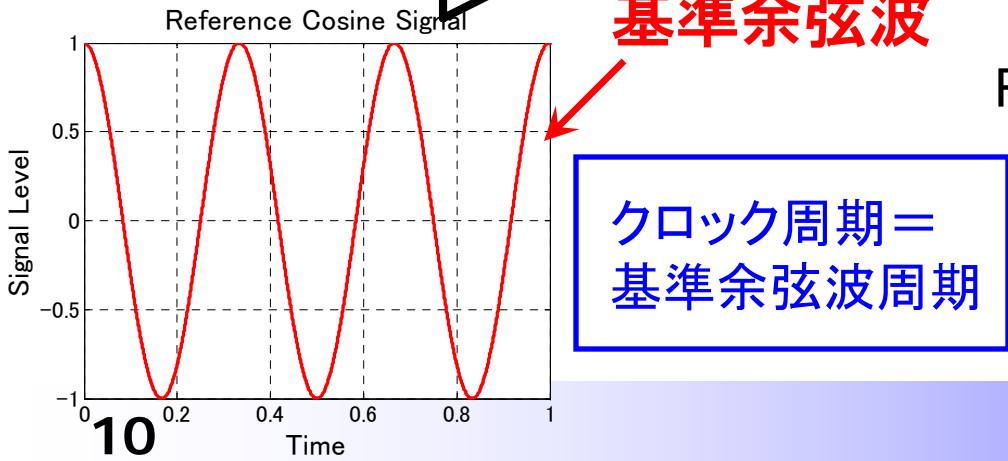
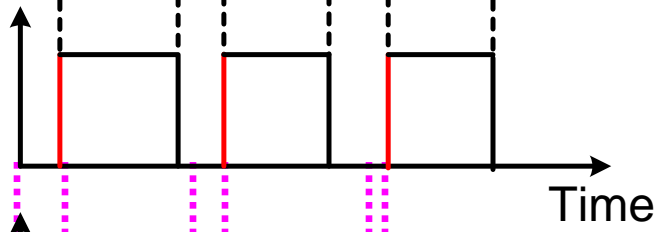


# 提案AD変換器の動作

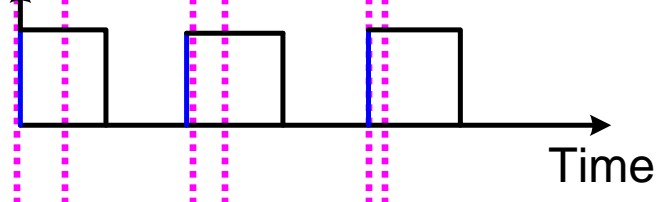
# 提案AD変換器の動作



Comparator Output



Reference Clock

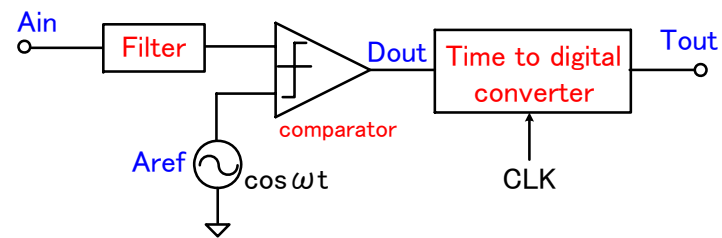
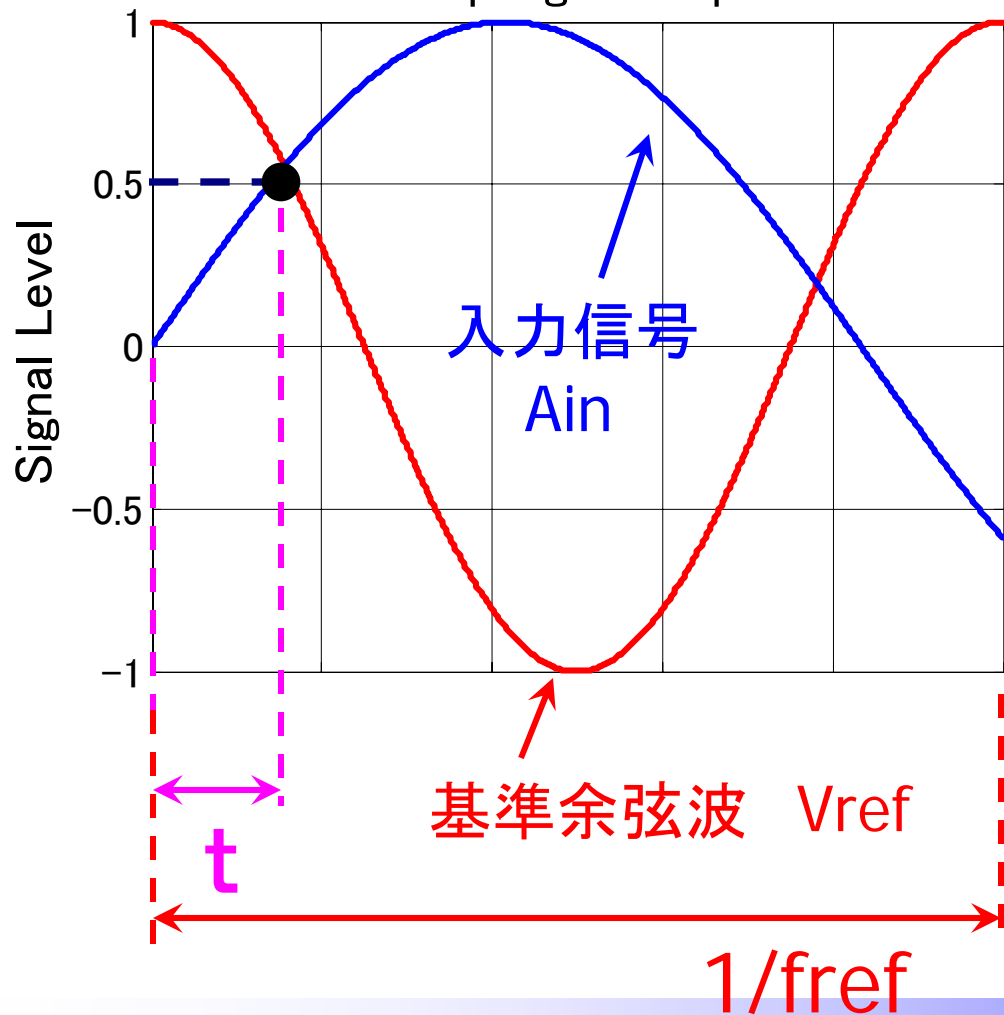


クロック周期 = 基準余弦波周期

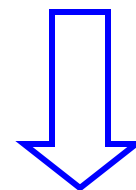
Tout1 Tout2 Tout3

# 提案AD変換器の動作

Sampling Principle



時間tを測定



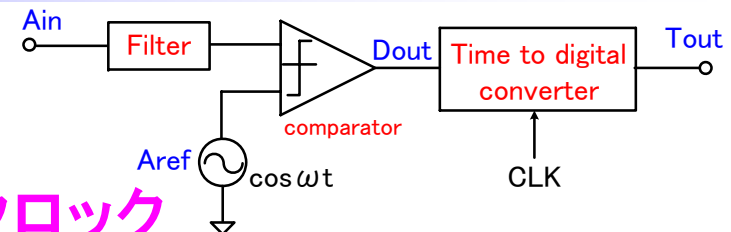
入力信号の振幅

基準余弦波:  $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

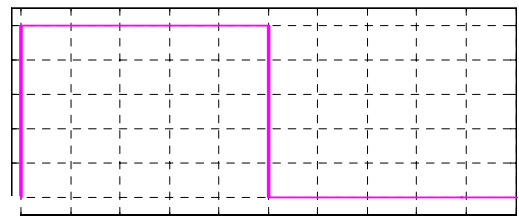
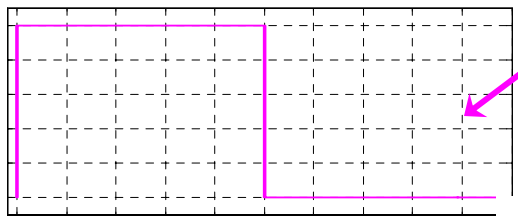
$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$

# 提案AD変換器の動作

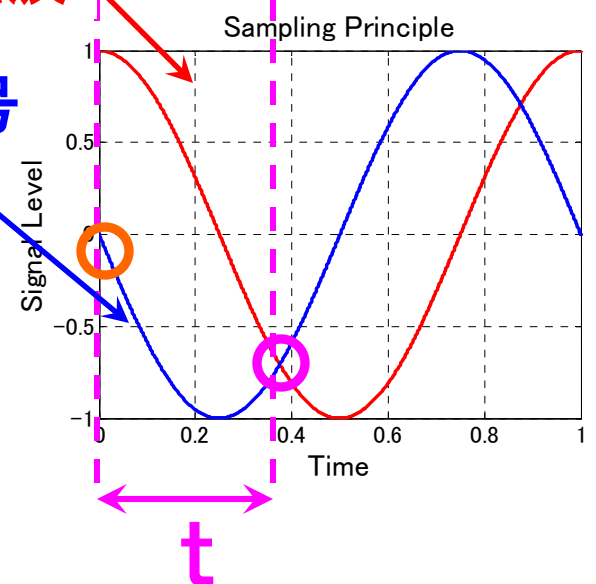
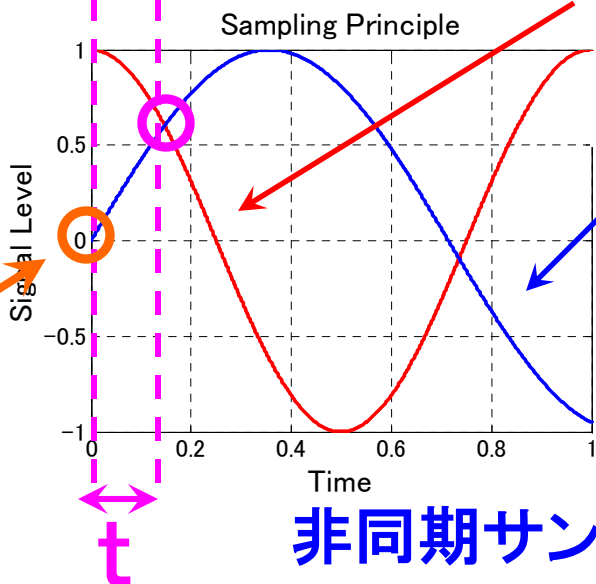


従来型ADC



基準クロック

基準余弦波



入力信号

同期  
サンプリング

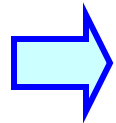
非同期サンプリング

■ サンプリング ⇒ 入力信号依存性

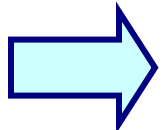
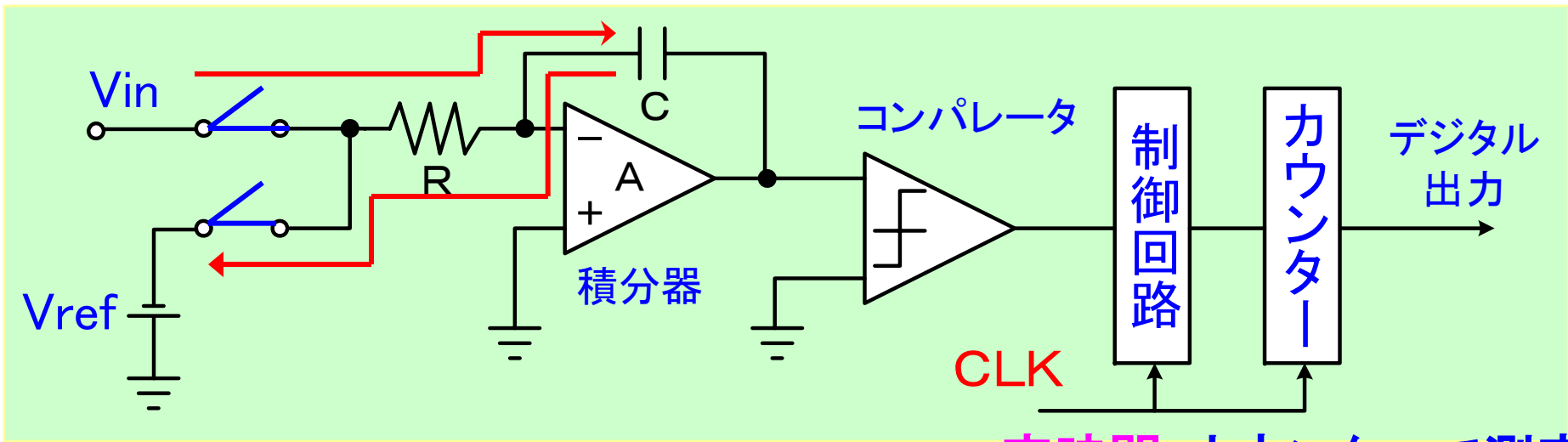
# 提案AD変換器の構成

# 積分型AD変換器との比較

積分型AD変換器



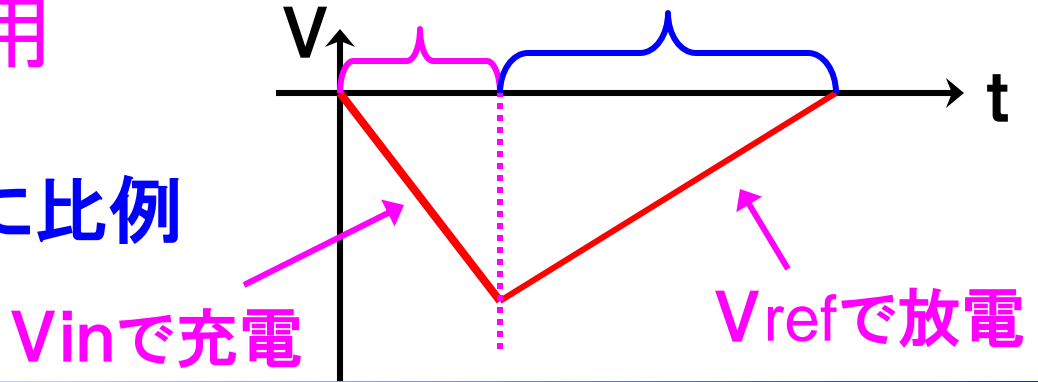
高精度、低速



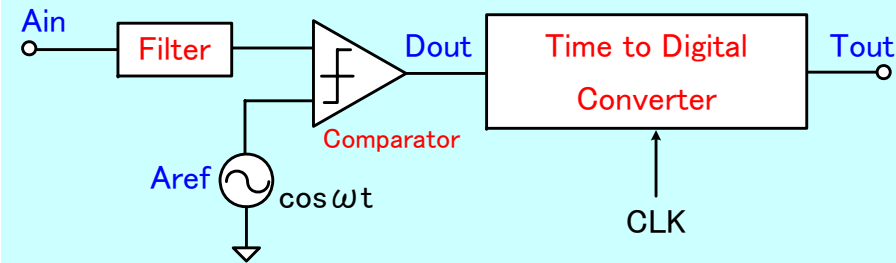
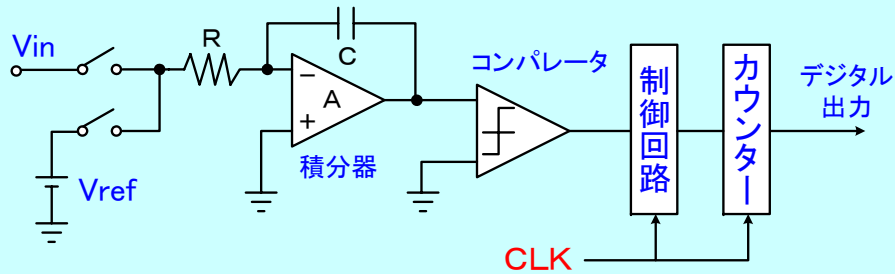
時間分解能を使用

■ 放電時間：入力電圧に比例

一定時間 カウンターで測定

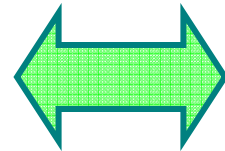


# 積分型AD変換器との比較



## 積分型ADC

- ・S/H回路(同期)
- ・カウンタ
- ・ランプ波
- ・低速



## 提案ADC

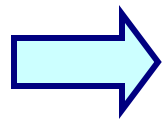
- ・S/H回路不要(非同期)
- ・タイムデジタイザ回路
- ・余弦波
- ・高時間分解能

# 基準余弦波信号の使用

## ■ 高周波化が容易

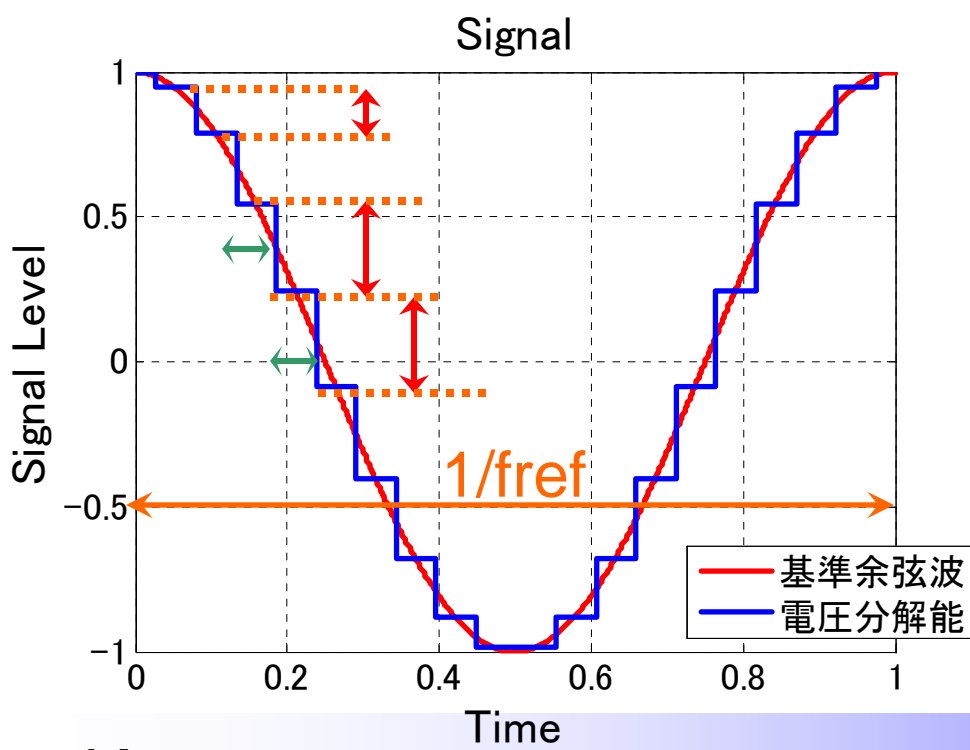
TDC

時間分解能  
一定



電圧分解能

ゼロクロス付近：粗  
両端点：細



分解能：レベル依存性



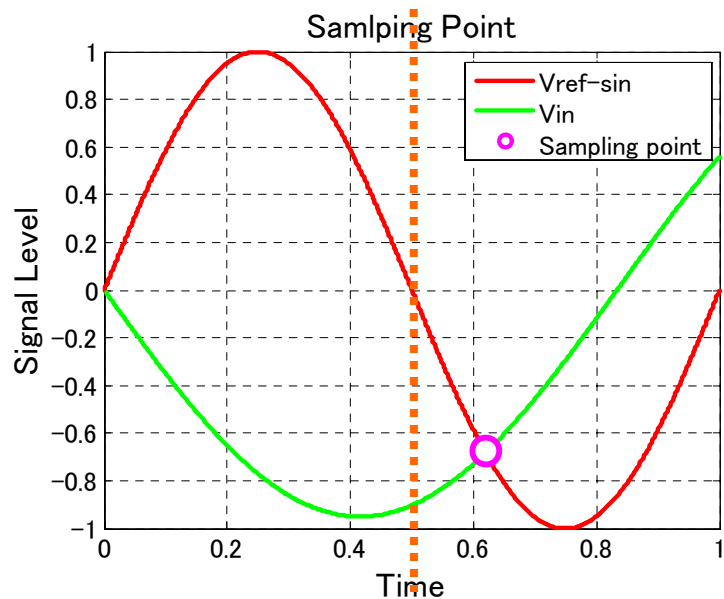
量子化ノイズ→レベル依存性

考慮して信号処理



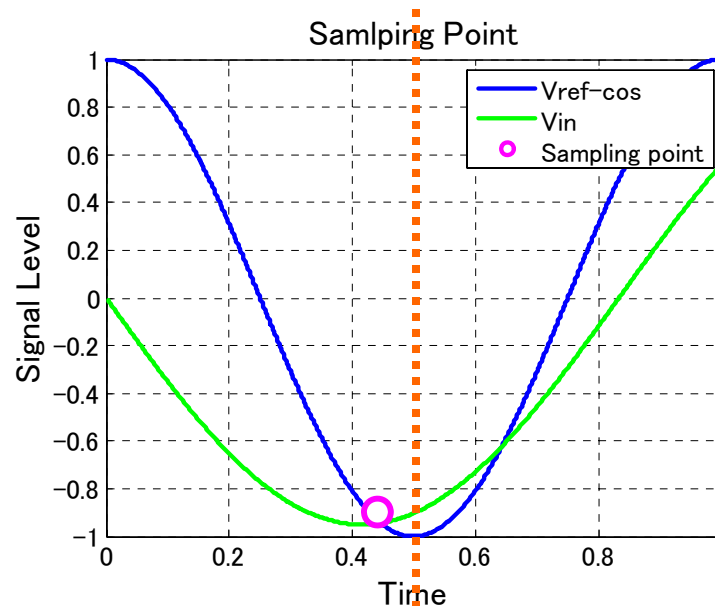
# 基準信号

## ■ 基準正弦波

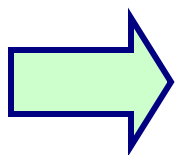


半周期

## ■ 基準余弦波

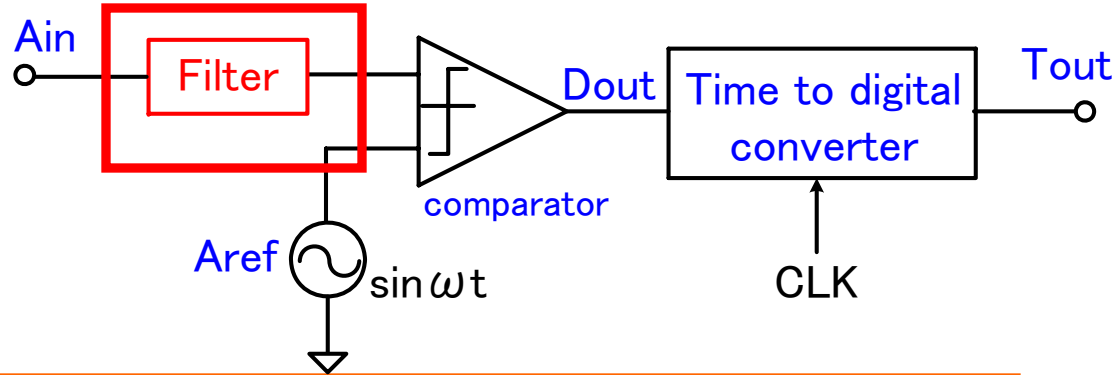


半周期

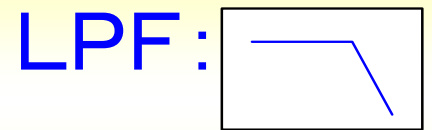


余弦波:半周期でクロス

# 提案AD変換器の構成

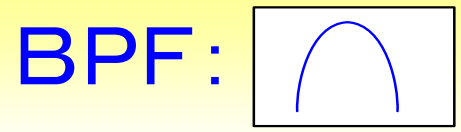


## ■ アナログフィルタ



⇒ アンチエイリアシング ( $f_s/2$ 以下)

・リアルタイムサンプリング、オーバーサンプリング

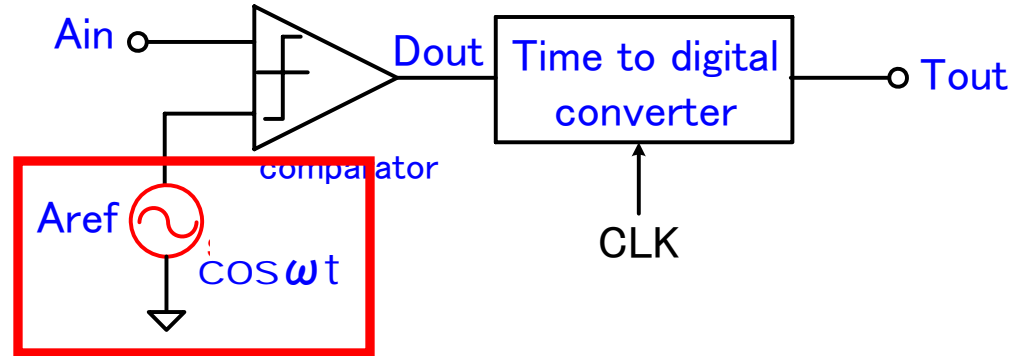


⇒ 周波数の帯域が既知

・アンダーサンプリング

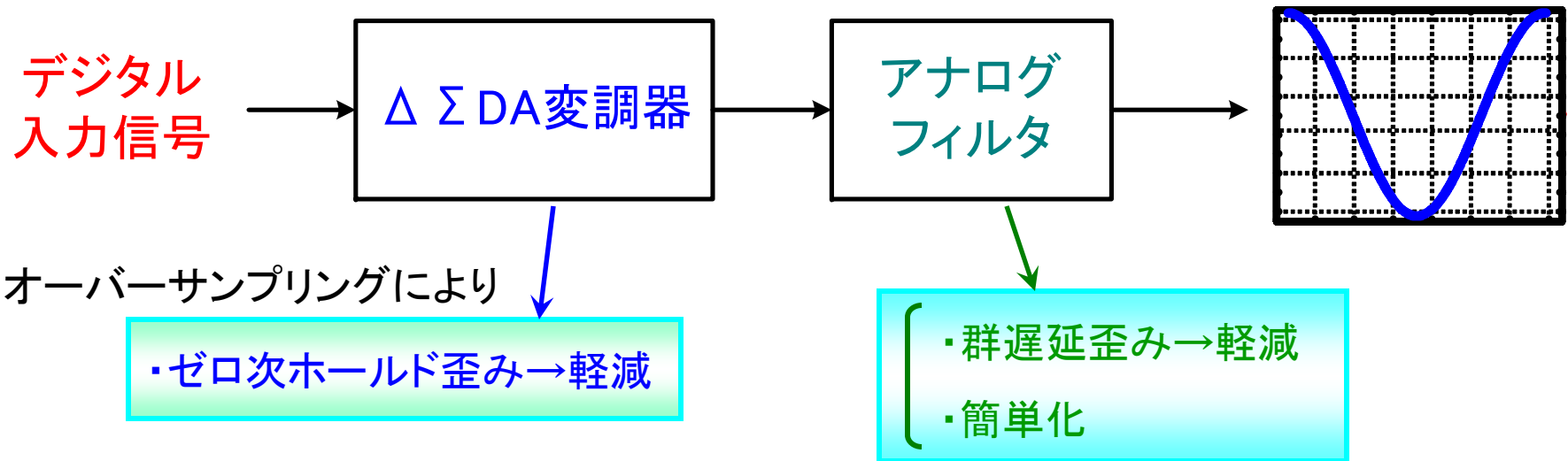
⇒ 入力波形を再構成

# 提案AD変換器の構成



## ■ 基準余弦波発生回路

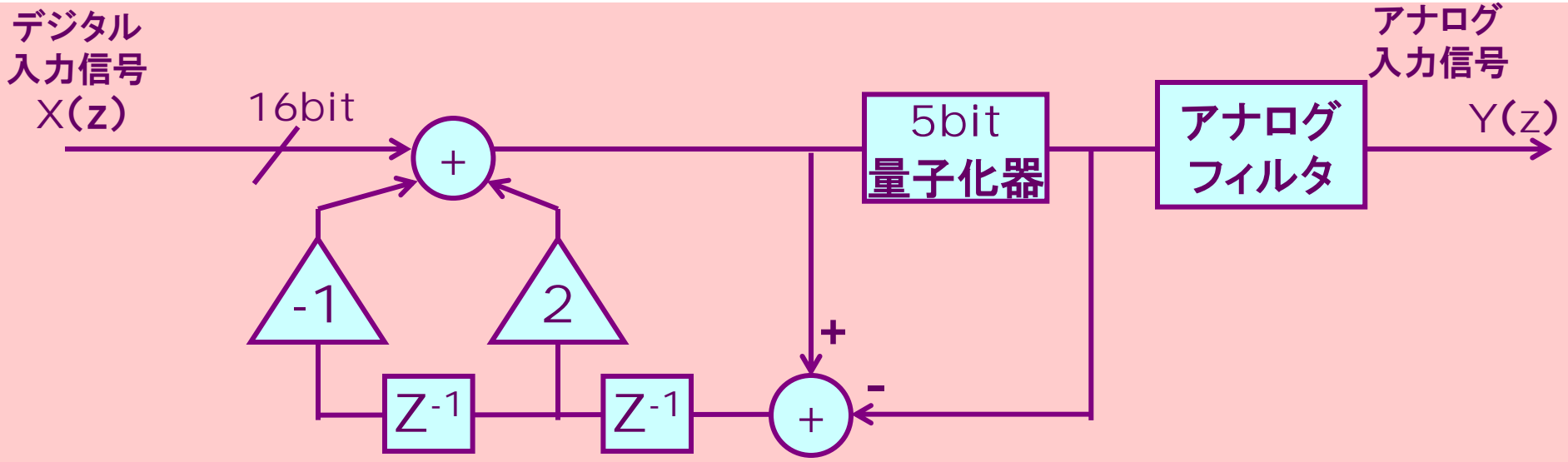
- ・  $\Delta \Sigma$  DA変調器と簡単なアナログフィルタで実現



# 基準余弦波発生回路

## ■ エラーフィードバック $\Delta \Sigma$ DA変調器

(LPタイプ)



$$Y(z) = 1 \cdot X(z) + [1 - Z^{-2}]^2 \cdot e(z)$$

Noise Shape

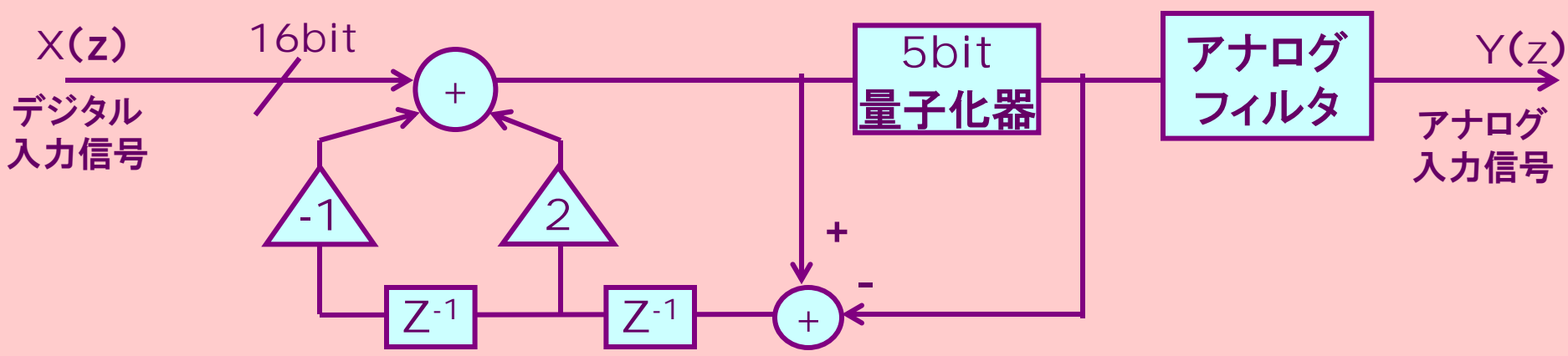
高分解能(SNR)を実現

Signal Transfer Function

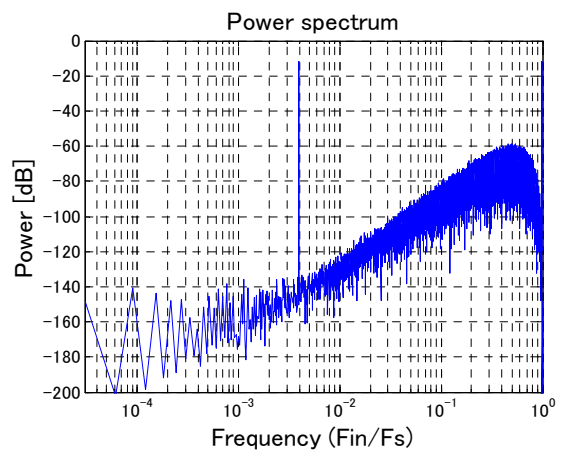
Noise Transfer Function

# 基準余弦波発生回路

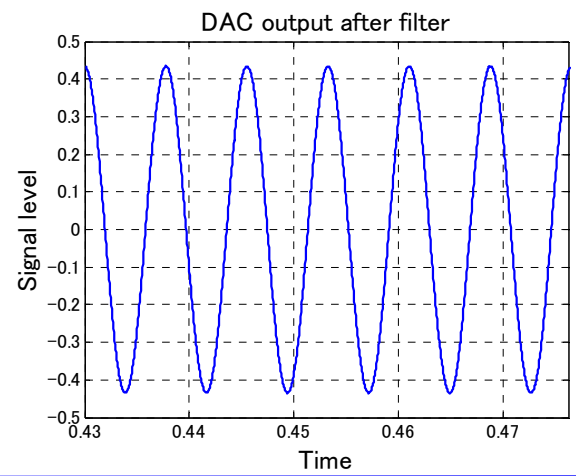
## ■ エラーフィードバック $\Delta \Sigma$ DA変調器 (LPタイプ)



変調器出力のスペクトラム

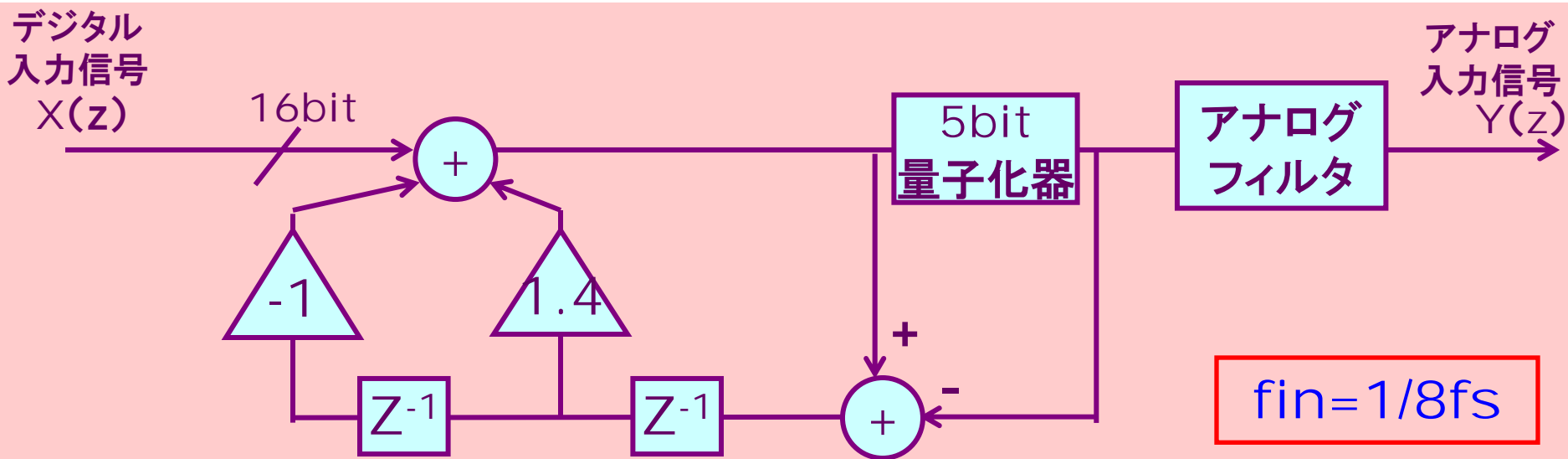


フィルタ出力波形Y(z)



# 基準余弦波発生回路

## ■ エラーフィードバック $\Delta \Sigma$ DA変調器 (BPタイプ)



$$Y(z) = 1 \cdot X(z) + [1 - 1.4Z^{-1} + Z^{-2}] \cdot e(z)$$

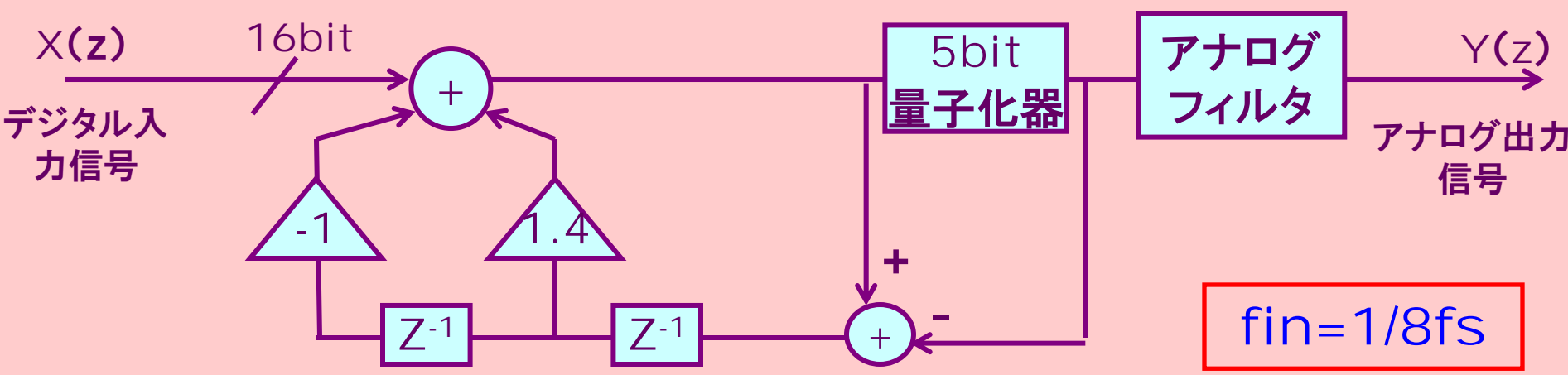
Noise Shape

高分解能(SNR)を実現

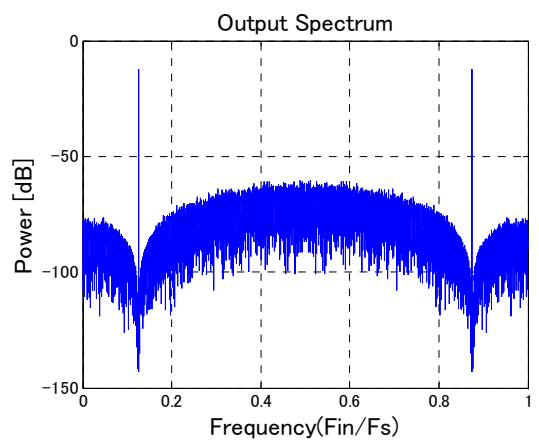
Signal Transfer Function    Noise Transfer Function

# 基準余弦波発生回路

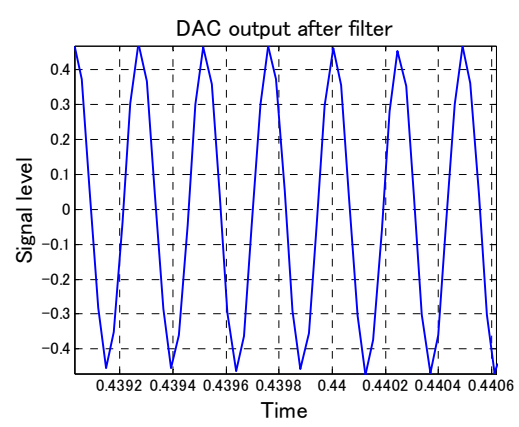
## ■ エラーフィードバック $\Delta \Sigma$ DA変調器 (BPタイプ)



変調器出力のスペクトラム

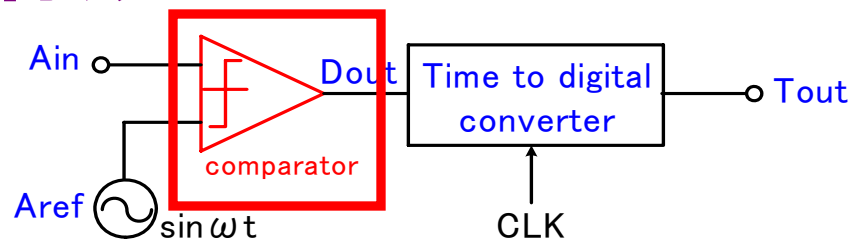


フィルタ出力波形Y(z)



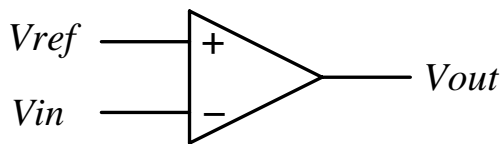
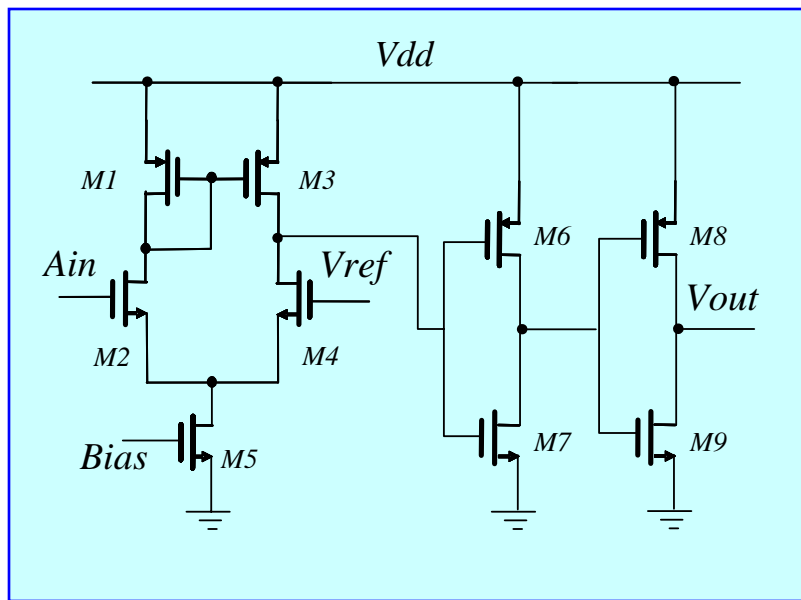
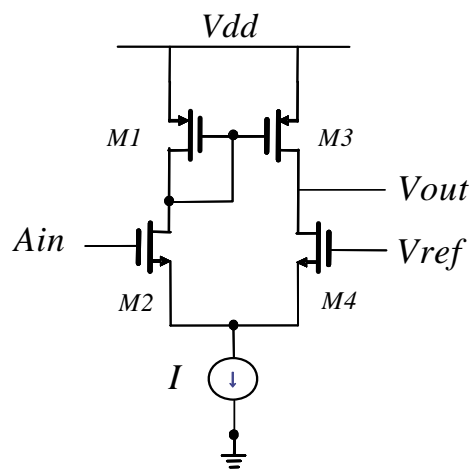
# 提案AD変換器の構成

## ■ コンパレータ回路

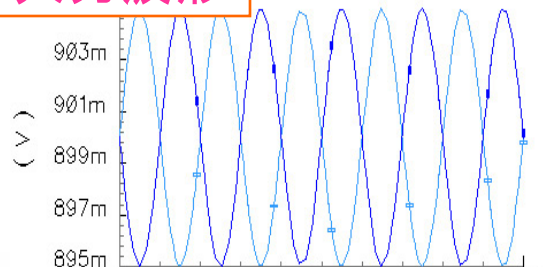


・差動アンプ、オペアンプをオープルーブで使用

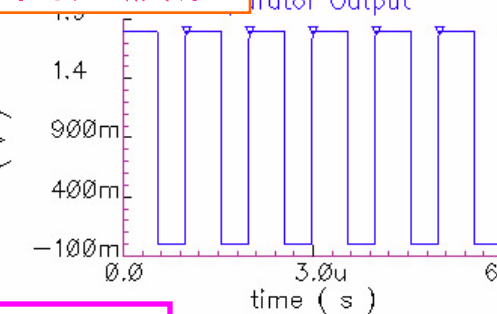
(※ クロックなし)



入力波形



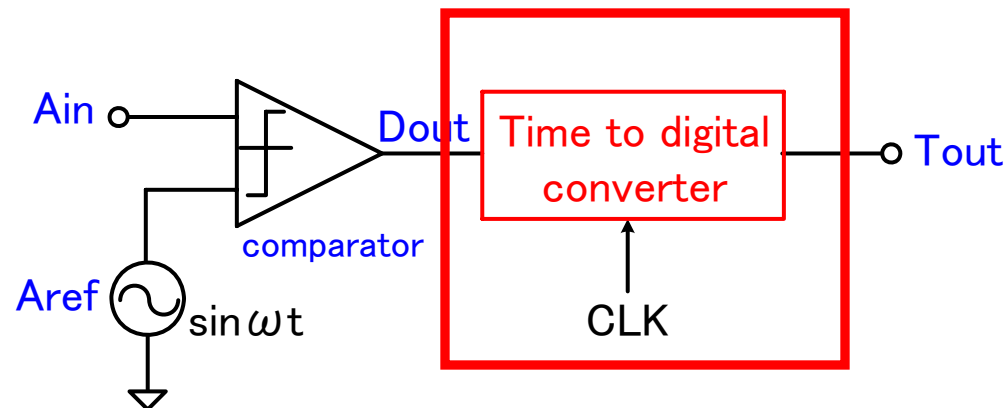
出力波形



◆回路が簡単、低電圧でも動作



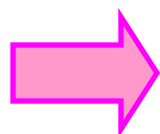
# 提案AD変換器の構成



## ■ タイムデジタイザ回路

(Time-to-Digital-Converter:TDC)

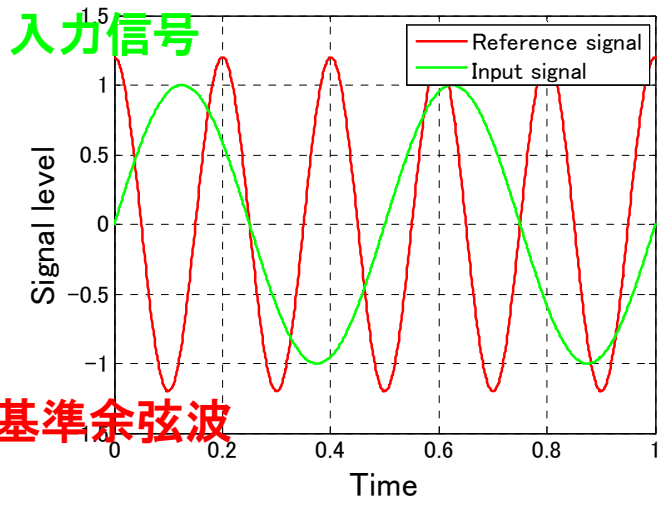
- ・大部分はデジタル回路で実現
- ・CMOS IC内で数ピコ秒オーダーの分解能



高時間分解能のAD変換器

# タイムデジタイザ回路とSNRの関係

■ Vin/Vref=1.0/1.2



基準余弦波

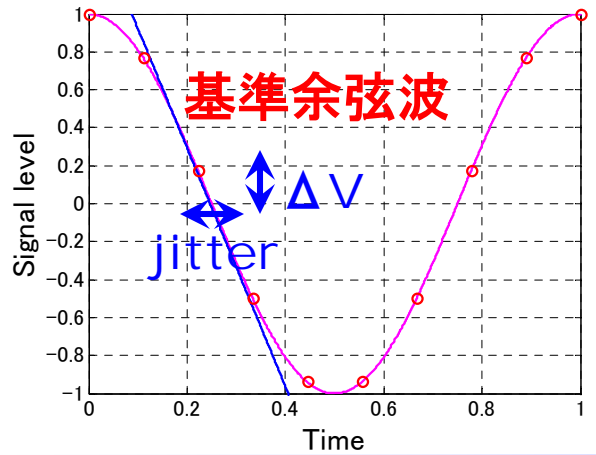
$$y = 1.2 * \cos(2\pi * fs * t)$$

傾き

$$y' = -1.2 * 2\pi * fs * \sin(2\pi * fs * t)$$

傾きの最大値

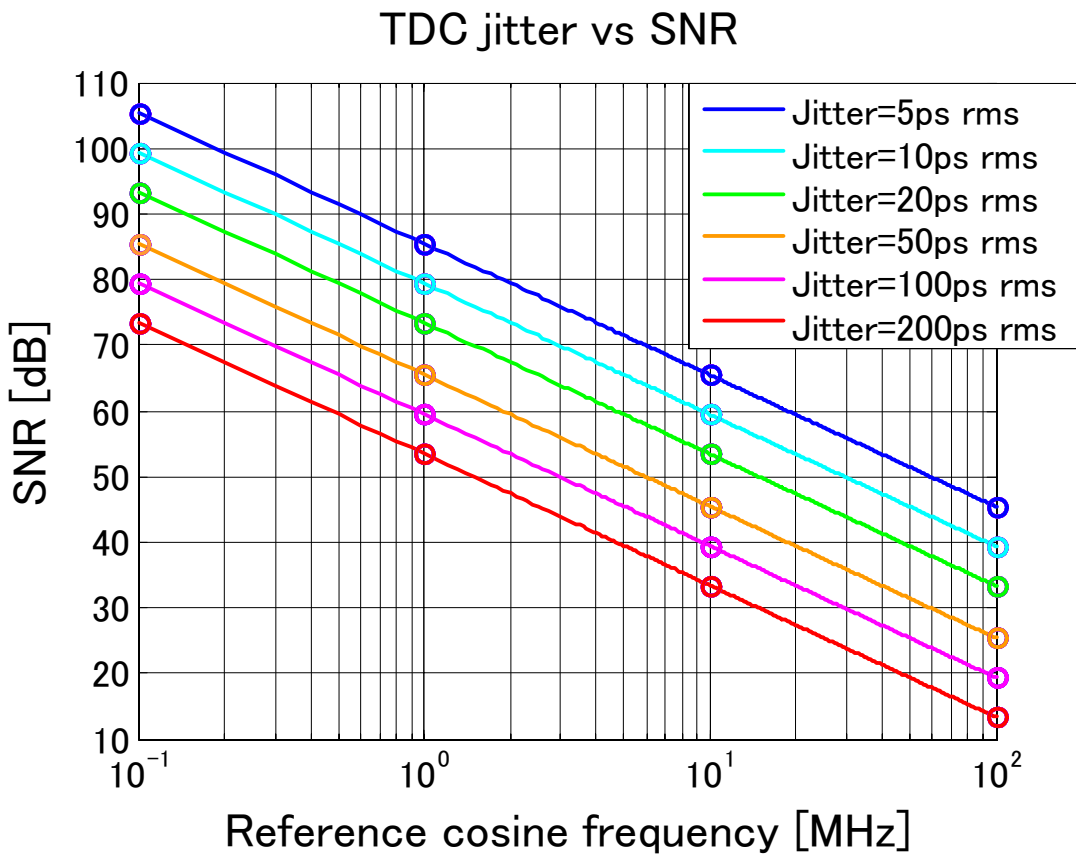
$$y'_{max} = 1.2 * 2\pi * fs$$



$$\left\{ \begin{array}{l} \Delta V_{max} = y'_{max} * jitter [V_{rms}] \\ V_{input} = 2V_{pp} / \sqrt{2} / 2 = 0.707 [V_{rms}] \end{array} \right.$$

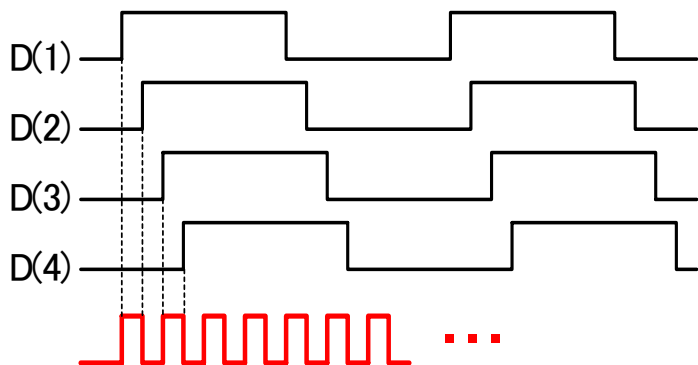
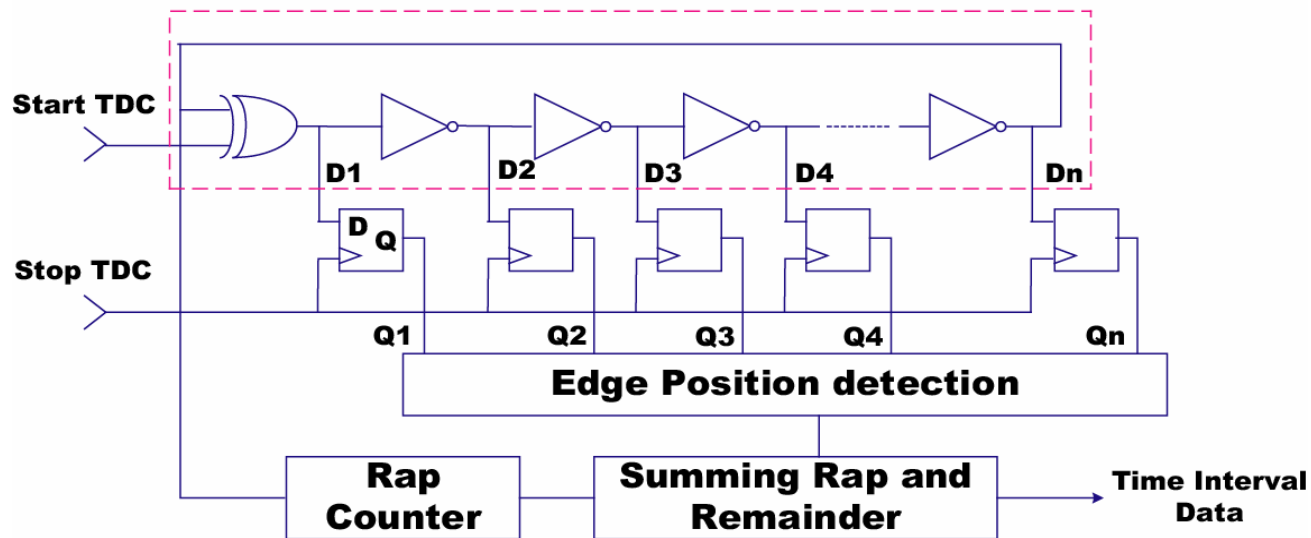
$$SNR = 20 * \log_{10} \left[ \frac{V_{input}}{\Delta V_{max}} \right] [dB]$$

# タイムデジタイザ回路とSNRの関係



# タイムデジタイザ回路

Ring Oscillator



インバータ遅延により  
ディレイラインを作る

高時間分解能を実現

(数ピコ秒)

# TDCの動作原理

TDC Start signal

基準クロック

TDC Stop signal

コンパレータ出力

Start

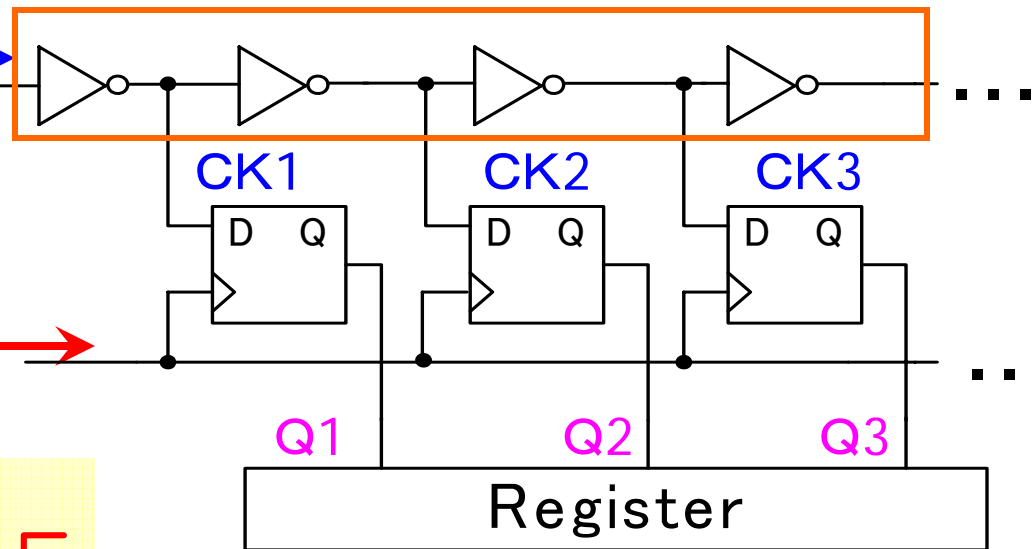
CK1

CK2

CK3

タイミングチャート

Delay line



flip-flop output

Q1 = 1

Q2 = 0

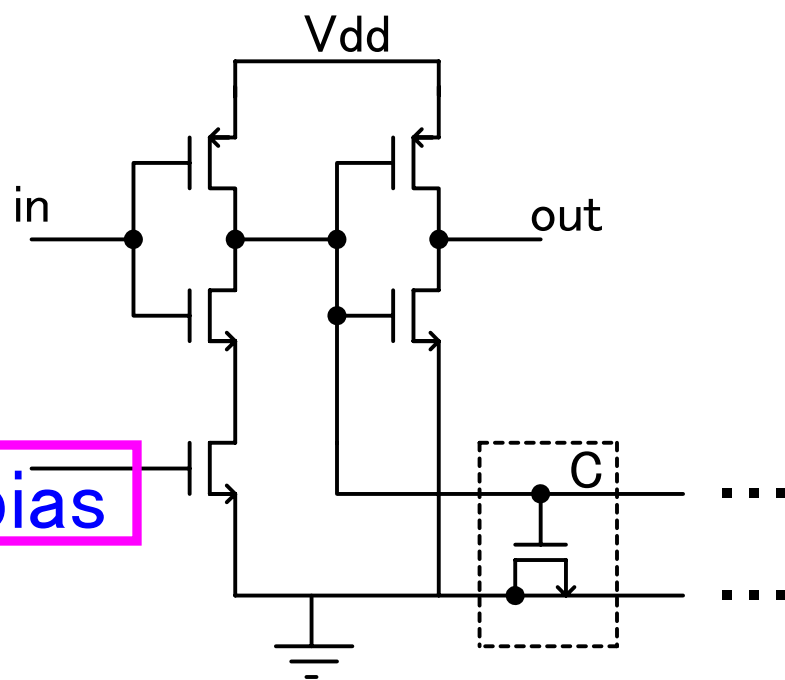
Q3 = 0

インバータ遅れ1つ分

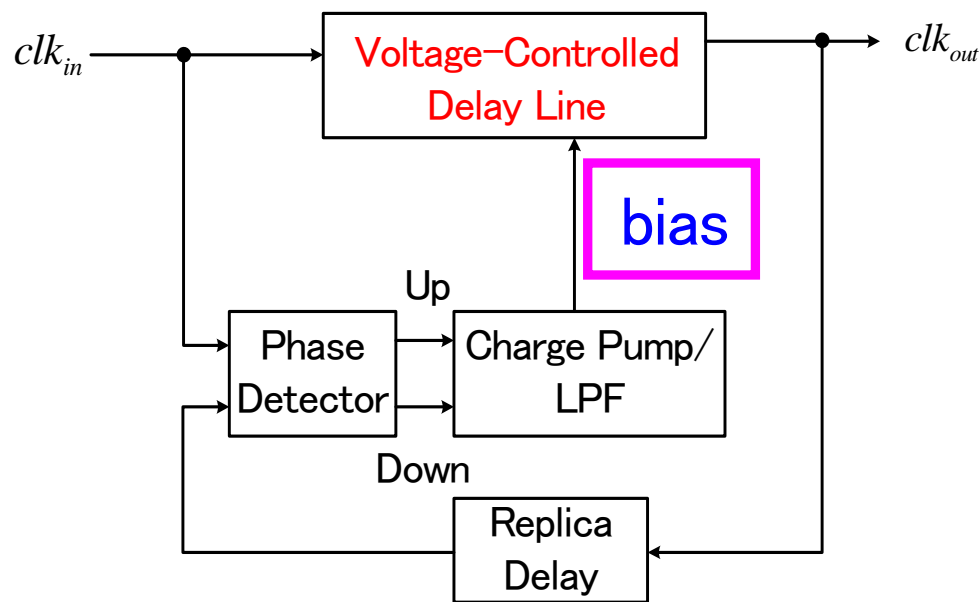
高時間分解能:パルス間隔を検出

# タイムデジタイザ回路

Inverter



Delay Locked Loop : DLL

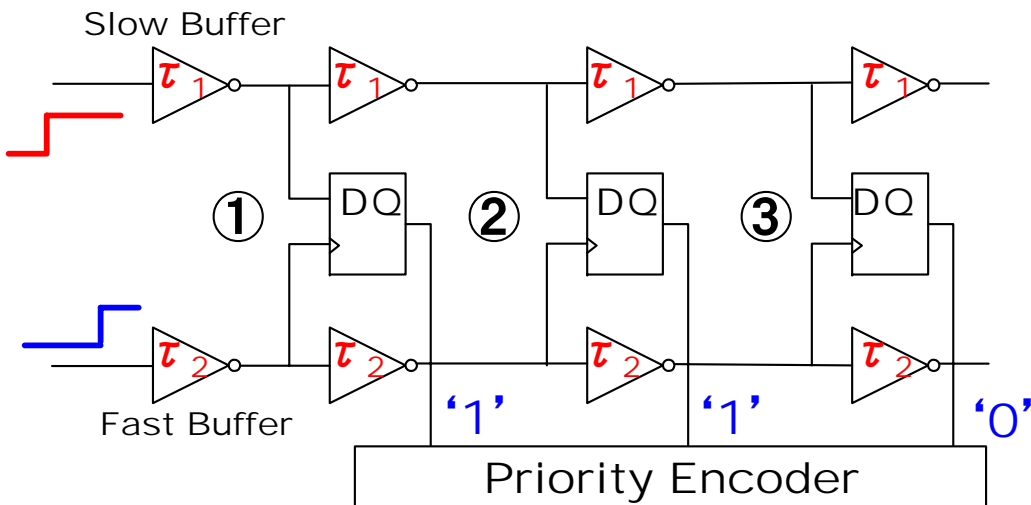


総遅延量 = 基準クロックの周期



バイアスを自動調節

# Vernier Delay Line TDC

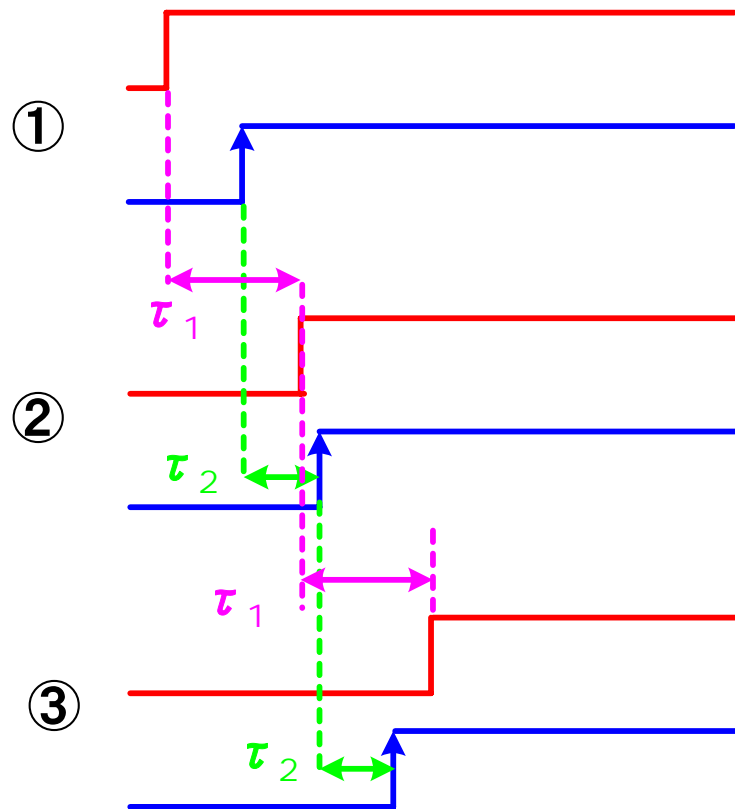


$$\tau_1 > \tau_2$$

バッファの遅延時間の差の分解能で判定

$$T - n(\tau_1 - \tau_2)$$

時間分解能 :  $\Delta \tau = \tau_1 - \tau_2$

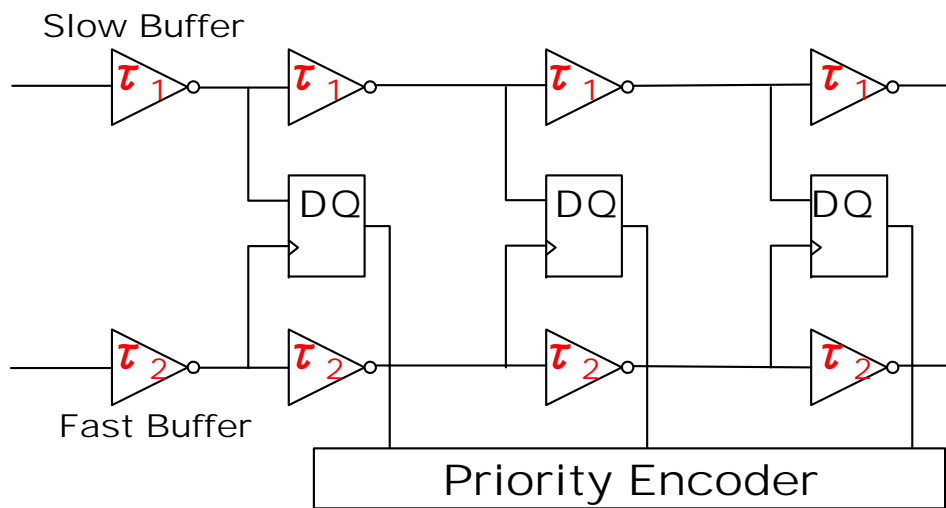


# Vernier Delay Line TDC

•  $\tau_1 > \tau_2$

例) • PLL  $\Rightarrow$  low jitter 5GHz clock

$T_R = 200$  [ps]



$S$  : ステージ数

$$S = T_R / \Delta \tau$$

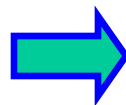
$F_S$  : サンプルング周波数

$$F_S = 1 / (S \tau_1)$$

$$= \Delta \tau / (T_R \tau_1)$$

ゲートディレイ :  $\tau_1 = 20$  [ps]

$\Delta \tau = 1$  [ps]



$F_S = 200$  [MS/s]

• キャリブレーション手法

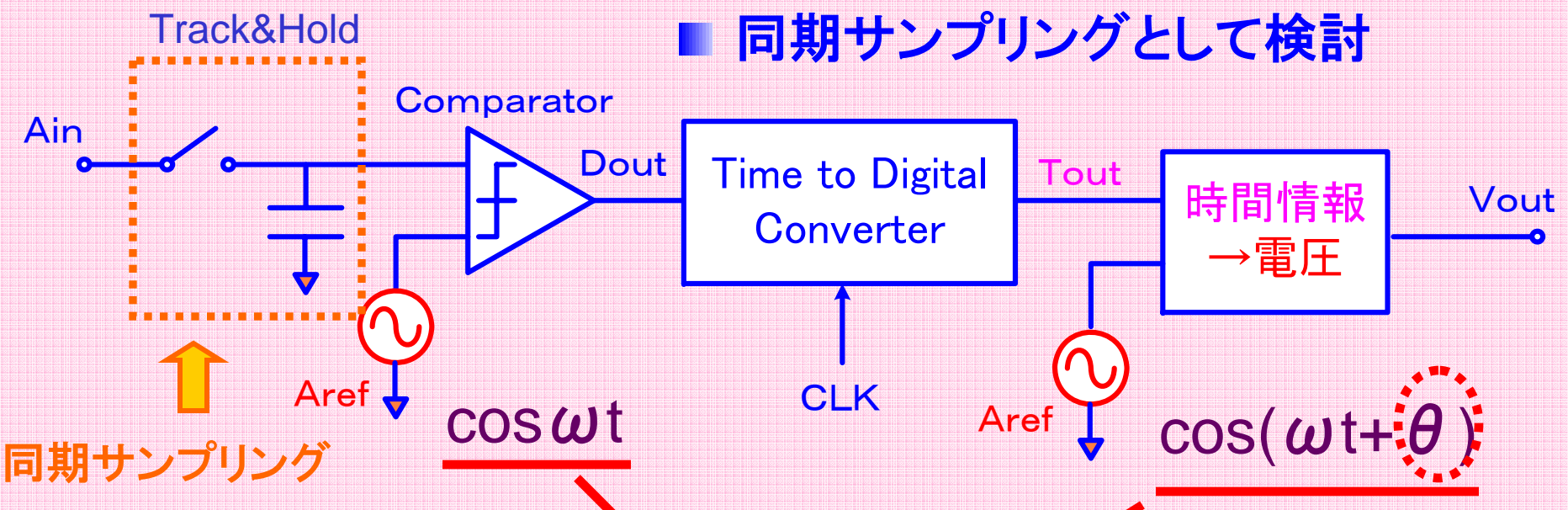
参考文献: Rivoir, J., "Fully-Digital Time-to-Digital-Converter for ATE with Autonomous Calibration", "IEEE International Test Conference, Santa Clara, CA, Oct. 2006



# 提案AD変換器の誤差要因の考察

# 位相差による影響の考察

## ■ 同期サンプリングとして検討



同期サンプリング

コンパレータの参照電圧

再構成の参照電圧

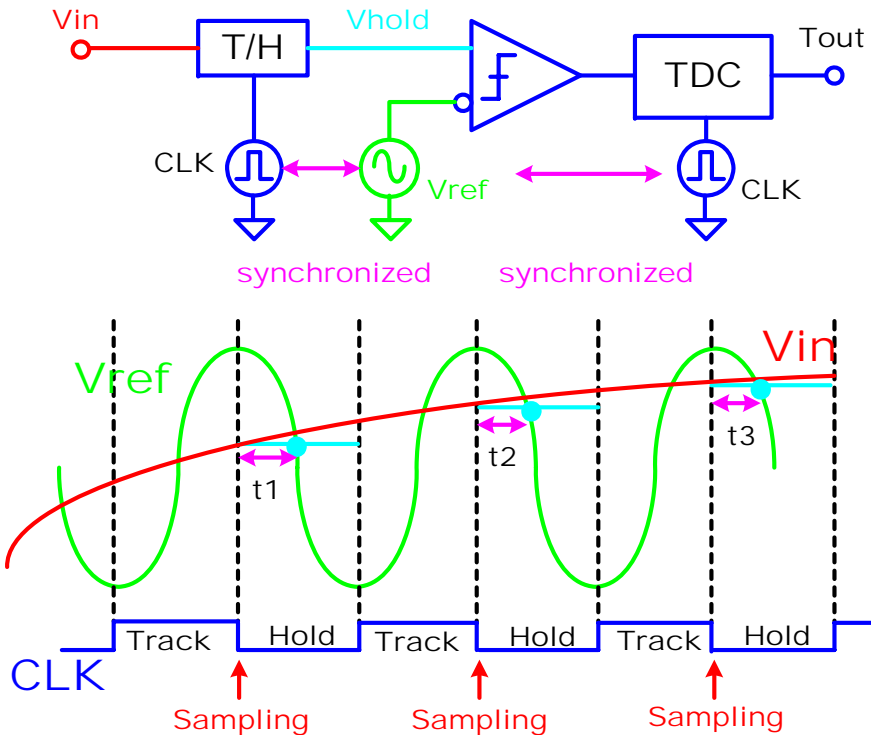
位相差  $\theta$

最終データ: 非線形性

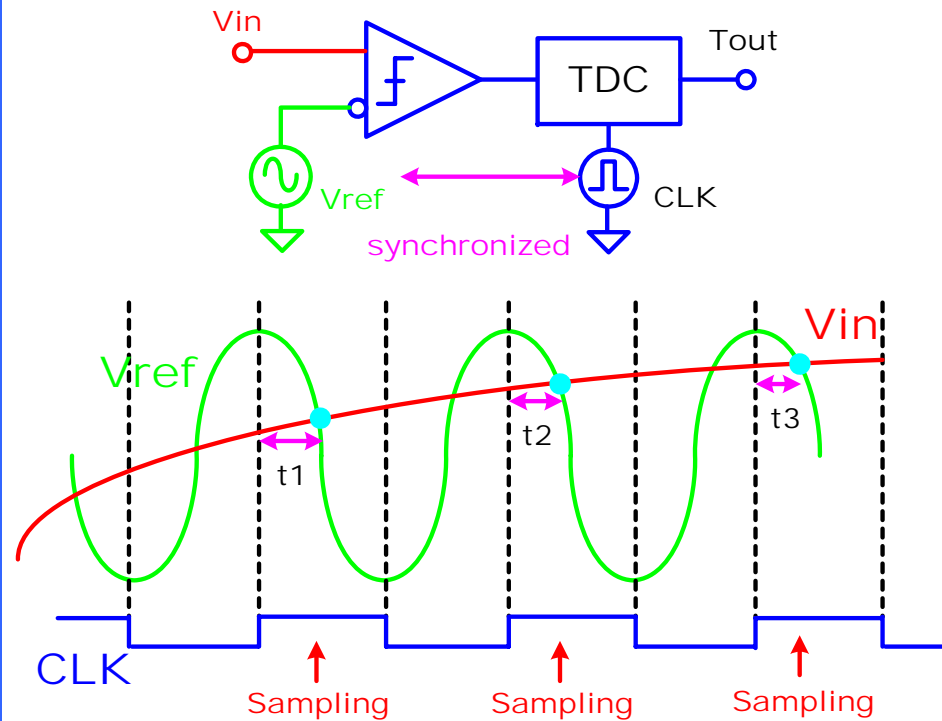
→ AD変換器の誤差要因

# 提案AD変換器

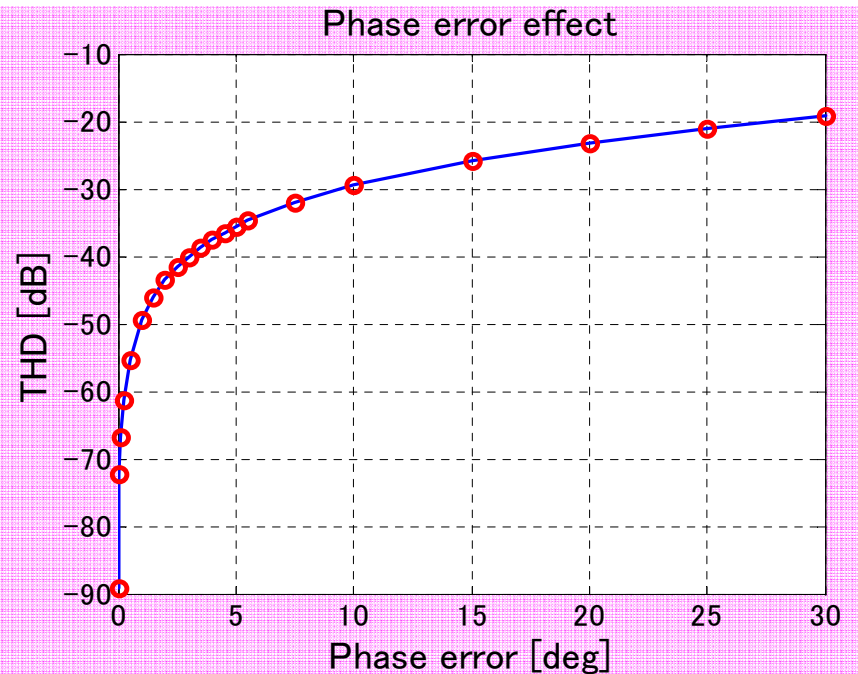
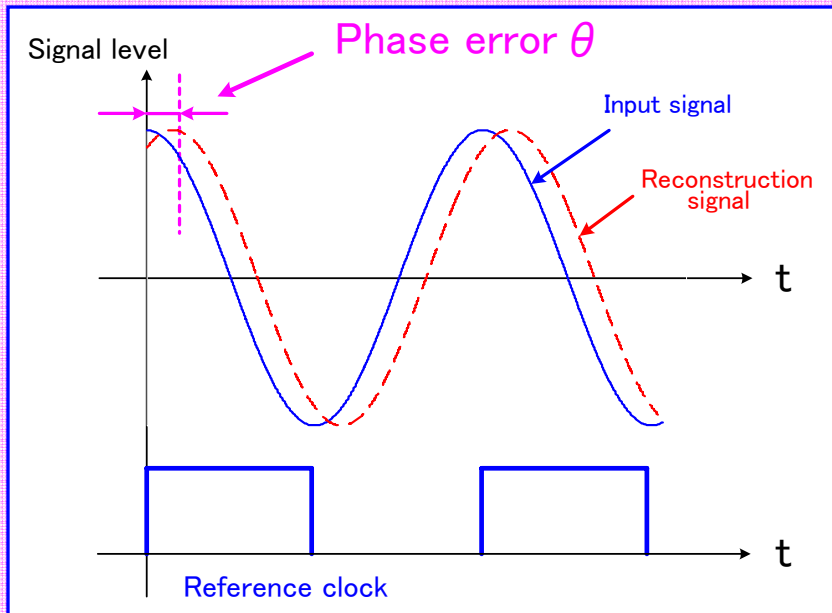
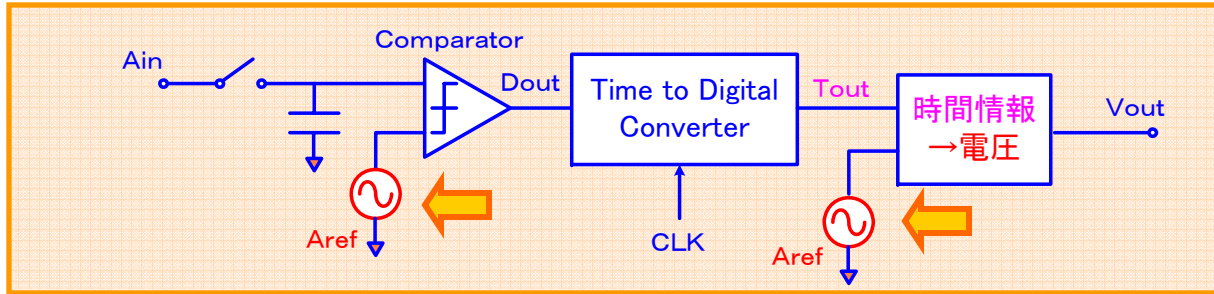
## Uniform Sampling



## Non-uniform Sampling



# 位相差による誤差



位相差 → 大



全高調波歪: 劣化

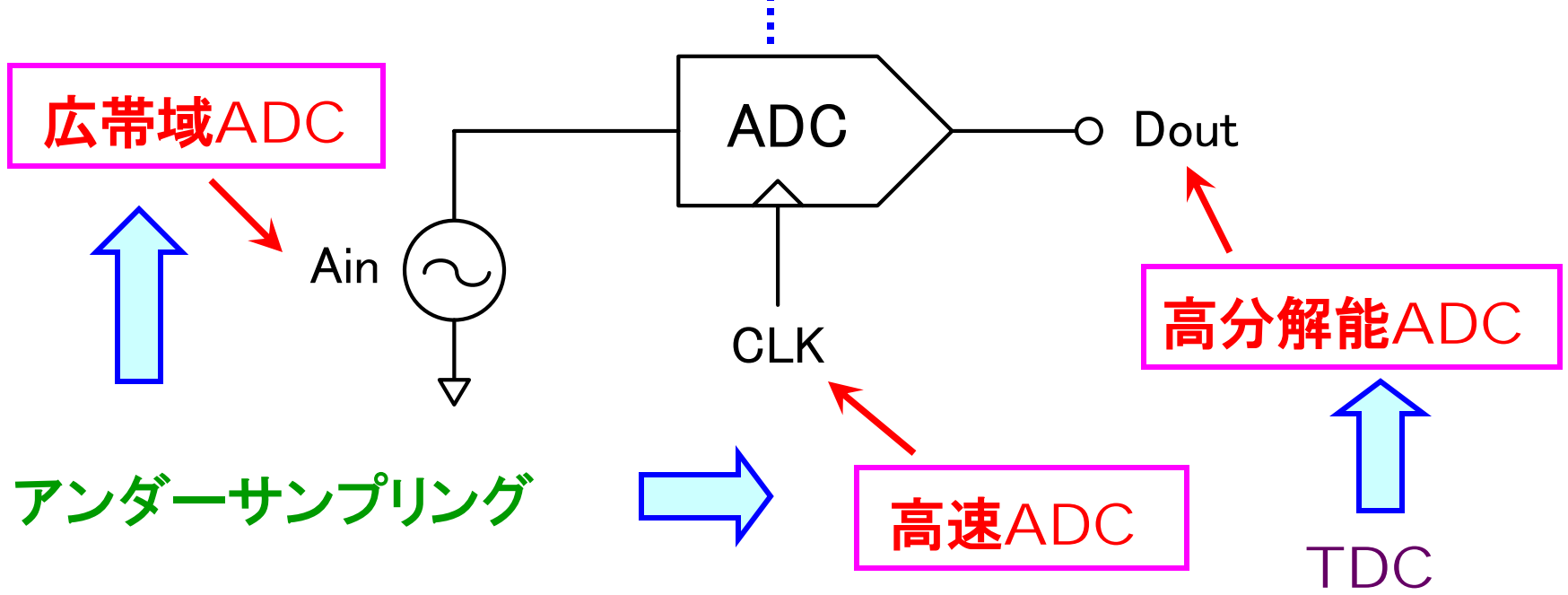
# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

# 提案AD変換器のLSIテストへの応用

## ■ LSIテスト用AD変換器

アナログ信号 ← → デジタル信号



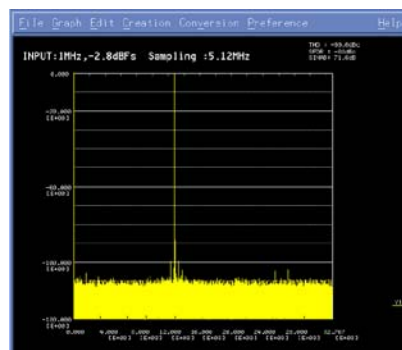
# 提案AD変換器のLSIテストへの応用

## ■ アンダーサンプリング

∴ 高周波信号を扱うため

## ■ 高速にパワースペクトラムを求める

∴ テスト時間  $\Rightarrow$  コスト

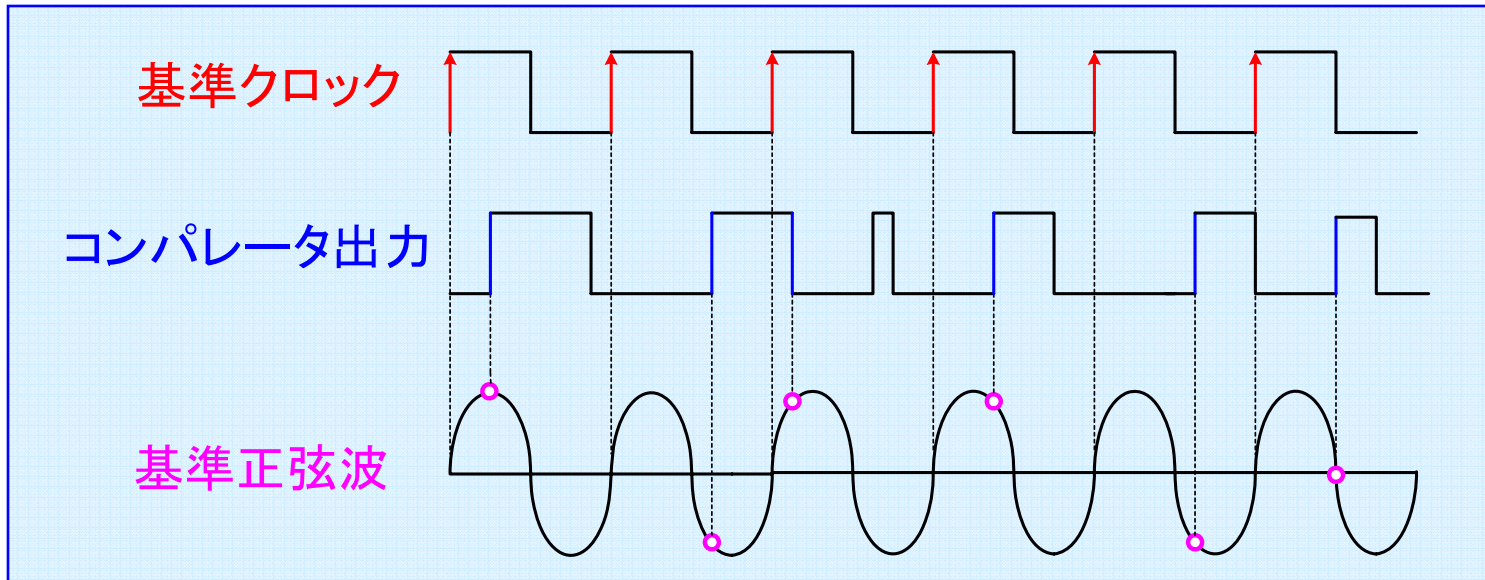


# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題



# 非同期サンプリング



提案ADCの  
LSIテストへの応用

非同期サンプリング

⇒ テスト時間 ⇒ コスト

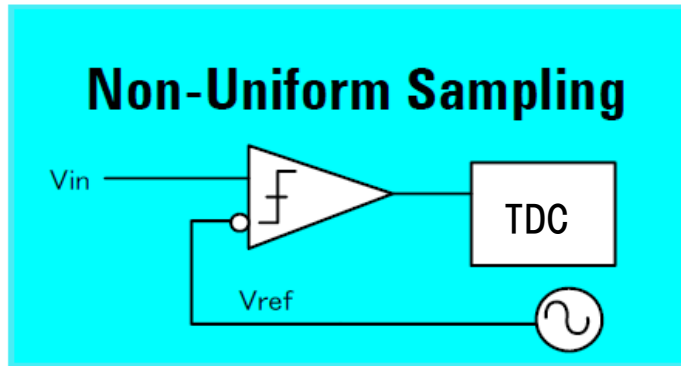
高速にパワースペクトラムを求める要求

パワースペクトラムを求める際

従来のDFT, FFTは使えない

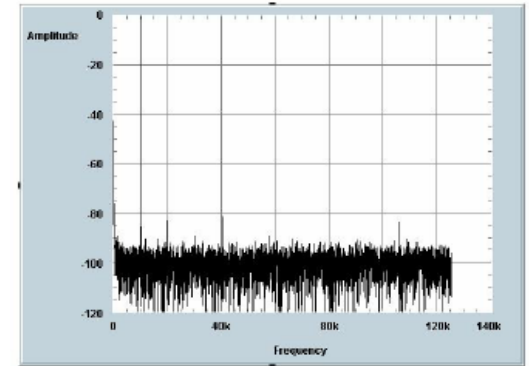
# 非同期サンプリングの信号処理

i) 非同期データを直接DFT

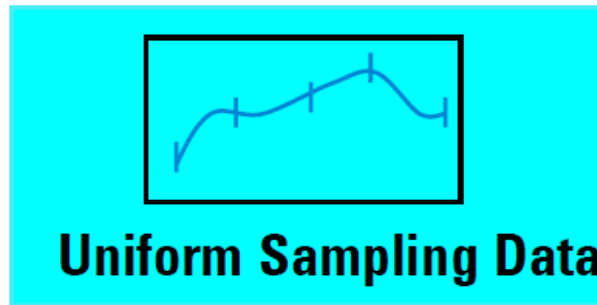


Direct Conversion?

Spectrum etc.



Data Conversion  
Spline or Interpolation



Signal Processing  
FFT or Digital Filter

ii) 非同期データを信号補間してFFT

# 非同期離散フーリエ変換

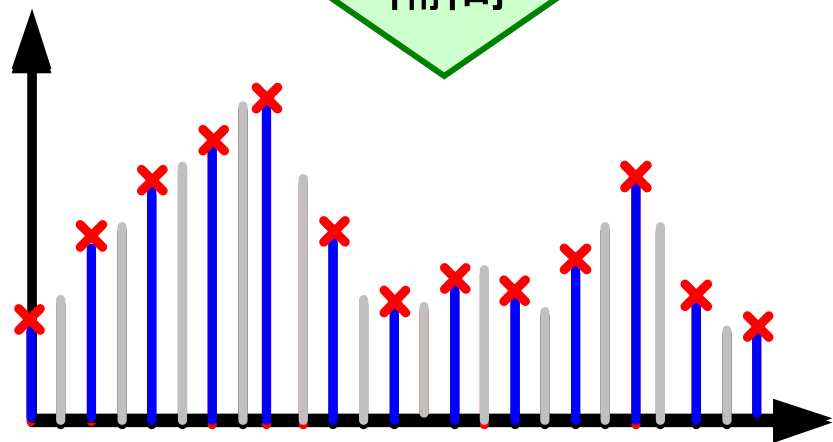
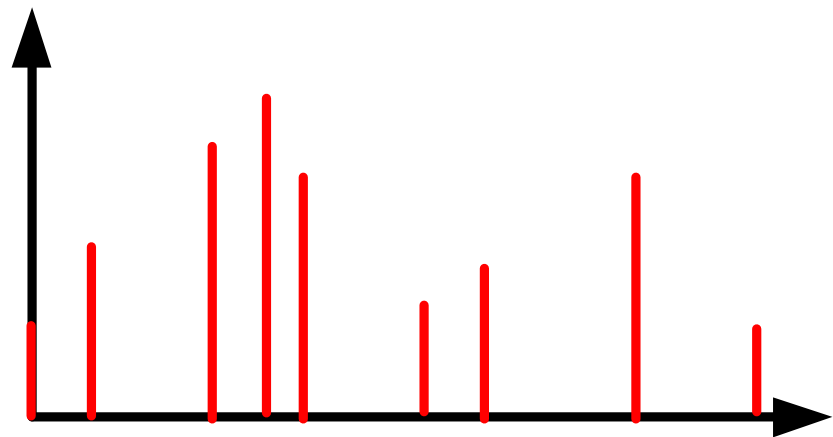
離散フーリエ変換: 
$$X(k) = \sum_{n=0}^{N-1} x(n) \exp\left(-j \frac{2\pi kn}{N}\right)$$

回転因子: 
$$W_N^{kn} = \exp\left(-j \frac{2\pi}{T_1 + T_2 + \dots + T_N} kn\right)$$

$$\mathbf{X} = \mathbf{W}_N^{kn} \mathbf{x}$$

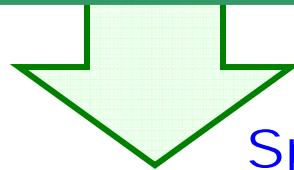
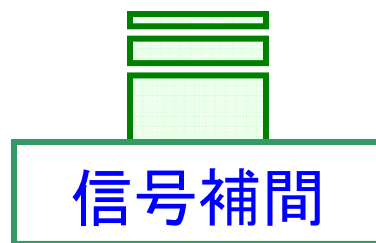
$$W_N^{kn} = \exp\left(-j \frac{2\pi}{T_1 + T_2 + \dots + T_N} kn\right)$$

# 時間領域での信号補間アルゴリズム



同期でサンプリング

非同期データ



Spline interpolation

同期データ



従来の同期FFT

DFT結果が同期で確認できる

# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

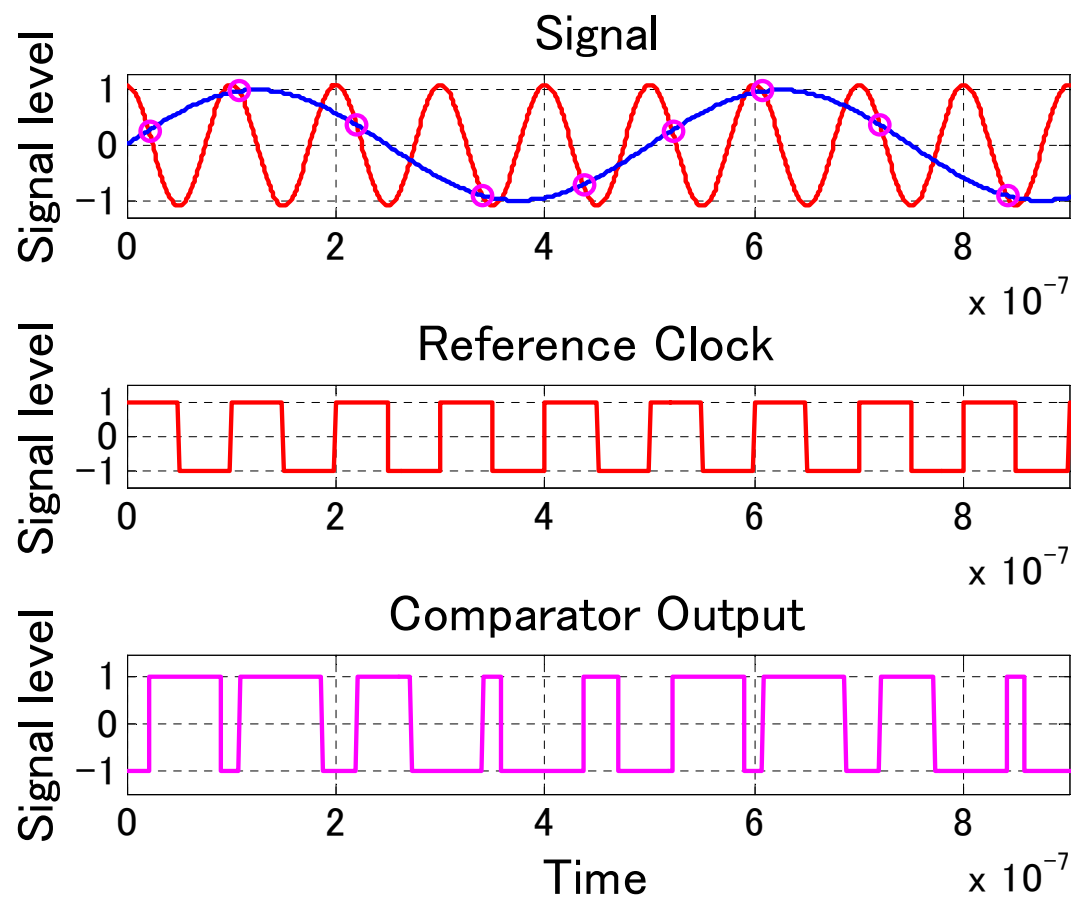
# シミュレーション

- 非同期データを直接DFT
- 非同期データを補間して同期FFT
- 信号処理の違いによる計算時間

# 基準余弦波信号

- $f_{in}/f_{ref} = 0.2$
- 時間分解能 =  $1/f_{ref}/100$
- $f_{ref} = 10$  [MHz]
- $f_{in} = 2$  [MHz]
- $f_{s\_max} = 11.9$  [MHz]
- $f_{s\_min} = 8.26$  [MHz]
- $f_{s\_interp} = 10$  [MHz]
- 分解能 = 1 [ns]

・入力信号: 単一正弦波  
(信号理想)

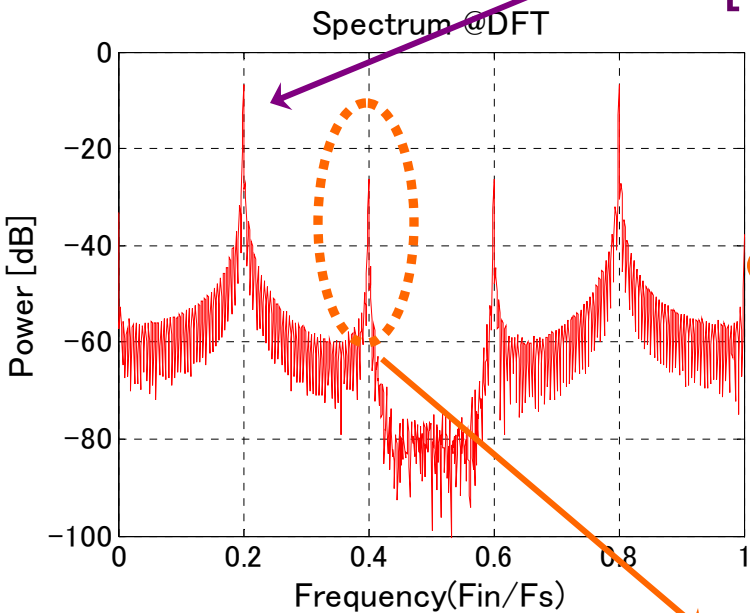


# 基準余弦波信号

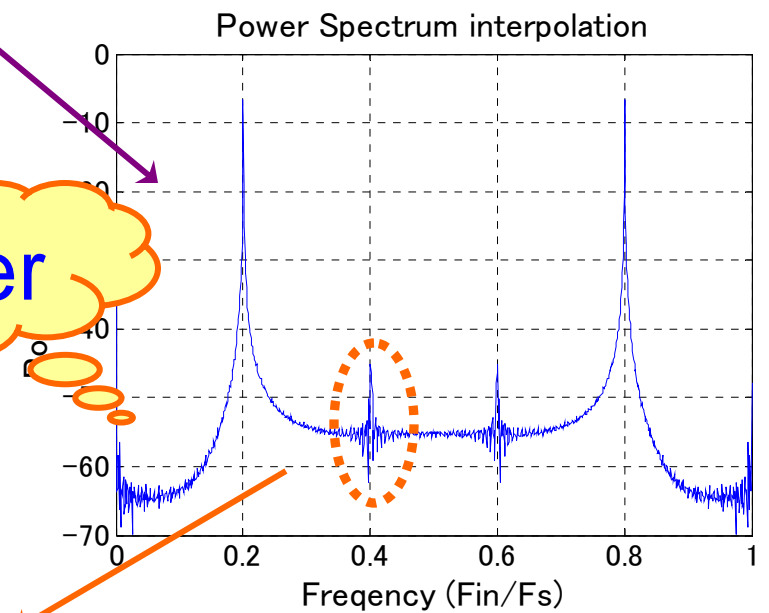
■ Power Spectrum  
(Nonuniform DFT)

■ Power Spectrum  
(Interpolation Uniform FFT)

-6.69[dB] @  $f_{in}/f_s = 0.2$



better



-26.3[dB] @  $f_{in}/f_s = 0.4$

スプリアス

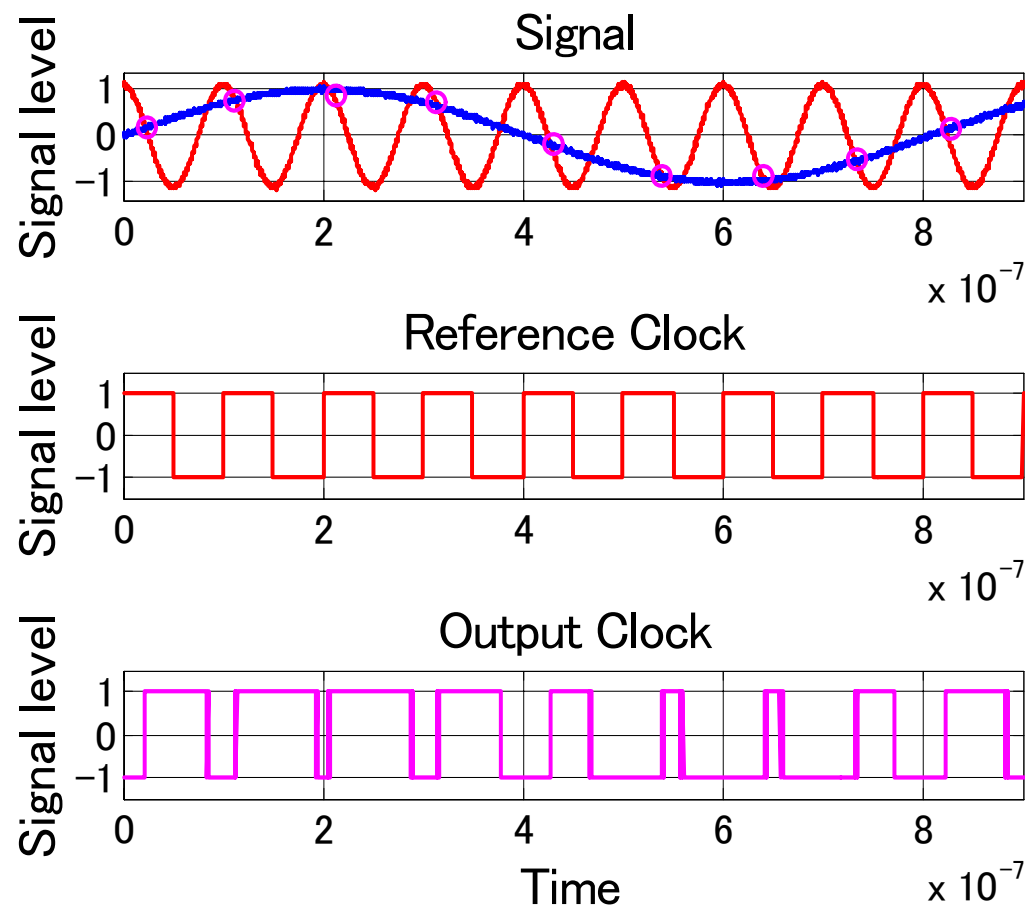
-45.1[dB] @  $f_{in}/f_s = 0.4$



# 基準余弦波信号

- $f_{in}/f_{ref}=0.124$
- **時間分解能 =  $1/f_{ref}/1000$**
- $f_{ref} = 10[\text{MHz}]$
- $f_{in} = 1.24[\text{MHz}]$
- $f_{s\_max} = 11.23[\text{MHz}]$
- $f_{s\_min} = 8.41[\text{MHz}]$
- $f_{s\_interp} = 10[\text{MHz}]$
- **時間分解能 = 100[ps]**

- ・入力信号: 単一正弦波  
(信号にノイズ)

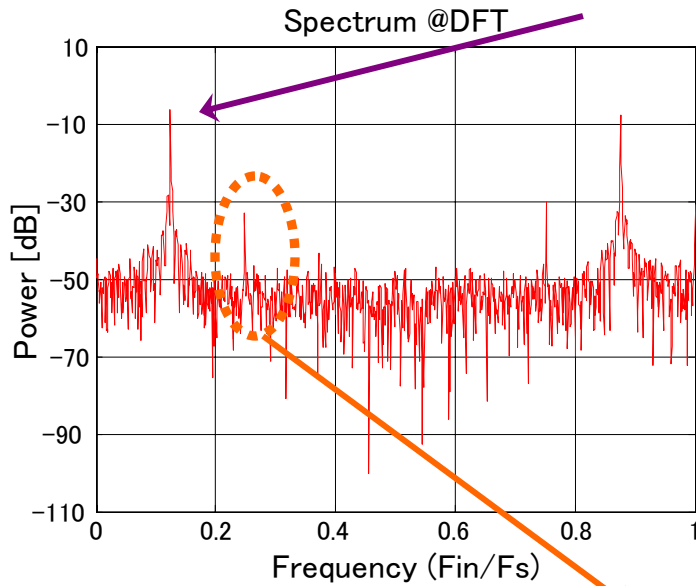


# 基準余弦波信号

■ Power Spectrum  
(Nonuniform DFT)

■ Power Spectrum  
(Interpolation Uniform FFT)

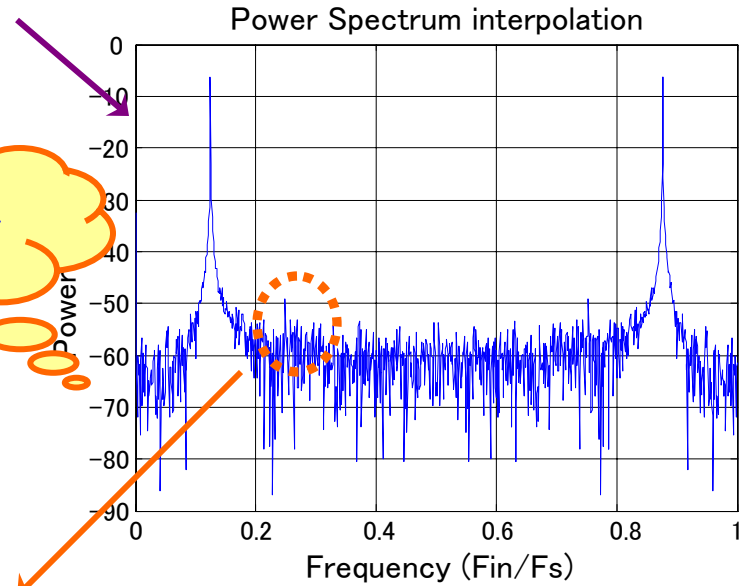
-6.02[dB]@ $f_{in}/f_s=0.124$



-32.8[dB]@ $f_{in}/f_s=0.248$

better

スプリアス

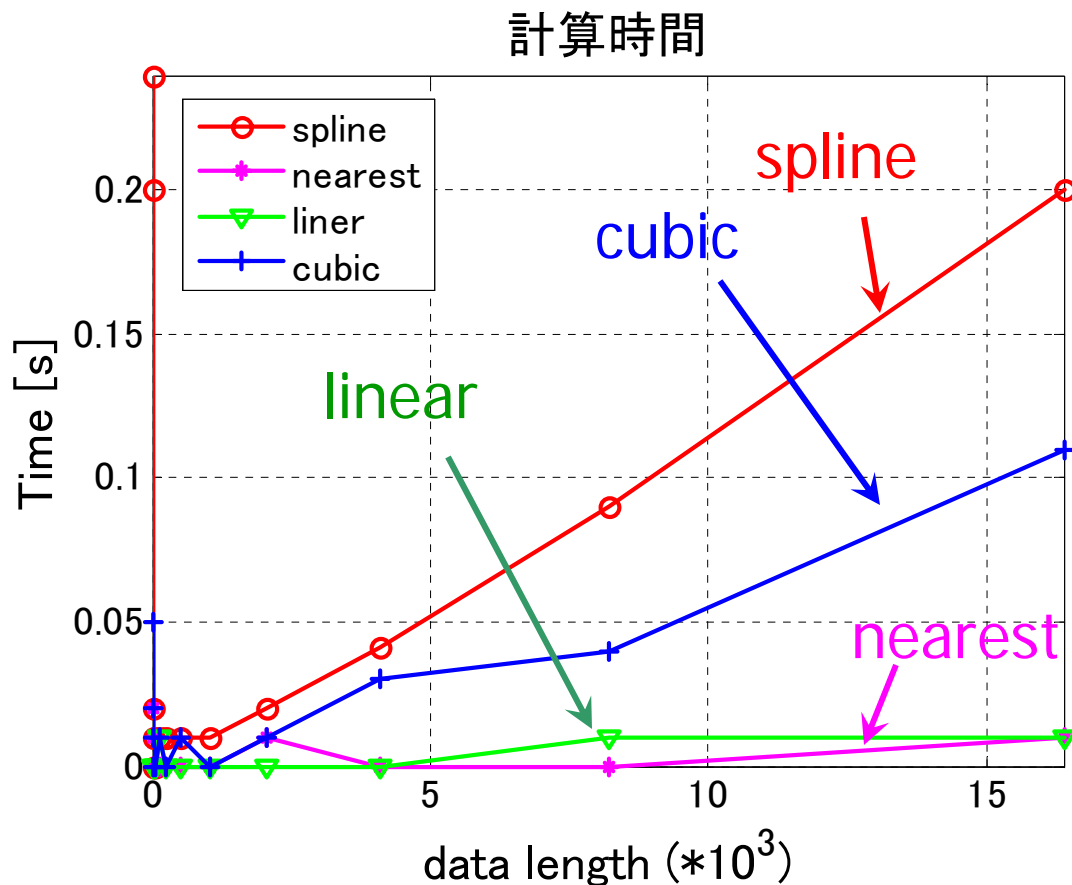


-49.04[dB]@ $f_{in}/f_s=0.248$

# 信号処理の違いによる 計算時間の比較

- i) 補間法の違いによる計算時間の比較
- ii) 直接DFT、補間してFFT、同期サンプリングの  
計算時間の比較

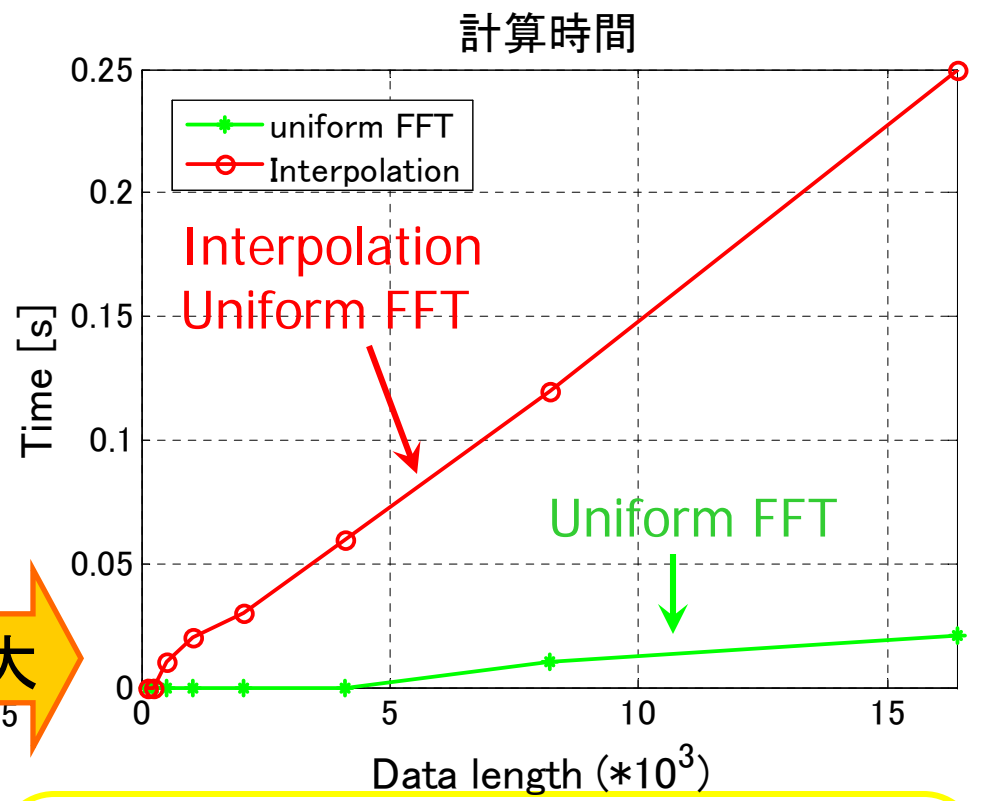
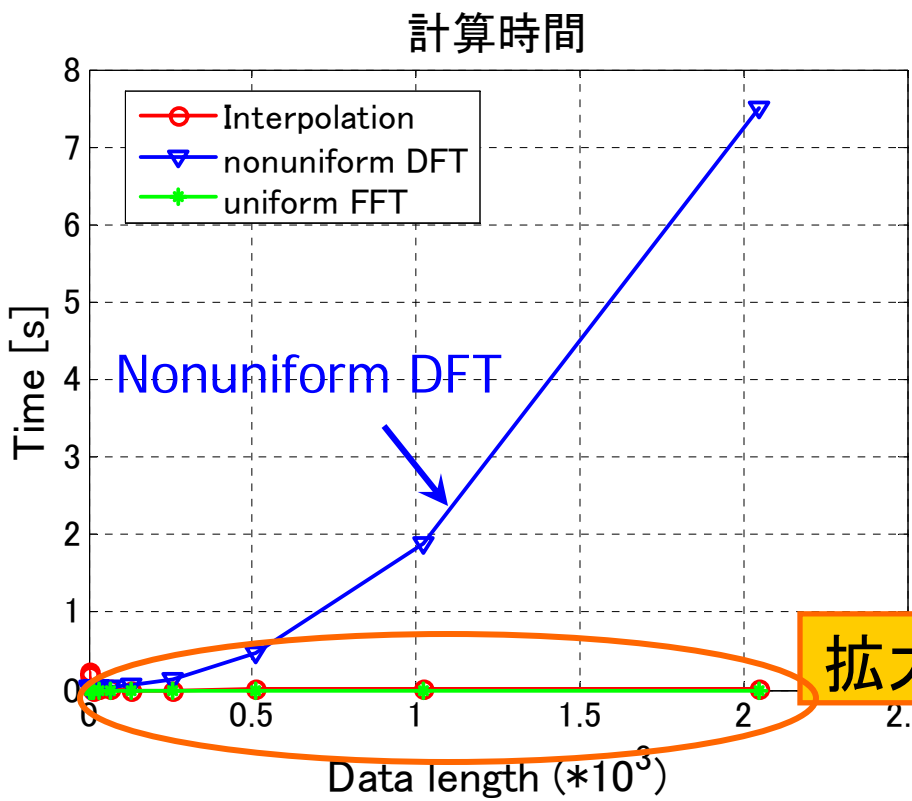
# i) 補間法の違いによる計算時間



スプライン補間  
 $2^{13} = 8192$ 点  
 $\rightarrow 0.09[s]$

CPU: 1.2 [GHz]  
 Memory: 512 [MB]

# ii) 信号処理の違いによる計算時間



Nonuniform DFT:  
 $2^{11} = 2048$ 点  $\rightarrow$  7.85[s]

Interpolation Uniform FFT:  
 $2^{13} = 8192$ 点  $\rightarrow$  0.11[s]  
 Uniform FFT:  
 $2^{13} = 8192$ 点  $\rightarrow$  0.01[s]

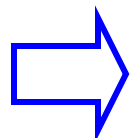
# 発表内容

- 研究背景と目的
- 提案ADC
- 提案ADCのLSIテストへの応用
- パワースペクトラムを求めるアルゴリズム
- シミュレーション結果
- まとめと今後の課題

# まとめ

- 微細CMOSに適したADCを提案
- 周波数スペクトラムを得る方法について検討

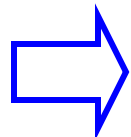
i) 非同期データを直接DFT



低速、低精度

従来のFFTに比べ  
補間計算分遅い

ii) 非同期データを補間してFFT



高速、高精度

高調波が問題

# 今後の課題

## ■ 信号補間の高速、高精度なアルゴリズムの開発

- ・高調波に対する検討, 高速計算手法の検討  
(FMM, NUFFT, ...)

## ■ 提案ADCの実現上の問題の検討

- ・コンパレータのヒステリシス, オーバードライブの影響
- ・基準余弦波が理想的でないために起こる影響
- ・入力周波数と基準余弦波の周波数の関係
- ・TDCのトポロジー, 回路構成, キャリブレーション手法

## ■ トランジスタレベルでの設計