



ビジョンチップ(II・完)

—アナログ画像処理用ニューロチップ—

解説

松本 隆 小林春夫 八木哲也

松本 隆：正員 早稲田大学理工学部電気工学科
 小林春夫：正員 横河電機株式会社エレクトロニクス研究所
 八木哲也：正員 九州工業大学情報工学部制御システム工学科

Vision Chip [II・finish] : Analog Image-Processing Neuro Chip. By Takashi MATSUMOTO, Member (School of Science and Engineering, Waseda University, Tokyo, 169 Japan), Haruo KOBAYASHI, Member (Electronics Laboratory, Yokogawa Electric Corp., Musashino-shi, 180 Japan) and Tetsuya YAGI, Member (Faculty of Computer Science and Systems Engineering, Kyusyu Institute of Technology, Iizuka-shi, 820 Japan).

3. ビジョンチップの実現

(a) アナログ CMOS VLSI 技術

ディスクリット部品によるアナログ画像処理装置には先駆の仕事がいくつかある。例えば NHK の安田, 山口, 福島, 長田は 20 年以上も前に Mead の回路網と同様な抵抗回路網を実現している⁽¹⁾, 東京大学の石川, 吉澤はモーメント計算用並列抵抗回路網を実現している^{(2)~(4)}。現在は LSI 技術の進歩によりビジョンチップは 1 チップ化されるようになった。それらのほとんどがアナログ CMOS 回路で構成されている。

(b) 画像センサ

ビジョンチップでは画像入力のための光センサとして, (i) CCD, (ii) ホトトランジスタ, (iii) ホトダイオード, が使われている。ホトトランジスタによる方法は Mead によって提案された方法で, 標準 CMOS プロセスの寄生バイポーラトランジスタを利用し, 80 dB 程度の入力ダイナミックレンジが得られる⁽⁵⁾。

(c) 抵抗回路網

標準 CMOS プロセスで, 抵抗回路網の抵抗は, (i) MOS 抵抗, (ii) ポリシリコン抵抗, (iii) 拡散抵抗, (iv) スイッチドキャパシタ, が使われている。MOS 抵抗は図 9 に示すように, FET を二つ縦列または並列に並べて線形性を良くし, バイアス電圧を制御することで抵

抗値を調整できる。

(d) サブスレッショルド領域 CMOS 回路

MOS FET でゲート・ソース間電圧がスレッショルド電圧より低い場合は, カットオフ (サブスレッショルド) 領域として通常の回路ではドレーン・ソース間電流は流れないとして扱うが, 実際はこの領域でも微小の電流が流れる。このサブスレッショルド領域の CMOS 回路は, 時計や心臓ペースメーカ等極めて低消費電力を要求される分野で使われてきた⁽⁶⁾。この領域の CMOS 回路では, 低消費電力は実現できるが精度は悪化する。が, 生物の脳も低消費電力・低精度でも高度の情報処理を行っているというのが Mead の主張であり, 彼のグループのチップ

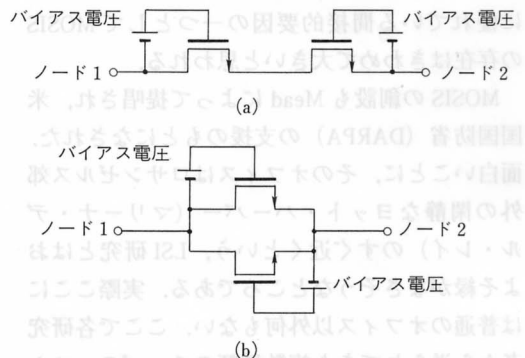


図9 MOS抵抗 (a) 縦続に二つの MOS を結合 (b) 並列に二つの MOS を結合 両方の回路とも二つの MOS を用いて非線形項をキャンセルし線形な抵抗を実現している。バイアス電圧により抵抗値を制御できる。

は例外なくサブスレッショルド領域で動いている。

(e) シンプルな回路と複雑な配線

ビジョンチップは、入出力回路・抵抗等から成るシンプルなセル回路（画素に対応）が縦横に並んだ、メモリ IC に似た構成になっている。しかし、電源配線、データ読出用配線のほかに、抵抗回路網によるセル間配線が必要である。例えば文献（7）、（8）のような二つ隣りまでのセル間の抵抗結合が必要な場合は、配線領域がチップ面積の40%程度にもなる。ビジョンチップのLSI化の際には配線の複雑さが問題になる。なお配線の複雑さを定量化する試みが（9）でなされている。

(f) シリコンファンダリ

米国にはMOSIS（MOS Implementation System）とよばれる組織があり、大学や研究所、企業の研究者、学生はICのマスタパターンまで設計すれば、そのデータを電子メールで送ることにより、この機関を通じ低価格（例えば2.2mm×2.2mmチップで550ドル程度）でICを試作できる。学生が自分のアイデアをアルゴリズム化し、それを実現するICを設計し、ICのマスタパターンを送った後8週間でチップを手に入れ、それをテストし、まとめて卒業論文とする例はいくらでもある。もちろんアナログ回路だけでなくデジタル回路も可能である。米国の半導体関連技術のいくつかが圧倒的に優れている間接的要因の一つとしてMOSISの存在はきわめて大きいと思われる。

MOSISの創設もMeadによって提唱され、米国防省（DARPA）の支援のもとになされた。面白いことに、そのオフィスはロサンゼルス郊外の閑静なヨット・ハーバー（マリーナ・デル・レイ）のすぐ近くという、LSI研究とはおよそ縁がなさそうなところである。実際ここには普通のオフィス以外何もない。ここで各研究者から送られてきた複数種類のチップのマスタパターンデータを1枚のウェーハにアセンブリし、半導体メーカーにファブリケーションを依頼する。このマルチチップ技術により各IC当り

の低試作価格を実現している。欧州にもEUROCHIPとよばれる同様の組織がある。

海外の研究者が必ずと言ってよいほど放つ質問“半導体王国日本にMOSISに対応するものが何故ないのか？”の返答に窮し、くやしさをかみしめている研究者はたくさんいる。日本がDRAMの勝利だけではやっていけない時代は既に到来している。背筋が寒い思いをしている研究者は筆者等だけではないであろう。

4. 各研究機関での研究活動

4.1 大 学

ビジョンチップの研究開発は主に米国の大学、企業によってなされている。

(a) カルフォルニア工科大学（Caltech）

Caltechはロサンゼルスダウンタウンから北に車で約30分のパサデナとよばれる地区にある。すぐ近くにNASAのJPL（Jet Propulsion Laboratory）も位置し、ニューロチッププロジェクトを含め、Caltechと共同研究を行っている。ここのMeadはデジタルLSI設計法（Mead-Conway法）、シリコンコンパイラの発明者としても知られ、システム、回路、デバイスにわたって精通している。ニューロチップは自分が今まで経験した最も興味深いものであってLSIの新しいパラダイムになると位置付けている。ここで視覚の生理学、アルゴリズム、そしてそれを実現するための回路技術の研究がなされ、さまざまなビジョンチップが開発されている。例えば動き検出、移動物体追跡、盲人用視覚センサ等である。

(b) マサチューセッツ工科大学（MIT）

マサチューセッツ州ケンブリッジのMIT電気工学科Wyatt（回路網理論）、Lee, Sodini（アナログMOS回路）、人工知能研究所Poggio, Horn（コンピュータビジョン）らのもとの1988年から5か年計画でビジョンチッププロジェクトが始められている⁽¹⁰⁾。このプロジェクトはCaltechとも連携している（CaltechのKochがliaisonを務めている）。このプロジェクトでは、ビジョンチップの回路の安定性、物

体の位置方向検出チップ、抵抗ヒューズ、スイッチドキャパシタによる抵抗ネットワークの実現、CCDによるアナログ画像メモリの実現、ステレオ視、動き検出チップ等の研究が行われている。

またMIT Lincoln 研究所ではこのグループとは別に Chiang が CCD をベースにしたビジョンチップを開発している^{(11)~(14)}。

(c) カーネギメロン大学 (CMU)

米国北東部ピッツバーグの CMU の電気・コンピュータ工学科の Gruss, Carley, Kanade はレンジファインディング用ビジョンチップを開発した⁽¹⁶⁾。このチップは物体の3次元プロフィールを従来のシステムに比べ2けた以上高速に精度良く求めることができ、リアルタイムロボットビジョンに用いることができる。また Carley のもとで、フローティングゲート MOS でアナログメモリを実現する研究が行われた⁽¹⁶⁾。これはアナログニューロチップの実現に利用できる。

(d) カルフォルニア大学ロサンゼルス校 (UCLA)

ロサンゼルス ウェストウッドに位置する UCLA でも電気工学科 Abidi のもとでビジョンチップの開発が行われた^{(7),(8)}。Abidi は高速アナログ IC 設計が専門分野であるが、そのアナログ回路技術のバックグラウンドを生かし、画像平滑化用ビジョンチップを開発した。これは2次正則化問題を解くチップである。このチップは負性抵抗を含むので回路の安定性が調べられ、2.5に示したようなネットワークの時間空間安定性の一致が早稲田大学で一般的に証明され⁽¹⁷⁾、UCLA でも別の手法で証明された⁽¹⁸⁾。また、最近、早稲田大学の松本らは Abidi と層構造をもつ $\nabla^2 G$ -like な SCE とよばれるビジョンチップを共同開発した^{(19),(20)}。

4.2 インダストリ

企業の中にもビジョンチップを開発し製品化しようとする動きが始まった。

(a) ベンチャー企業

Mead, Faggin (マイクロプロセッサ 4004 発

明者の1人)らによって創設されたニューロベンチャー企業 Synaptics ではビジョンチップを用いた小切手カスタマーナンバーの超小型認識システムを開発した。また、Tanner Inc. では Caltech で開発された動き検出チップを用いてオプティカルマウスを開発している⁽²⁵⁾。

(b) 大企業

南カルフォルニア地区にある閑静な町サウザンド・オークスには Rockwell International 社サイエンス・センターがあり、GaAs の研究などで知られている。ここの Mathur が率いるグループは地元の Caltech, UCLA のビジョンチップのプロジェクトを積極的に支援し、また自社でも開発を進め、ロボット等のリアルタイムの物体認識に応用しようとしている⁽³¹⁾。同地区にある Hughes Aircraft 社でも抵抗ヒューズを用いたビジョンチップを開発している。

5. 開発されたビジョンチップの紹介

5.1 シリコン網膜チップ

このチップは多くの論文や記事で紹介されているので詳細は省略するが、前回の図3の回路網で入力と各ノードの電圧の差を出力しコントラスト強調を行うものである。但し平滑化は行っていない。当初開発された網膜チップは時間的に不安定で正常に動作しなかったが、MIT のグループの理論解析により安定に動作するための回路パラメータの十分条件が得られ⁽²⁸⁾、現在はさまざまなビジョンチップが安定に動作している。

5.2 2次正則化問題チップ

UCLA の Kobayashi, White, Abidi は2次正則化問題を解くチップを開発した^{(7),(8)}。これは図4のように二つ隣りのノードに対しても負性抵抗の結合を持ち、その空間インパルス応答は Gaussian 分布に近い。図3の1次正則化問題を解くネットワークの空間インパルス応答は中心が尖ってしまうので、画像平滑化フィルタとしては2次正則化の方が優れていることが知られている。負性抵抗は図10のように電流インバータを用いた CMOS 回路で実現している。

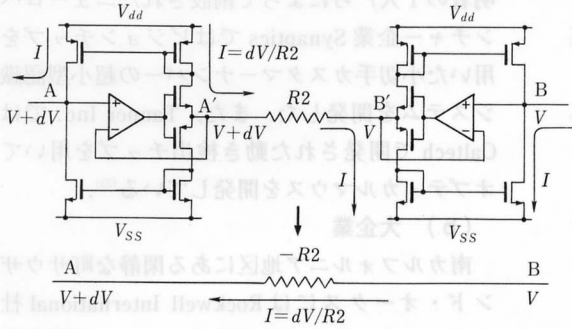


図10 負性抵抗の実現回路 電流の流れを反転させる CMOS 回路により負性抵抗が実現できる. ©1990 IEEE.

また空間インパルス応答の幅を変えて平滑化の度合いを制御できるように、図4の抵抗 $R_0 = 1/g_0$ が可変抵抗になっている。この可変抵抗は図9(b)のように二つのFETを並列に並べ、そのゲート電圧を制御することで実現している。この回路は負性抵抗を含むが安定であることが示されている^{(17),(18)}。Meadのチップと同様、このチップでも2次元ネットワークを六角形構造にしているが、これは四角形構造に比べ空間応答の対称性(Circular Symmetry)が良いためと、六角形構造は最も効率の良い2次元サンプリングであることが知られている⁽²²⁾ためである。

5.3 動き検出チップ

動き検出は極めて難しい問題であって、生理学においてもそのメカニズムは完全には解明されておらず決定的なアルゴリズムはない。最大の困難の一つは、2次元画像入力(空間/時間)微分をとらねばならない点にあると思われる。しかし、いくつかの重要な試みは行われている^{(21),(30)}。時空間微分をとるチップ、 $\nabla^2 G$ フィルタをかけそのゼロ交差点の動きを検出するチップ等が開発されている。

5.4 適応網膜チップ

ビジョンチップではサブスレッシュホールド領域 CMOS 回路が多く用いられるが、この回路はオフセットが大きく精度があまり良くない。そこで Mead は図11に示すように回路の一部にフローティングゲートを用い、その電荷量を紫外線で制御しスレッシュホールド電圧を調整すること

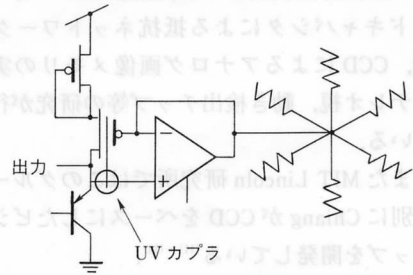


図11 Meadにより提案された適応網膜チップの回路 フローティングゲートを用い、その電荷量を紫外線で制御しスレッシュホールド電圧を調整することで精度を向上させる. ©1990 IEEE.

でオフセットを減少させる方式を提案した。このようにした回路でより鮮明な画像を得ている。フローティングゲートを用いる方法はデジタルの分野では EPROM, EEPROM に用いられている。但しこれらはやや特殊な(2層ポリシリコン) CMOS プロセスを必要とする。

5.5 抵抗ヒューズ

MIT の Harris は 2.4(c) で述べたエッジ検出アルゴリズム(抵抗ヒューズ回路網)をチップとして実現し、エッジ検出の実験を行った(図12)⁽²⁴⁾。ノイズを含んだ入力画像からきれいに

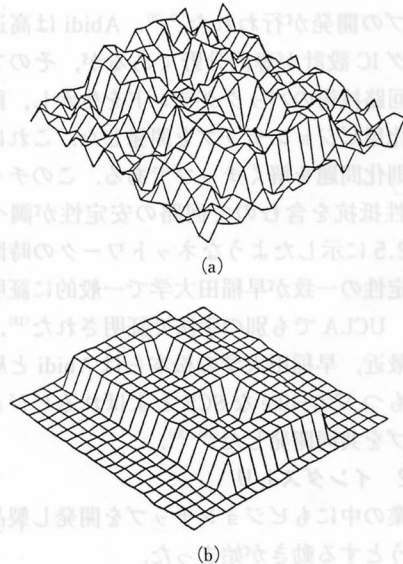


図12 抵抗ヒューズチップ(20×20画素)によるエッジ検出の測定結果 (a) 入力画像 (b) 出力画像 ノイズを含んだ入力画像からエッジ検出ができています. ©1991 Harris.

エッジが検出されていることがわかる。Harris は抵抗ヒューズを MOS FET 36 個で実現したが、近年 MIT の Yu らは少数の MOS FET で実現した⁽²⁹⁾。図 13 (a) に示す構成は 11 個の Enhancement Mode の MOS FET で実現したものである。抵抗値、ヒューズの切れる電圧値が外部から制御できる。図 13 (b) に示す構成は 4 個の Depletion Mode の MOS FET による実現である。Depletion Mode の NMOS (PMOS) はスレッシュホールド電圧が負 (正) であり、通常の Enhancement Mode の NMOS (PMOS) に比べ極性が反転しているが、これを実現するためには、やや特殊な IC プロセス工程を要する。

5.6 位置方向検出チップ

2次元画像のモーメントには多くの情報が含まれており、重心、オリエンテーション等を計

算することができる。MIT ビジョンチッププロジェクトの Standley はあるクラスの 2次元 並列抵抗回路網のキルヒホッフ電流則が (離散型) Green の定理に対応している点に着目し、抵抗回路網の周辺電流 (1次元) のみから 0, 1, 2次モーメントの計算を行った (図 14)^{(26), (27)}。このモーメントを計算することで、物体の位置、方向を精度よく検出できる。

5.7 SCE ($\nabla^2 G$ -like) チップ

早稲田大学の松本らから提案された 2層回路網アーキテクチャ (図 15) は九州工大の八木による網膜神経回路の等価電気回路モデルからヒントを得たものである⁽³²⁾。1層目で 1次正則化問題が解かれ、2層目で 2次正則化問題が解かれる。1層目から 2層目のノード電圧を引くと画像のコントラスト強調だけでなく平滑化も

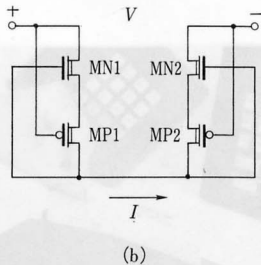
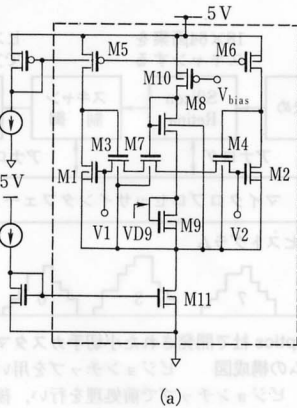


図 13 MITでの抵抗ヒューズ実現 (a) 11 トランジスタによる構成法 (b) 4 トランジスタによる構成法 抵抗ヒューズのアナログ CMOS 回路での実現法がさまざま提案されている。(a) では抵抗値、ヒューズの切れる値がバイアス電圧で外部から制御できる。(b) では Depletion Mode NMOS および PMOS (スレッシュホールド電圧が各々負および正) を用いている。©1990 IEEE.

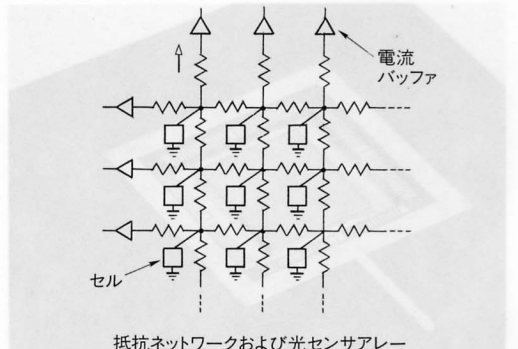
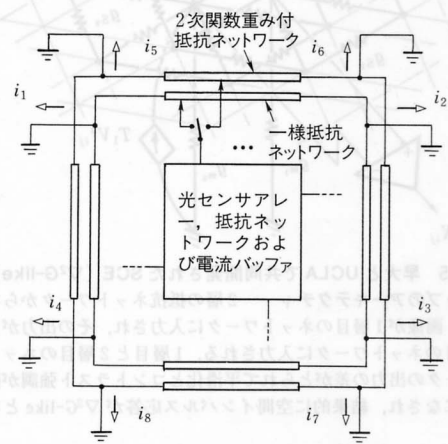


図 14 MIT で開発された位置・方向検出チップ 離散型 Green の定理により、抵抗ネットワークで物体の 1, 2次モーメントが得られ、位置・方向が計算される。©1990 IEEE.

同時に行われ、結果的に SCE (Smoothing-Contrast Enhancement) フィルタとなり、これは $\nabla^2 G$ -like な応答を示す。この構造は隣りのノードに対する正抵抗の結合だけのネットワークからなるので、安定性の問題は完全に解消され、配線の複雑さは激減される⁽⁹⁾。図 16 にチップの写真、図 17 に実際に測定された入力画像(左)と出力画像(右)を示す^{(19),(20)}。

5.8 小切手カスタマーナンバー認識システム

Synaptics 社から発表されたこのシステムは、

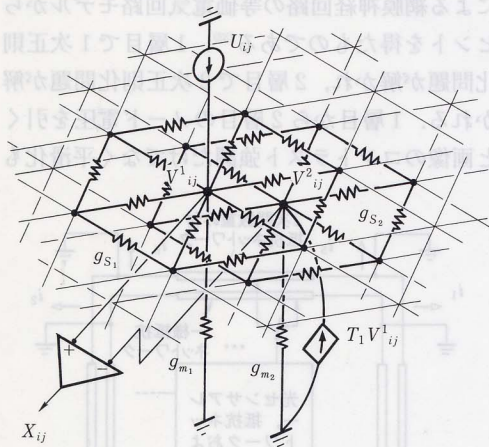


図 15 早大と UCLA で共同開発された SCE ($\nabla^2 G$ -like) チップのアーキテクチャ 2層の抵抗ネットワークからなる。画像が1層目のネットワークに入力され、その出力が2層目のネットワークに入力される。1層目と2層目のネットワークの出力の差がとられて平滑化とコントラスト強調が同時になされ、結果的に空間インパルス応答が $\nabla^2 G$ -likeとなる。

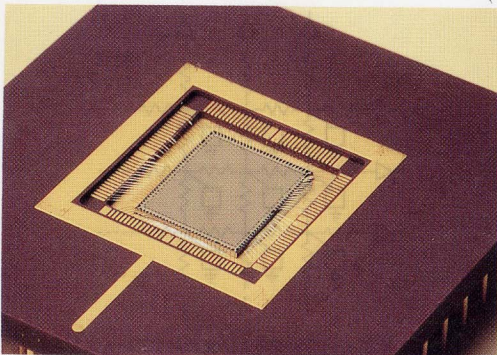


図 16 SCE ($\nabla^2 G$ -like) チップの写真 9.2mm×7.8mmのアナログ CMOS VLSI に14万個のトランジスタが作りこまれ53×52画素が実現されている。

詳細は明らかにされていないのでどのような学習パラダイムが用いられているか不明であるが、既に数多くのテストを完了しており(1991 NIPS)、確信を持っているとの印象を与えている。チップの半分は既に述べた網膜を模倣した

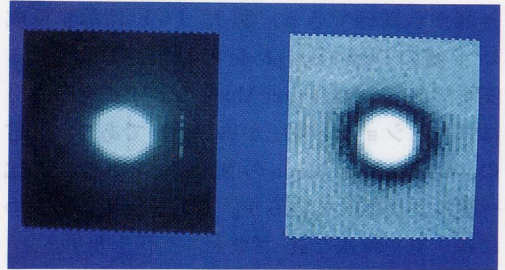


図 17 SCE ($\nabla^2 G$ -like) チップの測定結果 (a) 入力画像 (b) 出力画像 円形の入力画像(左)に対し、平滑化とコントラスト強調が同時にほどこされた出力画像(右)が得られている。

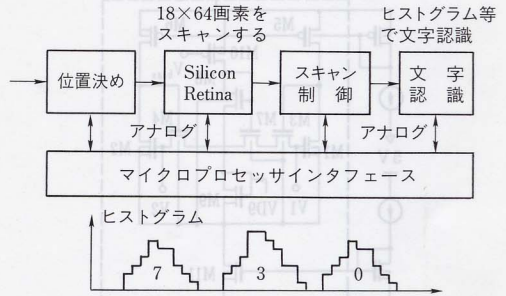


図 18 Synaptics 社で開発された小切手カスタマーナンバー認識システムの構成図 ビジョンチップを用いた最初の本格的な製品。ビジョンチップで前処理を行い、後段のアナログプロセッサで認識のための処理を行う。

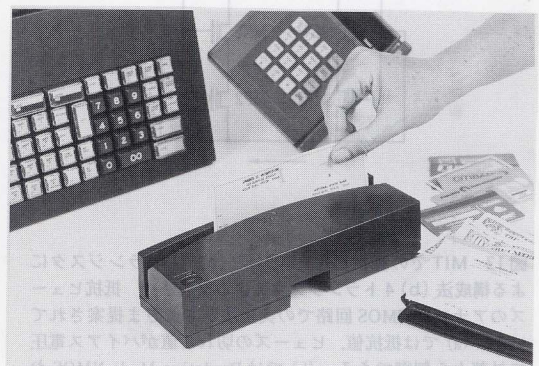


図 19 小切手カスタマーナンバー認識システムの写真 ©Synaptics Inc.

入力部 (18×64 画素), 残りの半分には学習機能が備わった認識部が組み込まれている (図 18). 20,000 画像/秒のスピードで画像を処理する. これはビジョンチップを用いた最初の本格的な製品といえよう (図 19).

6. ま と め

画像センサと画像処理機能を持つアナログ CMOS VLSI, ビジョンチップが米国大学を中心に研究開発され, 米国のベンチャー企業では本格的な製品を出すところも現れた. ビジョンチップはセンサがある程度の信号処理機能を有しているスマートセンサの一つと見ることもできる. 従来のアナログ IC は A-D, D-A 変換器のようにアナログとデジタルとのインタフェース部に多く使われており, 信号処理部はデジタル回路が受け持つことが多かった. しかし, ビジョンチップの小規模ハードウェア, 高速処理はアナログ信号処理への道を開くものと期待できる. また, 従来のアナログ IC は小規模のものが多かったが, ビジョンチップは LSI 技術の分野でアナログ VLSI の領域を生みだし, ささまざまな回路技術もそこで提案されている^{(8), (10), (12), (26), (20)}. (なお, 解説をするため文献を調べたが, 100% 網羅できたかどうか分からない.) ビジョンチップの開発過程で回路網理論上の新しい定理も導きだされており, また, 生理学を参考にしたビジョンチップの新しいアーキテクチャが生まれている. 網膜の情報処理, 特に内網状層における情報処理機構を明らかにし, その知見に基づいたチップを実現することは高度にチャレンジングな, そして非常に面白い問題であろう. そのようなプロジェクトを遂行する研究者 (群) は, 当然生理学に精通していなければならない, また現在利用可能なテクノロジー (シリコン, GaAs 等) の機能とその限界を知りつくしていなければならない. 加えて現在手に入る “カナモノ” にのせ得るアルゴリズムを考え付く能力が要求される. このよ

うなアナログ VLSI はさまざまな分野とかかわりあいを持ちながら, 今後一層普及されることが期待される.

文 献

- (1) 安田稔, 山口幸也, 福島邦彦, 長田昌次郎: “視覚系受容野の電子回路モデル”, 信学論, 54-C, 6, pp.514-521 (1971-06).
- (2) 石川正俊: “マトリクス状センサからの出力分布の中心の位置と総和の検出方法”, 計測自動制御学会論文集, 19-5, pp.381-386 (1983).
- (3) 石川正俊, 吉澤修治: “多層型並列処理回路を用いた n 次モーメントの検出方法”, 計測自動制御学会論文集, 25-8, pp.904-906 (1989).
- (4) 石川正俊: “並列処理を用いた能動的センサシステム”, 計測自動制御学会論文集, 24-8, pp.860-866 (1988).
- (5) Mead C.: “Analog VLSI and Neural Systems”, Addison-Wesley Reading, MA (1989).
- (6) Vittoz E.A.: “Micropower Techniques”, Design of MOS VLSI Circuits for Telecommunications, Tsividis Y. and Antognetti P. ed., Prentice-Hall, Englewood Cliffs, NJ (1985).
- (7) Kobayashi H., White J.L. and Abidi A.A.: “An Active Resistor Network for Gaussian Filtering of Images”, IEEE J. Solid-State Circuits, 26, 5, pp.738-748 (May 1991).
- (8) Kobayashi H., White J.L. and Abidi A.A.: “An Analog CMOS Network for Gaussian Convolution with Embedded Image Sensing”, ISSCC Digest of Technical Papers, pp.216-217, San Francisco (Feb. 1990).
- (9) Kobayashi H., Matsumoto T., Yagi T., and Shimmi T.: “Image Processing Regularization Filters on Layered Architecture”, Neural Networks (in press).
- (10) Wyatt J.L.Jr., Standley D.L. and Yang W.: “The MIT Vision Chip Project: Analog VLSI Systems for Fast Image Acquisition and Early Vision Processing”, Proc. 1991 IEEE Int. Conf. Robotics Automation, pp.1330-1335 (April 1991).
- (11) Chiang A.M. and LaFranchise J.R.: “A Programmable Image Processor”, ISSCC Digest of Technical Papers, pp.214-215, San Francisco (Feb. 1991).
- (12) Yang W. and Chiang A.M.: “A Full Fill-Factor CCD Imager with Integrated Signal Processors”, ISSCC Digest of Technical Papers, pp.218-219, San Francisco (Feb. 1990).
- (13) Chiang A.M. and Chuang M.L.: “A CCD Programmable Image Processor and its Neural Network Applications”, IEEE J. Solid-State Circuits, 26, 12, pp.1891-1894 (Dec. 1991).
- (14) Chiang A.M.: “A CCD Programmable Signal Processor”, IEEE J. Solid-State Circuits, 25, 6, pp.1510-1517 (June 1990).
- (15) Gruss A., Carley L.R. and Kanade T.: “Integrated Sensor and Range-Finding Analog Signal Processor”, IEEE J. Solid-State Circuits, 26, 3, pp.184-191 (March 1991).
- (16) Carley L.R.: “Trimming Analog Circuits Using Floating-Gate Analog MOS Memory”, IEEE J.

- Solid-State Circuits, 24, 6, pp.1569-1575 (Dec. 1989).
- (17) Matsumoto T., Kobayashi H. and Togawa Y.: "Spatial Versus Temporal Stability Issues in Image Processing Neuro Chips", IEEE Trans. Neural Networks, 3, 4, pp.540-569 (July 1992).
- (18) White J.L. and Willson A.N.: "On the Equivalence of Spatial and Temporal Stability for Translation Invariant Linear Resistive Networks", IEEE Trans. Circuits and Systems-I, 39, 9, pp.734-743 (Sept. 1992).
- (19) Matsumoto T., Shimmi T., Kobayashi H., Abidi A.A., Yagi T. and Sawaji T.: "A Second Order Regularization Vision Chip for Smoothing-Contrast Enhancement", Proc. of IJCNN 92, Beijing (Nov. 1992).
- (20) Shimmi T., Kobayashi H., Yagi T., Sawaji T., Matsumoto T. and Abidi A.A.: "A Parallel Analog CMOS Signal Processor for Image Contrast Enhancement", Proc. of European Solid-State Circuits Conference (Sept. 1992).
- (21) Bair W., Koch C., Moore A., Horiuchi T., Bishofberger B. and Lazzaro J.: "Computing Motion Using Analog VLSI Vision Chips: An Experimental Comparison Among Four Approaches" (submitted).
- (22) Dudgeon D. and Mersereau R.: "Multidimensional Signal Processing", Prentice Hall, Englewood Cliffs, NJ (1984).
- (23) Mead C. and Mahowald M.: "A Silicon Model of Early Visual Processing", Neural Networks, 1, 1, 1, pp.91-97 (1988).
- (24) Harris, J.: "Analog Models for Early Vision", PhD Thesis, California Institute of Technology (1991).
- (25) Tanner J.E.: "Integrated Optical Motion Detection", PhD Thesis, California Institute of Technology (1986).
- (26) Standley D.L. and Horn B.K.: "An Object Position and Orientation IC with Embedded Imager", ISSCC Digest of Technical Papers, pp.38-39, San Francisco (Feb. 1991).
- (27) Standley D.L.: "An Object Position and Orientation IC with Embedded Imager", IEEE J. Solid State Circuits, 26, 12, pp.1853-1859 (Dec. 1991).
- (28) Standley D.L. and Wyatt J.L.Jr.: "Stability Criterion for Lateral Inhibition and Related Networks that is Robust in the Presence of Integrated Circuit Parasitics", IEEE Trans. Circuits and Systems, 36, pp.675-681 (May 1989).
- (29) Yu P.C., Decker S.J., Lee H.-S., Sodini C.G., Wyatt J.L.Jr.: "CMOS Resistive Fuses for Image Smoothing and Segmentation", IEEE J. Solid-State Circuits, 27, 4, pp.545-553 (April 1992).
- (30) Hutchinson J., Koch C., Luo J. and Mead C.: "Computing Motion Using Analog and Binary Resistive Network", IEEE Computer, 21, pp.52-63 (March 1988).
- (31) Mathur B., Liu S.C. and Wang H.T.: "Analog Neural Networks for Focal-Plane Image Processing",

SPIE 1242, pp.141-151 (1990).

- (32) Yagi T., Arika F. and Funahashi Y.: "Dynamic Model of Dual Layer Neural Network for Vertebrate retina", Proc. IJCNN, Washington, 1, pp.787-789 (1989).

Credits

図 10: Reprinted with permission from Kobayashi H., White J.L. and Abidi A.A.: "An Active Resistor Network for Gaussian Filtering of Images", IEEE J. Solid-State Circuits, 26, 5, pp.738-748 (May 1991). ©1991 IEEE.

図 11: Reprinted with permission from C. Mead "Neuromorphic Electronic Systems", Proc. of the IEEE, vol.78, no.10, pp.1629-1636 (Oct. 1990). ©1990 IEEE.

図 12: Reprinted with permission from Harris, J.: "Analog Models for Early Vision", PhD Thesis, California Institute of Technology (1991). ©1991 Harris.

図 13: Reprinted with permission from Yu P.C., Decker S.J., Lee H.-S., Sodini C.G., Wyatt J.L.Jr.: "CMOS Resistive Fuses for Image Smoothing and Segmentation", IEEE J. Solid-State Circuits, 27, 4, pp.545-553 (April 1992). ©1992 IEEE.

図 14: Reprinted with permission from Standley D.L.: "An Object Position and Orientation IC with Embedded Imager", IEEE J. Solid-State Circuits, 26, 12, pp.1853-1859 (Dec. 1991). ©1991 IEEE.

図 19: Reprinted with permission from Synaptics Inc. © Synaptics Inc.



まつもと たかし
松本 隆 (正員)

昭 41 早大・理工・電気卒。昭 44 ハーバード大学院・応用数学修士。昭 47 工博 (早大)。昭 52~54 カリフォルニア大パークレー・電気工学計算機科学研究員。非線形回路の分岐とカオス。ニューラルネットワークの研究に従事。現在、早大・理工・電気工学科教授。平 2~3 非線形問題研究専門委員会委員長。Proceedings of IEEE 編集委員。Circuits, Systems and Signal Processing 編集委員。



こばやし はるお
小林 春夫 (正員)

昭 55 東大・工・計数卒。昭 57 同大学院修士課程了。同年横河電機(株)入社。以来、計測器、ミニスーパーコンピュータの研究開発に従事。昭 62 帖平元 UCLA・電気・修士課程留学。アナログ CMOS 設計、ニューラルネットワークに関心を持つ。



やぎ てつや
八木 哲也 (正員)

昭 54 名大・理・物理卒。昭 60 同大学院医学研究科了。学術振興会特別研究員(生物学研究所)・名工大助手を経て、平 2 九工大情報工学部助教授。生体の視覚情報処理についての研究に従事。医博。IEEE、日本生理学会、神経回路学会、日本宇宙航空環境医学会各会員。