



# 素粒子実験エレクトロニクス ～かぐやのTDCからSOIセンサーまで～

2009年7月17日

アナログ集積回路研究会@群馬大学工学部

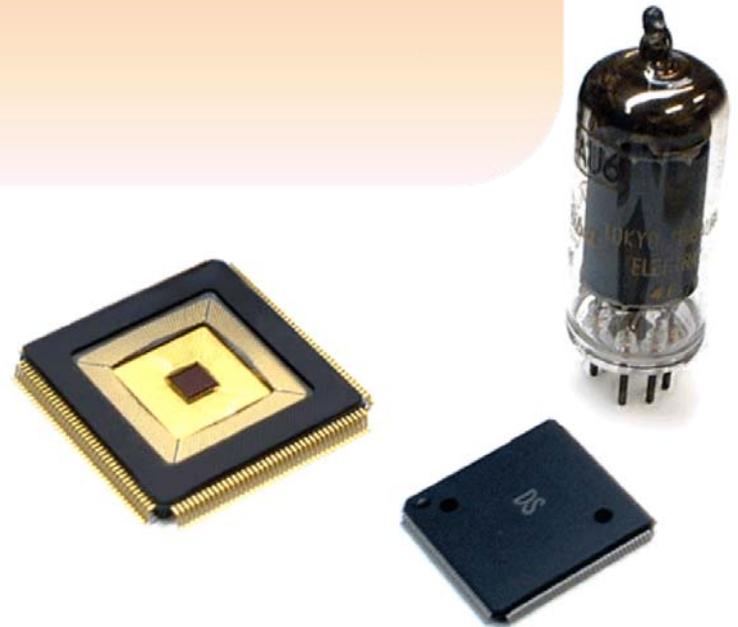
新井康夫 (yasuo.arai@kek.jp)

高エネルギー加速器研究機構 (KEK)

素粒子原子核研究所

# OUTLINE

1. KEKの紹介
2. TDC LSIの紹介
3. SOI Pixelの紹介
4. Summary



# 1. KEKの紹介

KEK (<http://www.kek.jp>)  
Established in 1971.

高エネルギー物理学研究所  
→ 高エネルギー加速器研究機構



高エネルギー加速器を  
使った素粒子・原子核・物  
質の研究。  
職員~700人

~2 km



# The Nobel Prize in Physics 2008

"for the discovery of the mechanism of spontaneous broken symmetry in subatomic physics"

"for the discovery of the origin of the broken symmetry which predicts the existence of at least three families of quarks in nature"

## KEK Professor Emeritus Makoto Kobayashi

# 日本人3氏ノーベル賞

## 南部・小林・益川氏に物理学賞



南部陽一郎さん



小林誠さん



益川敏英さん



Copyright © The Nobel Foundation 2008

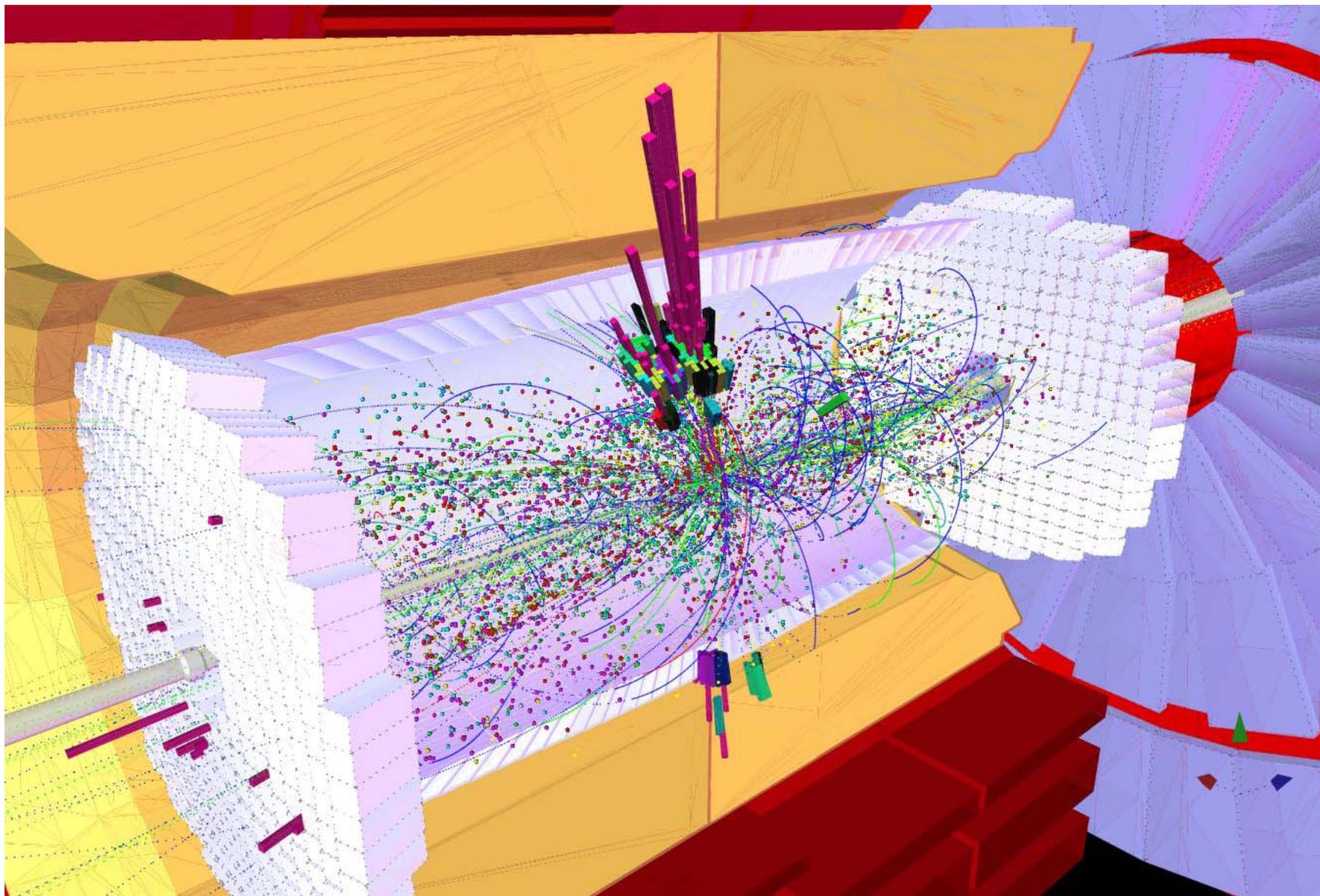
# *KEK-B Electron-Positron Colliding Beam Accelerator*

## Belle Detector



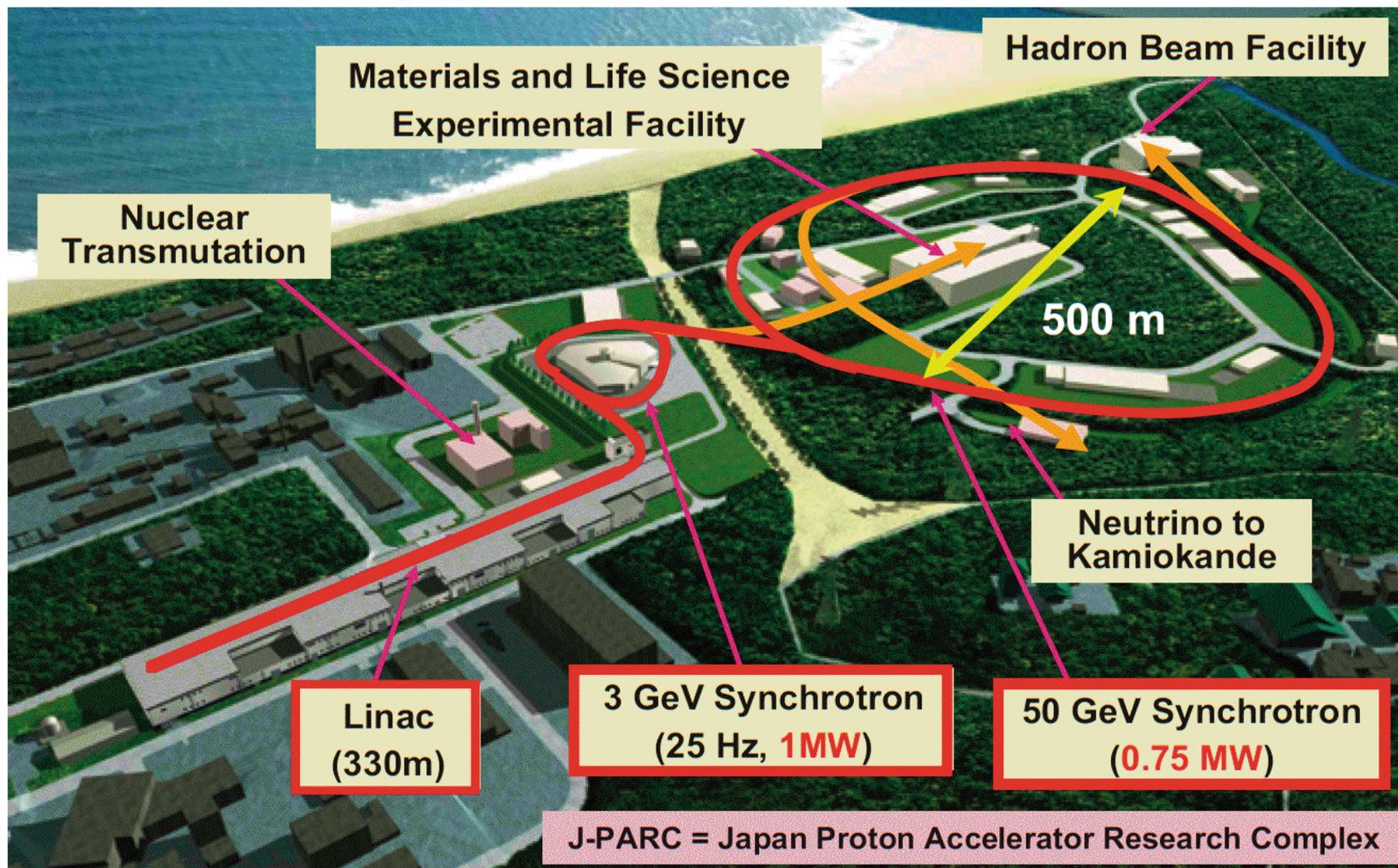
*CP対称性の破れの検証  
World Highest Luminosity!*

加速された粒子が衝突すると...



January 27, 2009.

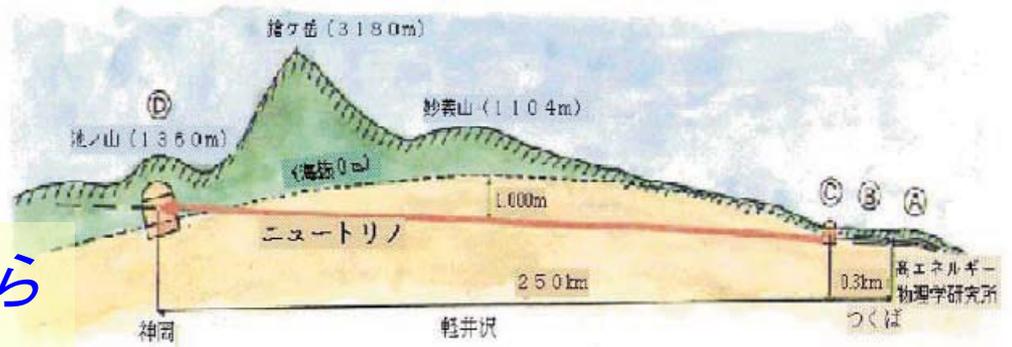
Protons were accelerated up to 30 GeV, and extracted to Hadron Experimental Hall!



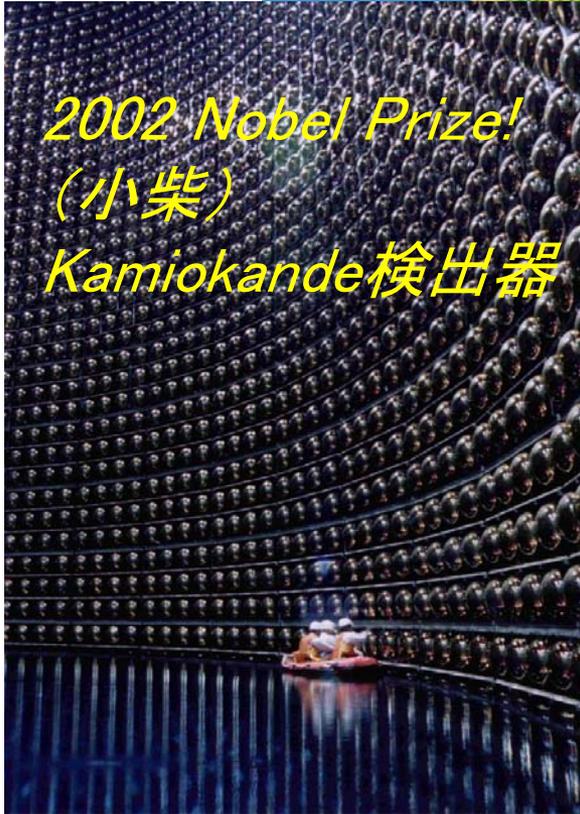
**Joint Project between KEK and JAEA**

# Neutrino Oscillation

K2K(KEK To Kamioka) 実験から  
T2K(Tokai To Kamioka)実験へ



2002 Nobel Prize!  
(小柴)  
Kamiokande検出器



# LHC(Large Hadron Collider)実験

$$\Delta x \approx \frac{\hbar c}{E}$$

CERN (欧州原子核研究所) @ジュネーブ

陽子-陽子衝突 @14TeV、2008.9 加速開始

LHC加速器、周長27 km

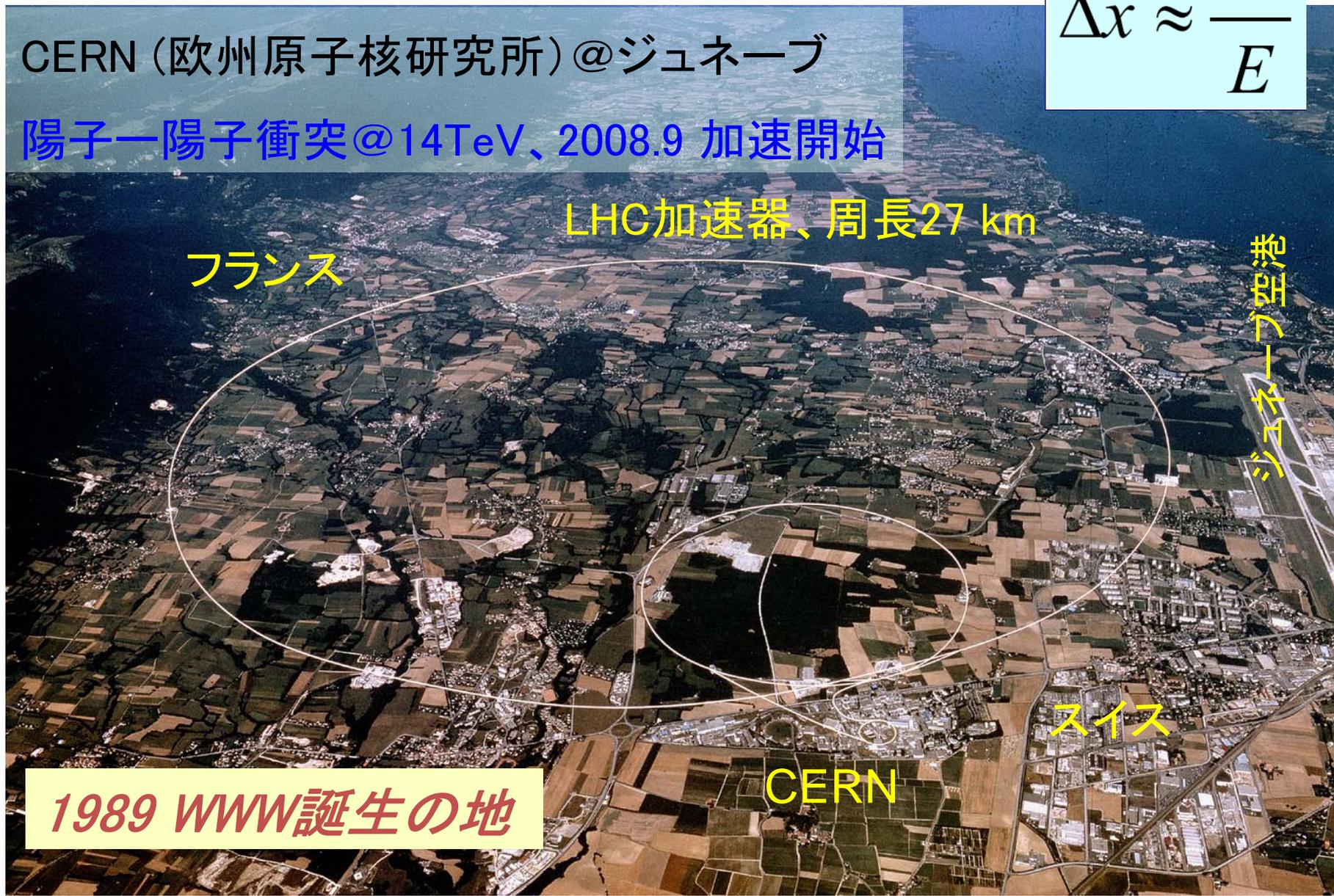
フランス

ジュネーブ空港

スイス

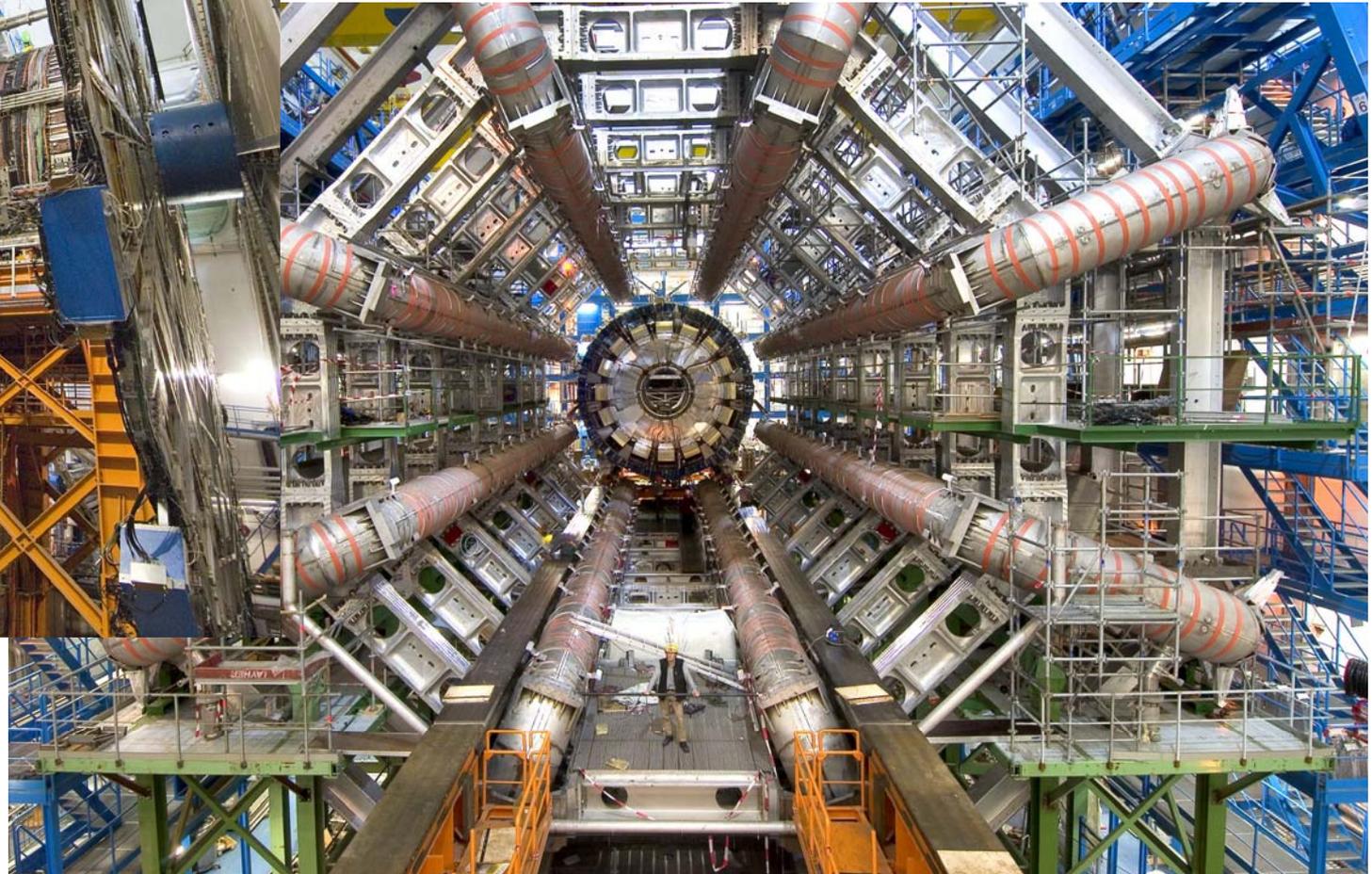
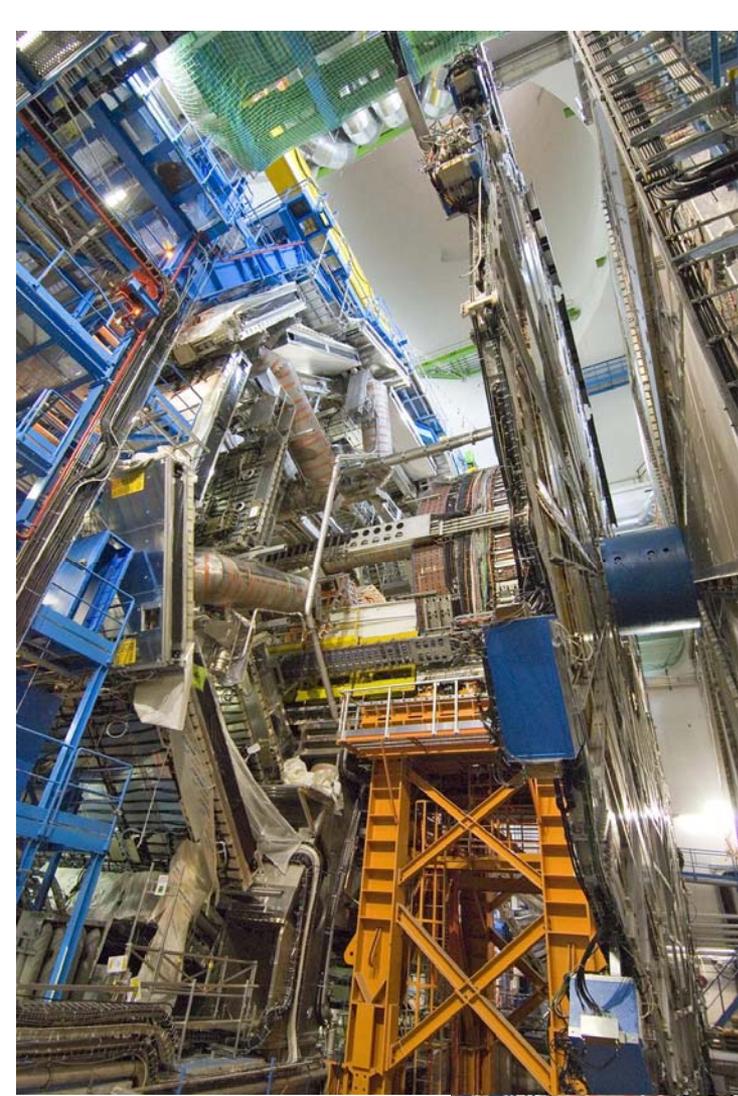
CERN

1989 WWW誕生の地

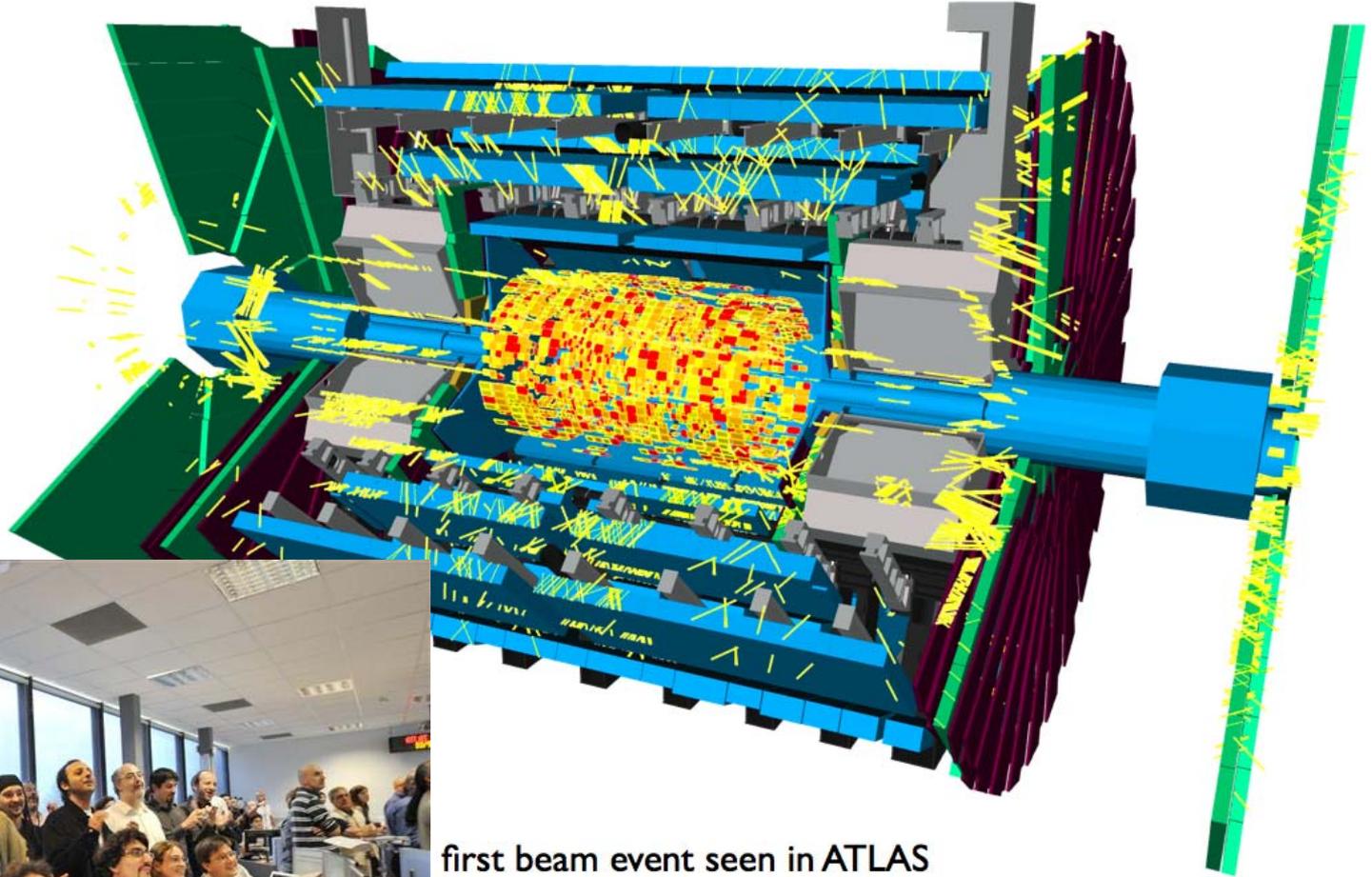


# ATLAS検出器

全長46m、高さ25m、重量7,000ton  
建設費500億円、研究者34ヶ国 ~1,300人



2008.9.10 LHC First Beam



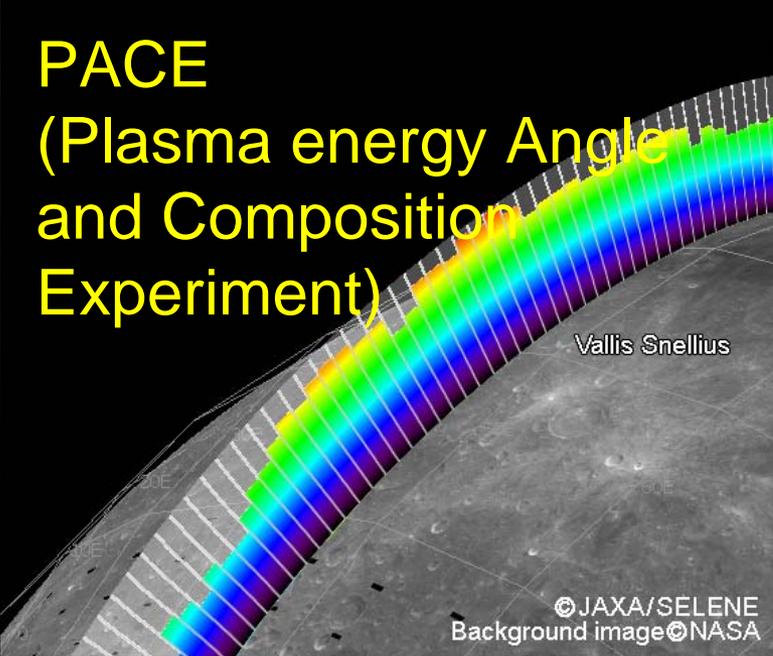
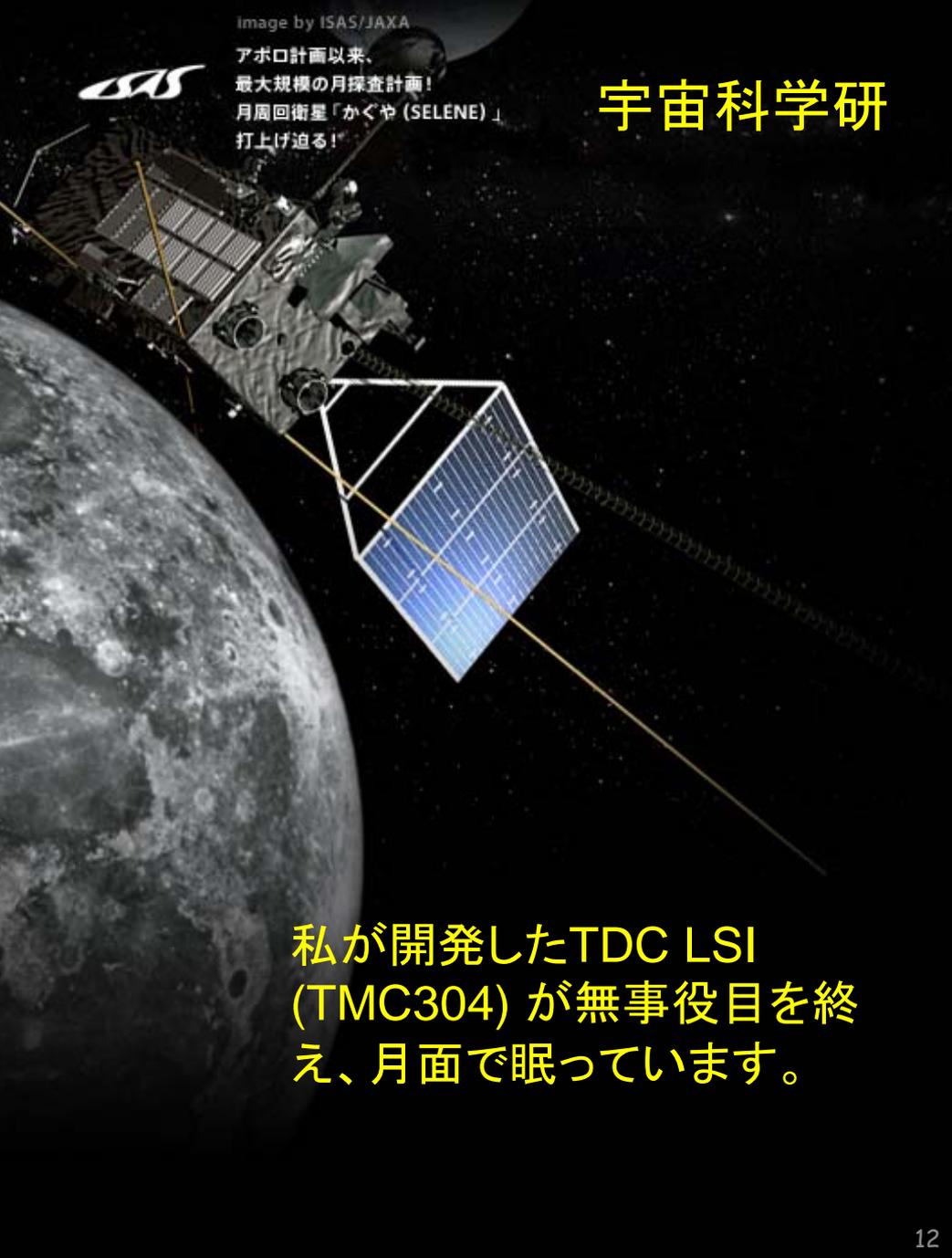
first beam event seen in ATLAS

日本の研究者も~100人参加。



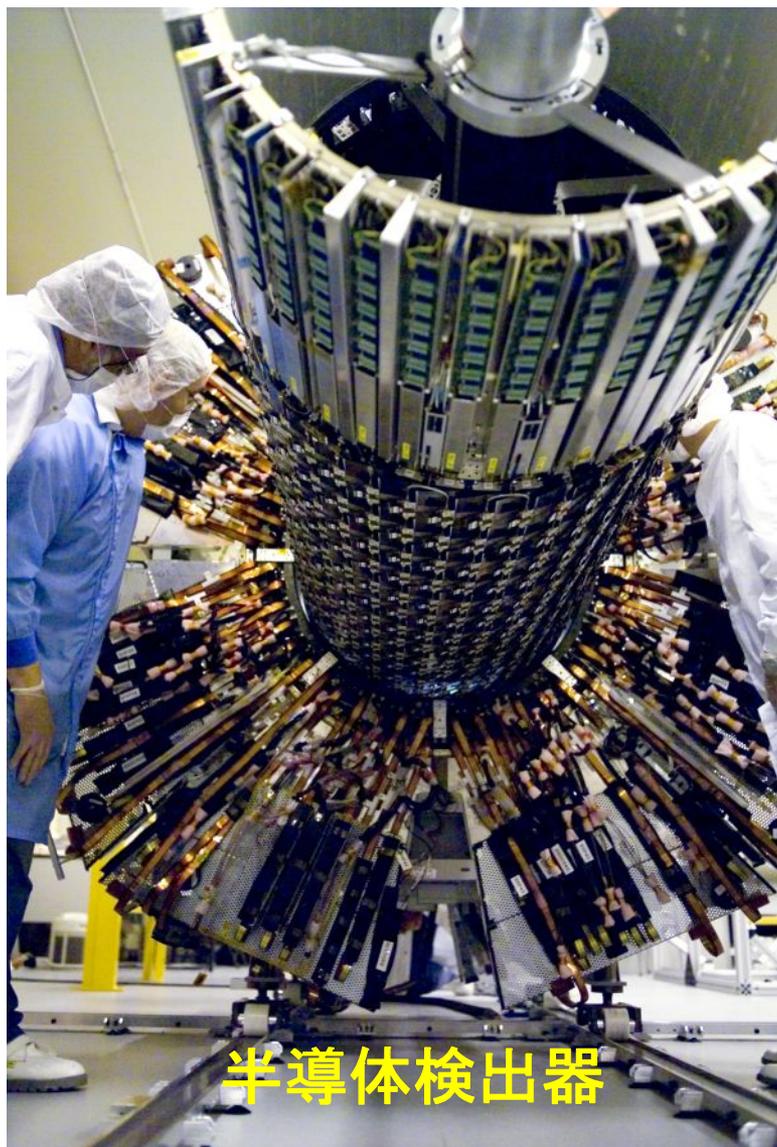
かぐや(SELENE)  
2007.9.14 打ち上げ  
2009.6.11 月面落下

Image by ISAS/JAXA  
アポロ計画以来、  
最大規模の月探査計画！  
月周回衛星「かぐや (SELENE)」  
打上げ迫る！



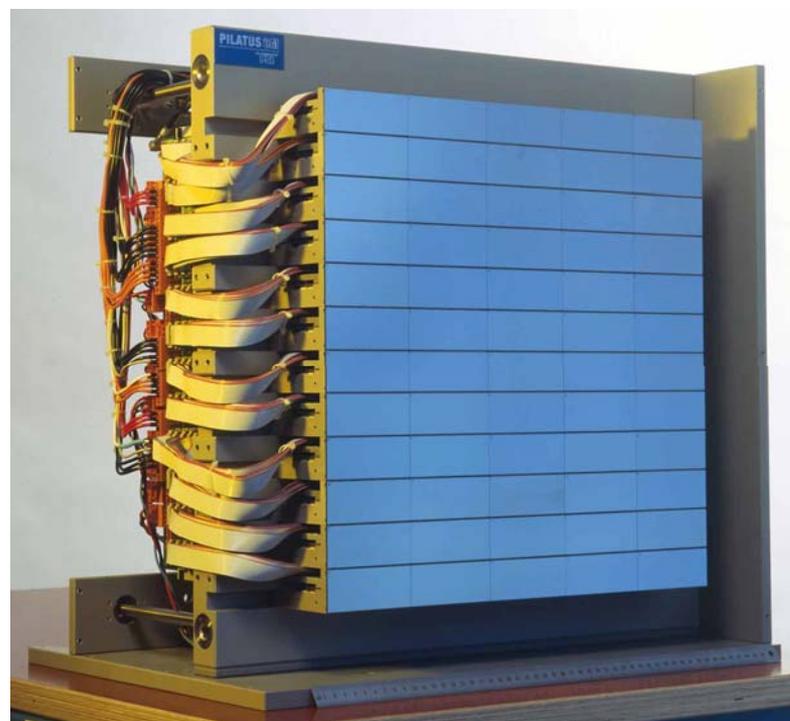
私が開発したTDC LSI (TMC304) が無事役目を終え、月面で眠っています。

# 高エネルギー加速器実験検出器



長い年月、大きな予算と  
高度な技術を使って開発。

高性能X線検出器

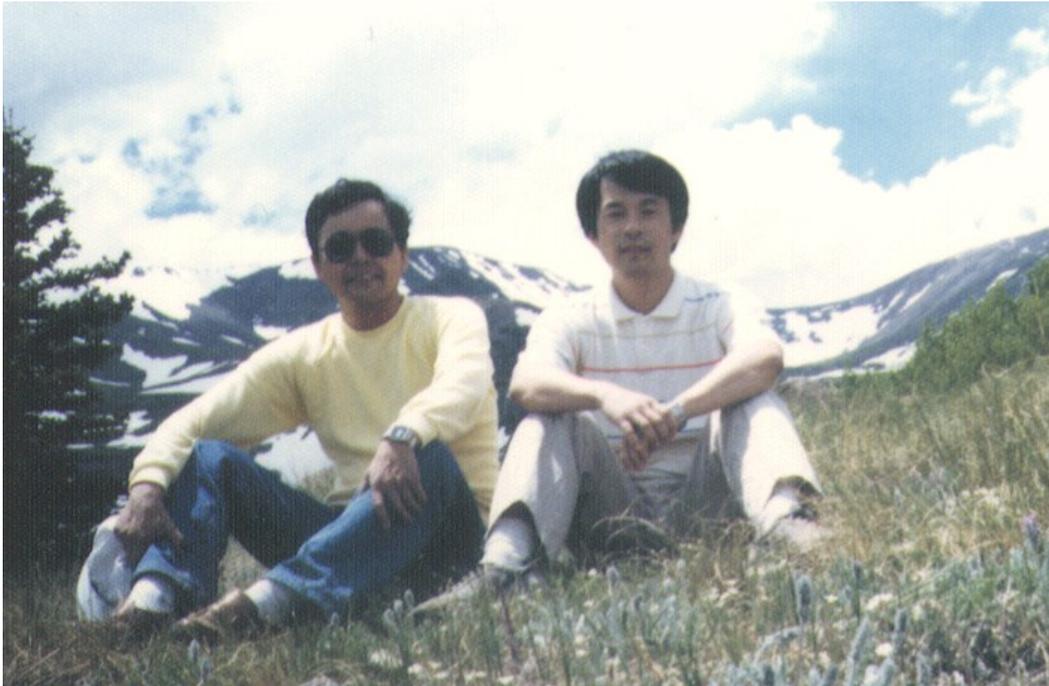


他分野への応用を常に図る。

## 2. TDC LSIの紹介



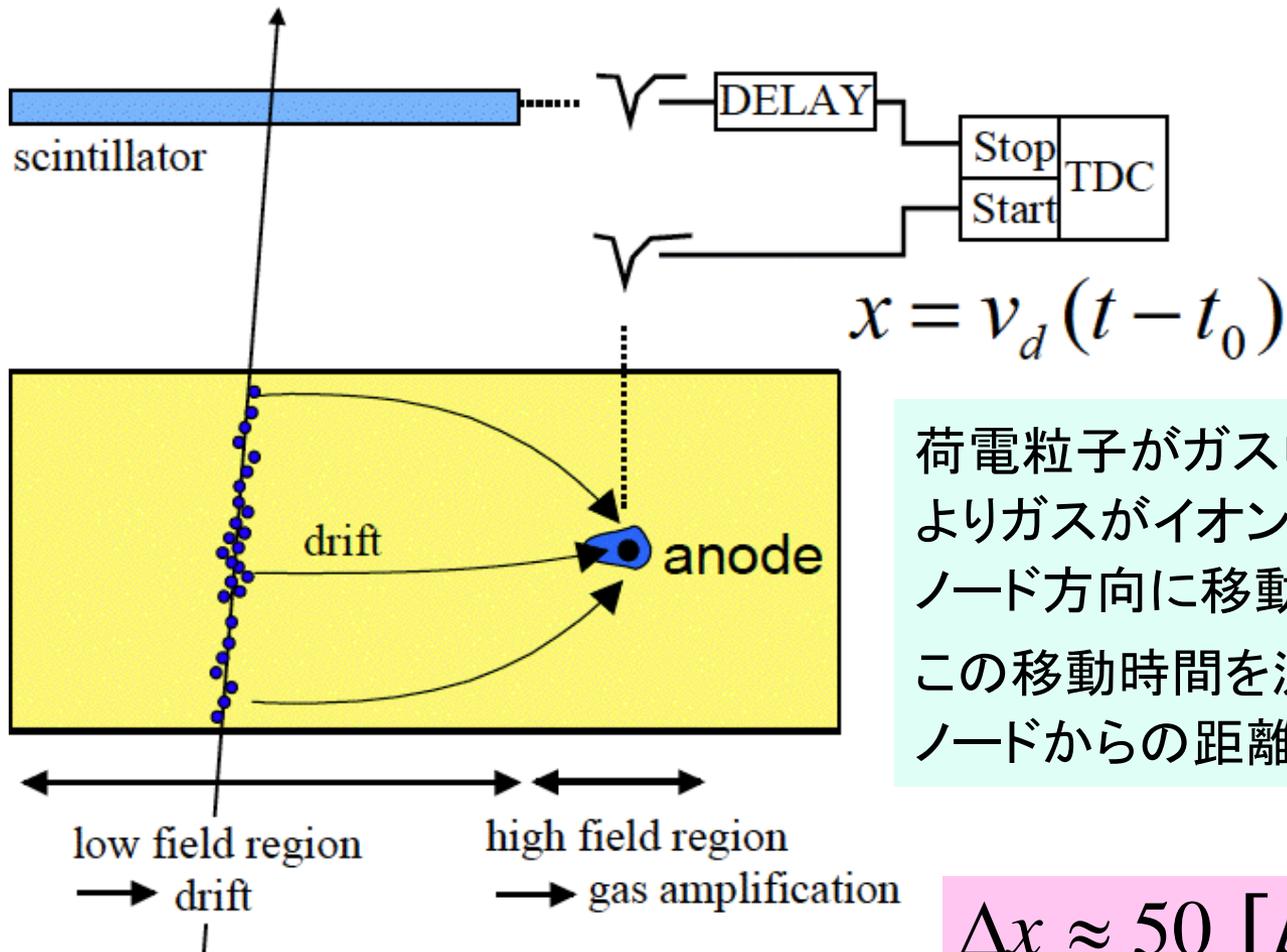
- 1980年代、高エネルギー実験の検出器のチャンネル数はますます増加し、検出器の外部に信号を取り出す事が難しくなって来た。
- 当時計画された米国のSuper-Conducting Super Collider (SSC) では、検出器内部に専用LSIを置く事が検討された。



SSC Summer  
Workshop at  
Snowmass, Colorado.  
1986

TDCを必要とする測定器

## ドリフトチェンバー



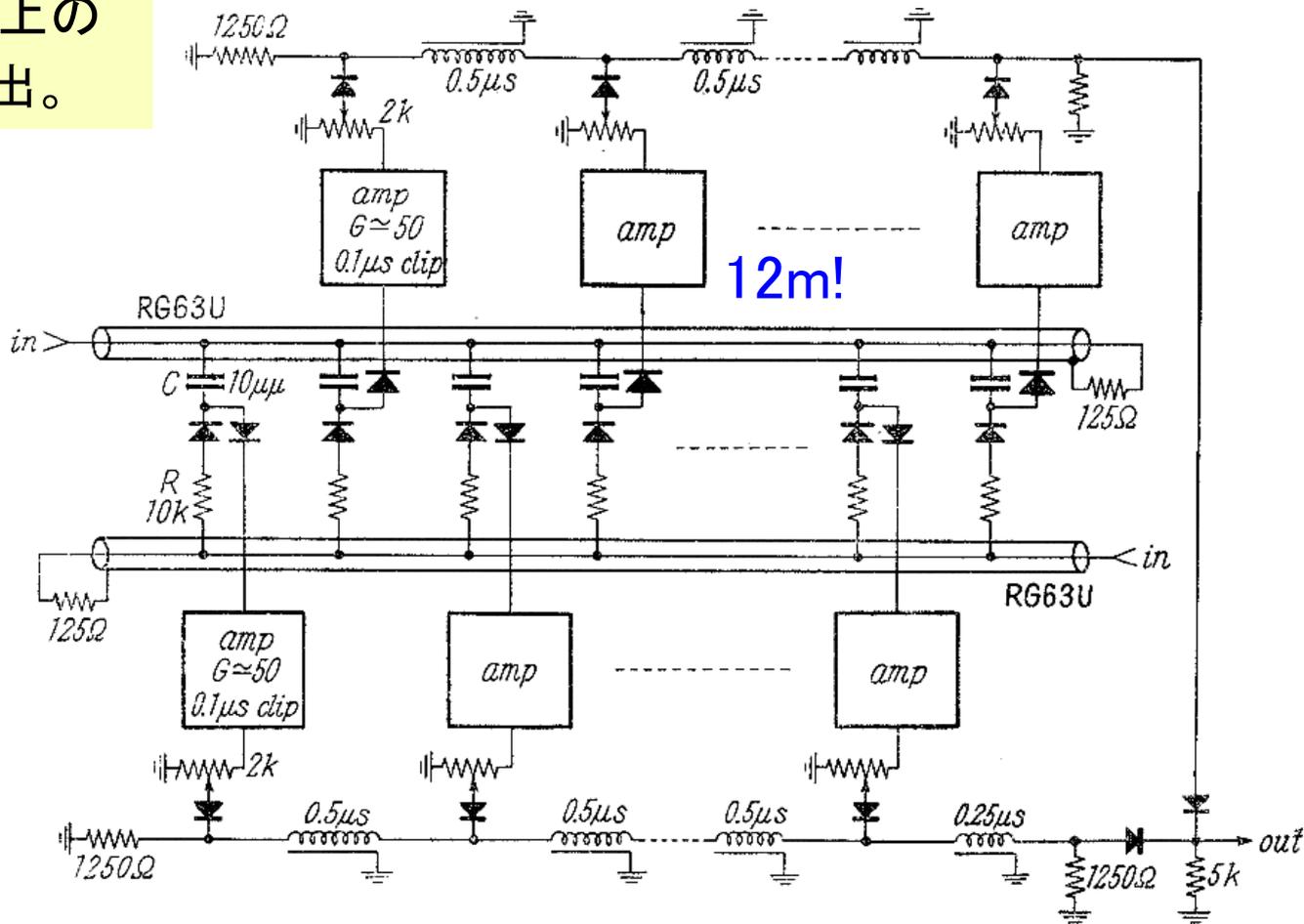
荷電粒子がガス中を通過することによりガスがイオン化され、電子がアノード方向に移動する。

この移動時間を測定する事により、アノードからの距離がわかる。

$$\Delta x \approx 50 [\mu\text{m} / \text{nsec}] \times \Delta t$$

# 昔のTDC回路

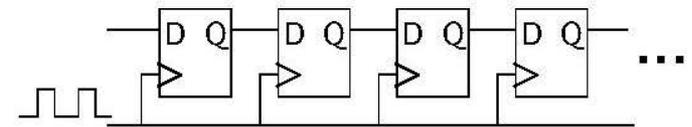
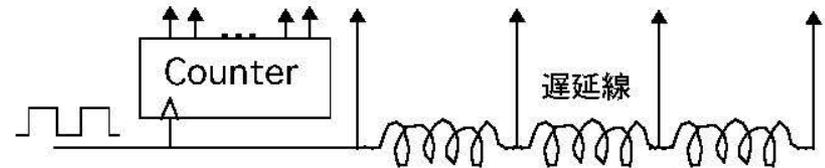
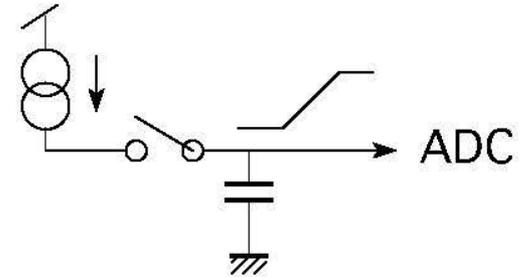
時間差を2本の同軸同軸ケーブル(~25cm/ns)上のパルスの重なりで検出。



棚橋五郎、  
日本物理学会誌  
Vo. 13(1958)72.

# 時間-デジタル変換(Time-to-Digital Converter)

- TDC
- Time to Amplitude Converter (TAC) 方式  
デッドタイム大、高価
  - Counter (+Interpolator) 方式  
低分解能、低密度
  - High Speed Shift Register方式  
消費電力大、高価



CMOS LSI向き回路

- ・ Gate Delay
- ・ Memory
- ・ PLL(DLL)

**Time Memory Cell (TMC)**

## AN IDEA OF DEADTIMELESS READOUT SYSTEM BY USING TIME MEMORY CELL

Yasuo Arai  
KEK, National Laboratory for High Energy Physics

and

Takashi Ohsugi  
Hiroshima University

LSIでサブナノ秒分解能、不感時間のないTDCを実現するには？

消費電力を減らすため遅延とメモリーを利用。

installation of these chips on the detector is a possible way to solve these problems. The microchip stores signals until trigger decision, it processes signals to reduce their data size and send them to outside with multiplexing after trigger decision. Those chips must be very low power device to avoid elaborative cooling system.

We propose an microchip named TMC (Time Memory Cell). which can be made with CMOS LSI of current state of art technology. It would be low power device and has time resolution better than 1 ns. We have made a preliminary design and simulation of the TMC.

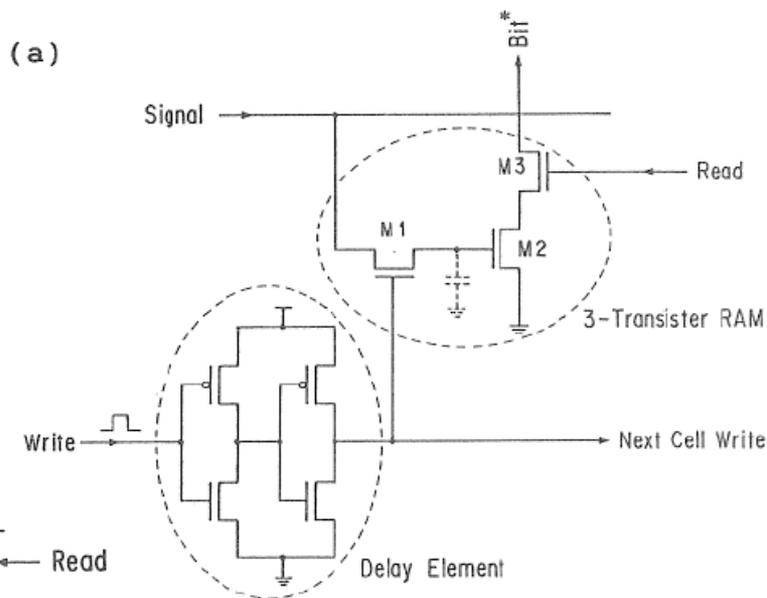
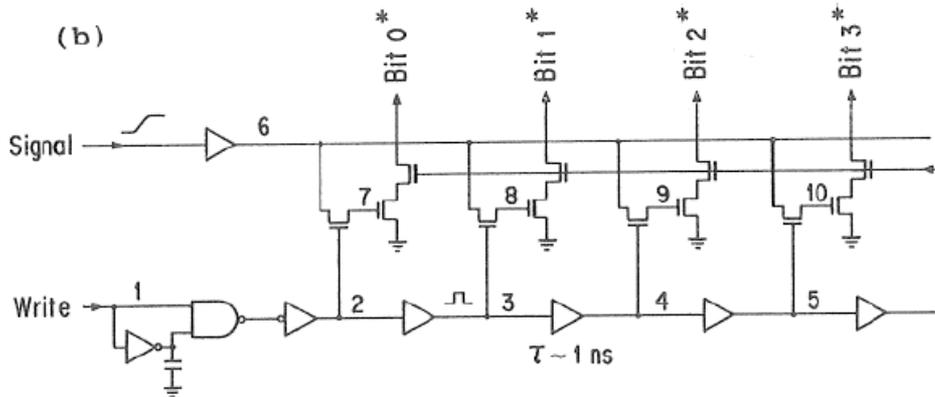
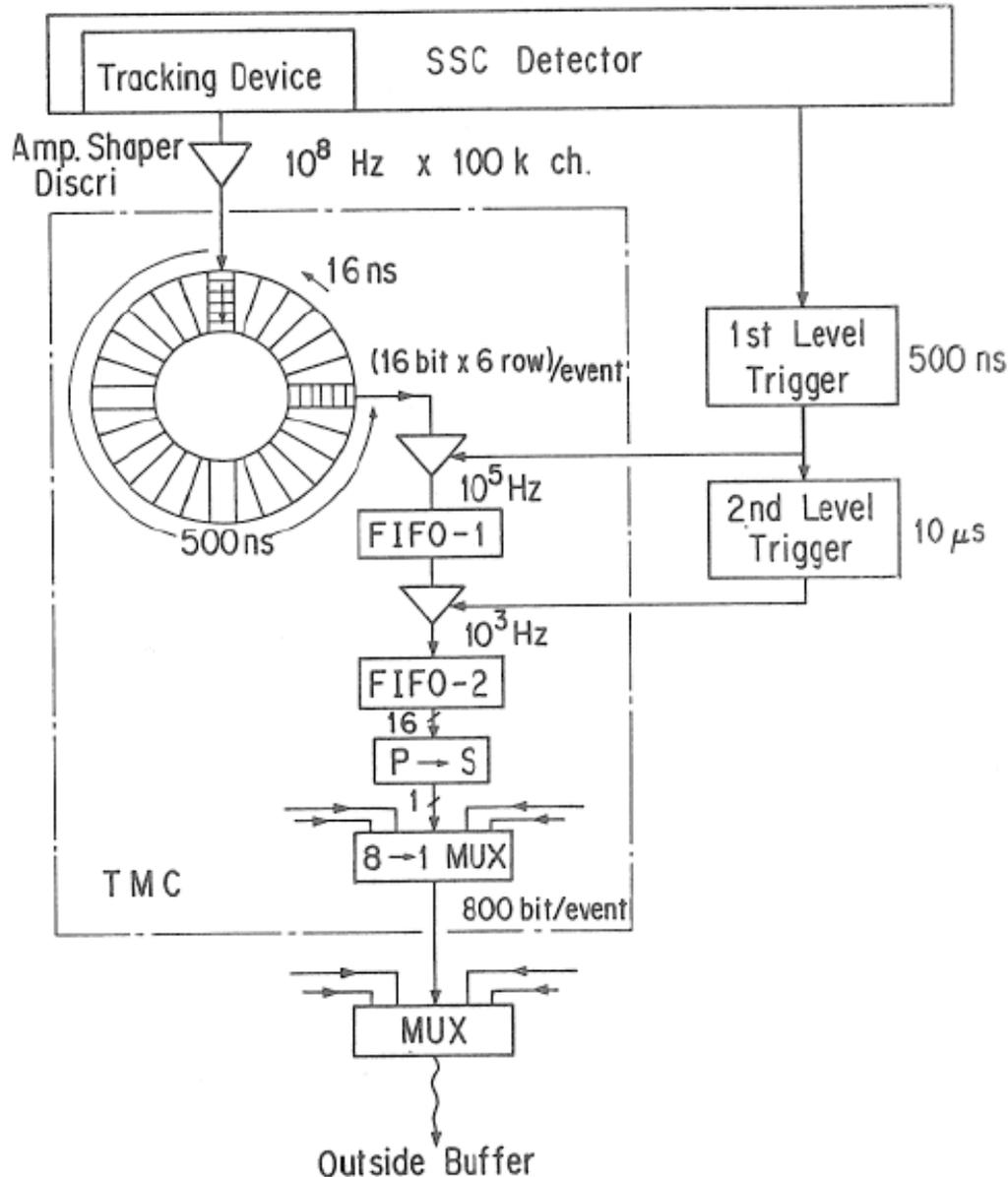


Fig.1 (a) Basic Time Memory Cell. Charge is stored in the gate capacitance of M2 Transistor. (b) Row Memory Cells. Numbers indicated are node numbers.

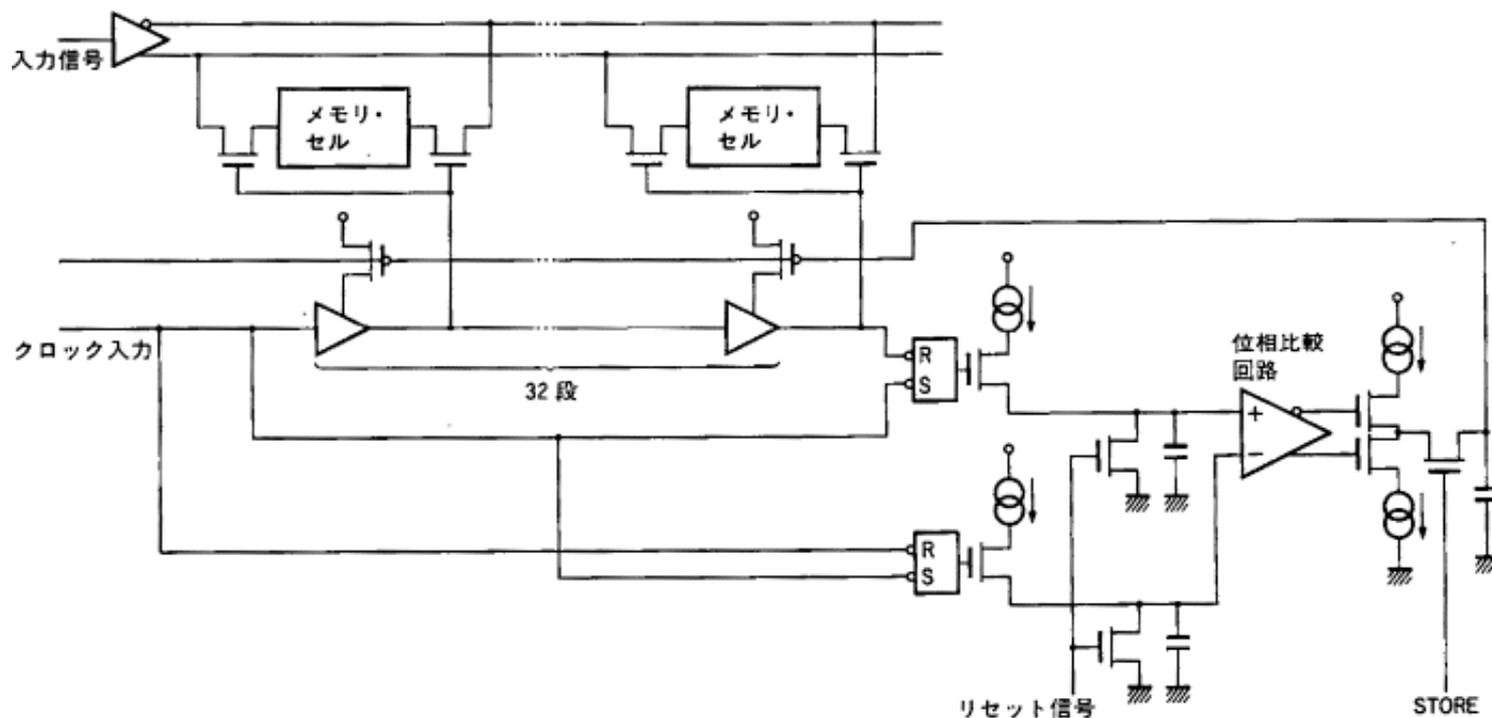


不感時間をなくすため  
前出のメモリーをリング  
上に構成し、書き込みと  
読み出しを同時に行う。

Fig.5 Readout scheme for SSC tracking device using the TMC.

# TMC Feedback回路

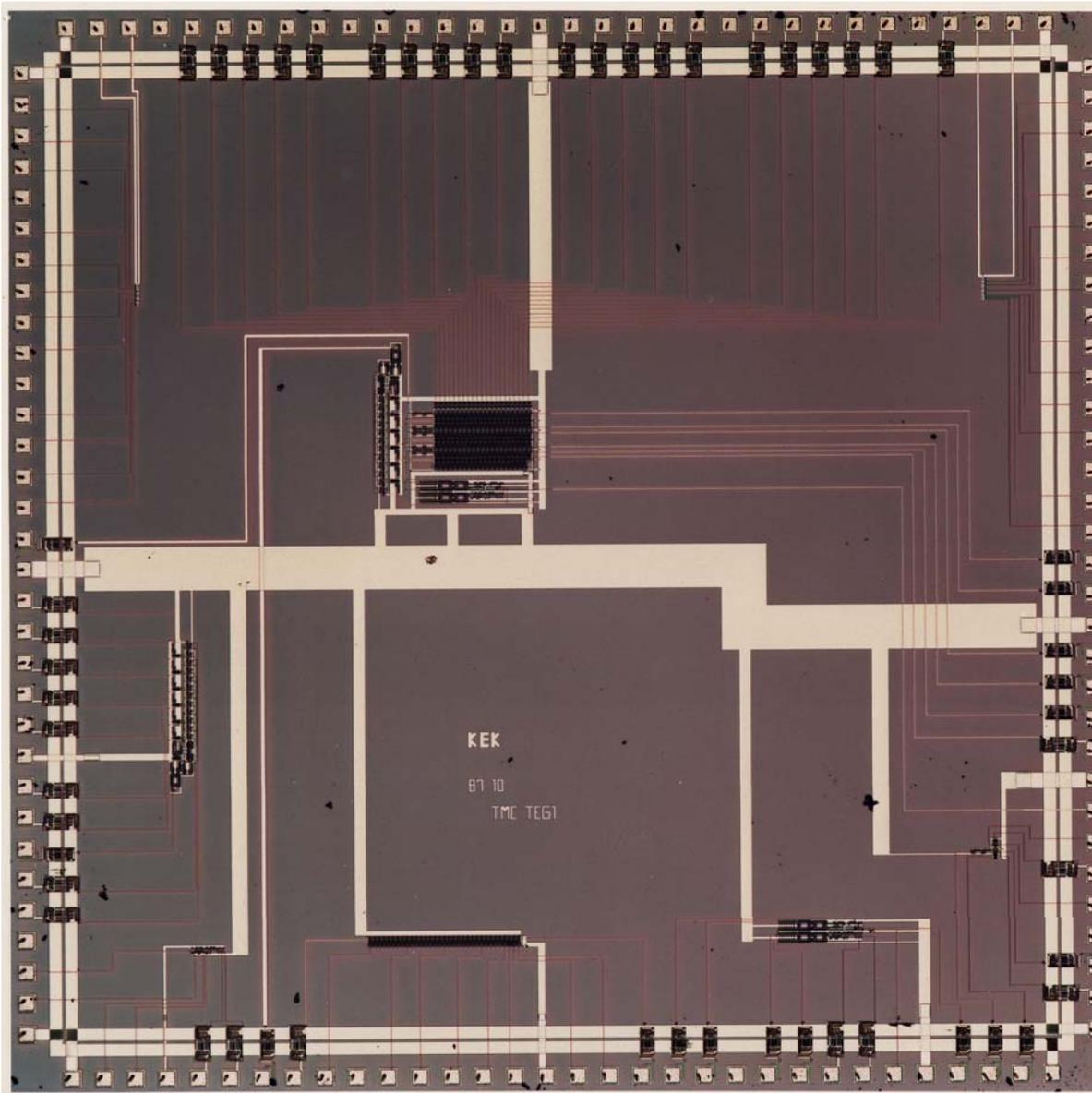
Delay Locked Loop (DLL)方式  
(まだ当時はDLLという言葉はな  
かったと思うが。



新井特許 第2535736号、“高精度多段遅延回路”、特願昭63-067314

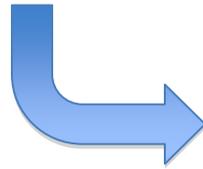
日経エレクトロニクス、1993.2.1(No. 573)p.129

## 最初のTMCテストチップ(1987.10)



NTT LSI研究所の  
0.8 $\mu$ m CMOSプロセス  
を使用して設計・  
試作させてもらう。

IEEE CAT. No. 88 TH 0227-9, 1988 Symposium on VLSI Circuits, Digest of Technical Papers, August 22-24, 1988/Tokyo



**A CMOS Time to Digital Converter VLSI for High-Energy Physics**

Y. Arai

*KEK, National Laboratory for High Energy Physics  
Oho, Tsukuba-shi, Ibaraki 305, Japan*

T. Baba

*NTT LSI Laboratories  
3-1 Morinosato Wakamiya, Atsugi-shi, Kanagawa 243-01, Japan*



**IEEE**

**IEEE JOURNAL OF SOLID-STATE CIRCUITS**

Bruce A. Wooley  
EDITOR

PLEASE REPLY TO:

A. A. Abidi  
IEEE JSSC  
7732E Boelter Hall  
University of California  
Los Angeles, CA 90024-1594  
Ofc: (213) 825 9490  
Fax: (213) 206 8495  
December 29, 1988

Dr. Y. Arai  
KEK National Lab for High Energy Physics  
Oho, Tsukuba-shi  
Ibaraki 305,  
JAPAN

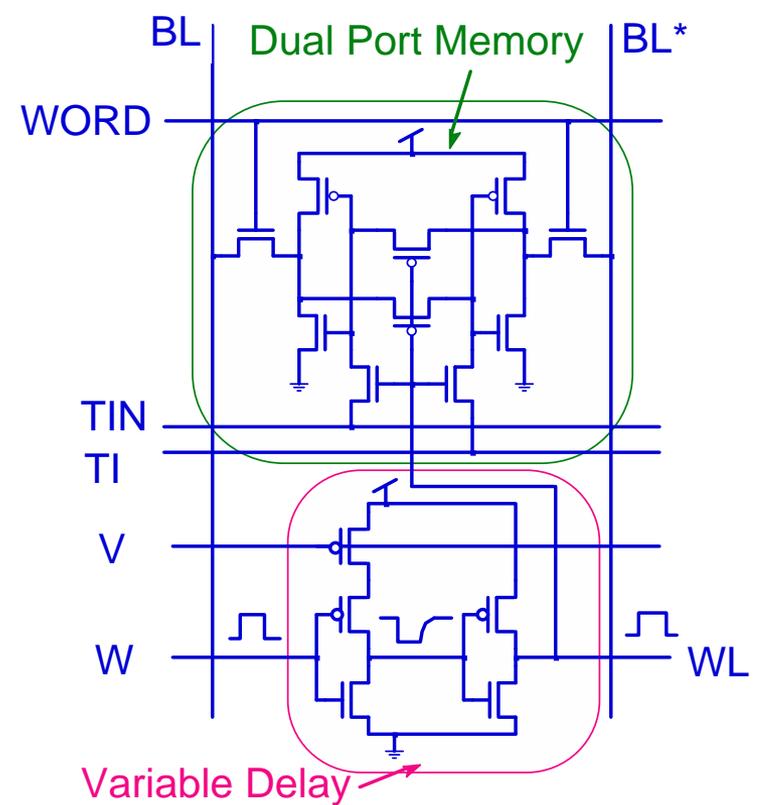
Manuscript No. M3209

Dear Dr. Arai,

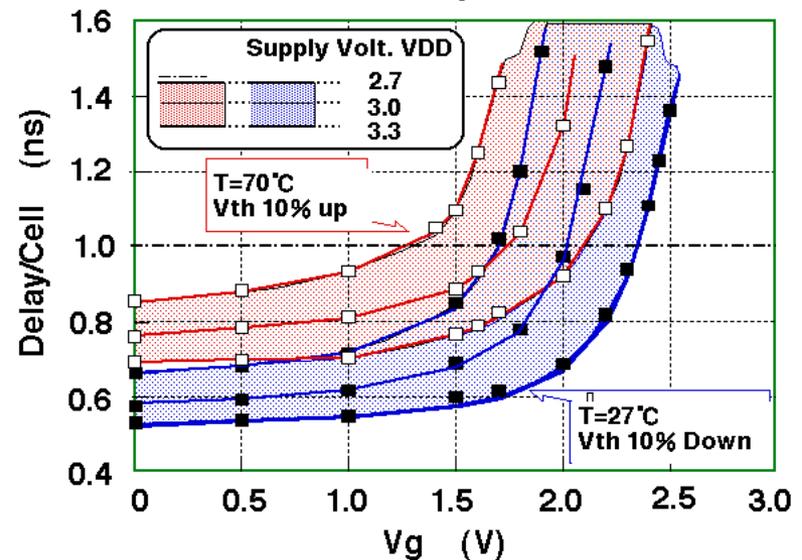
Enclosed please find a manuscript with the above number that has been submitted for possible publication in the IEEE Journal of Solid State Circuits. I would appreciate your reviewing the manuscript. A suggested

# TMC(Time Memory Cell)

- Voltage Controlled Delay  
とメモリーを組み合わせ。
- 不感時間無しにすべての  
遷移を記録。
- 1ns/bit x 1024 bit x 4ch

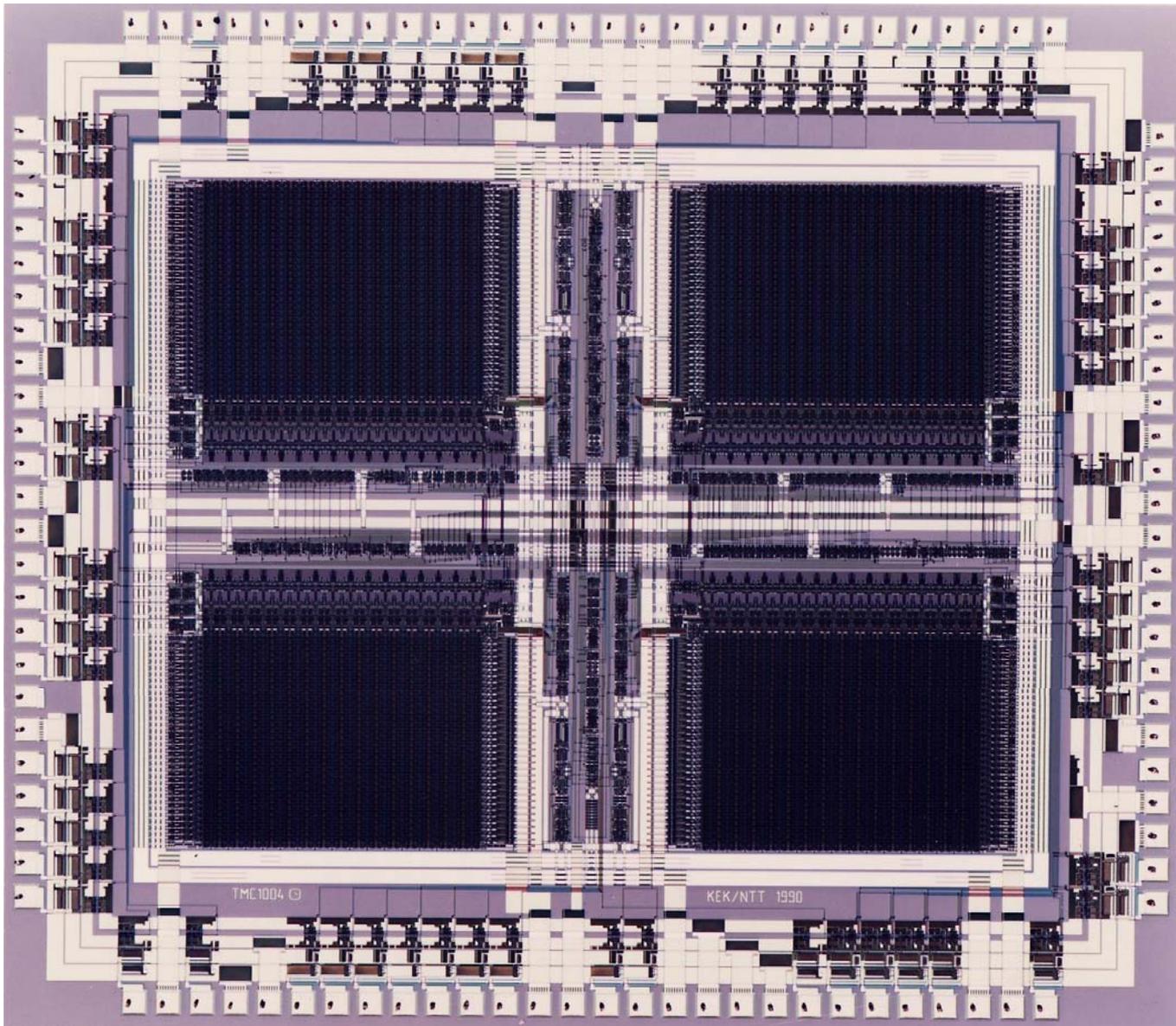


TMC Cell Delay Simulation



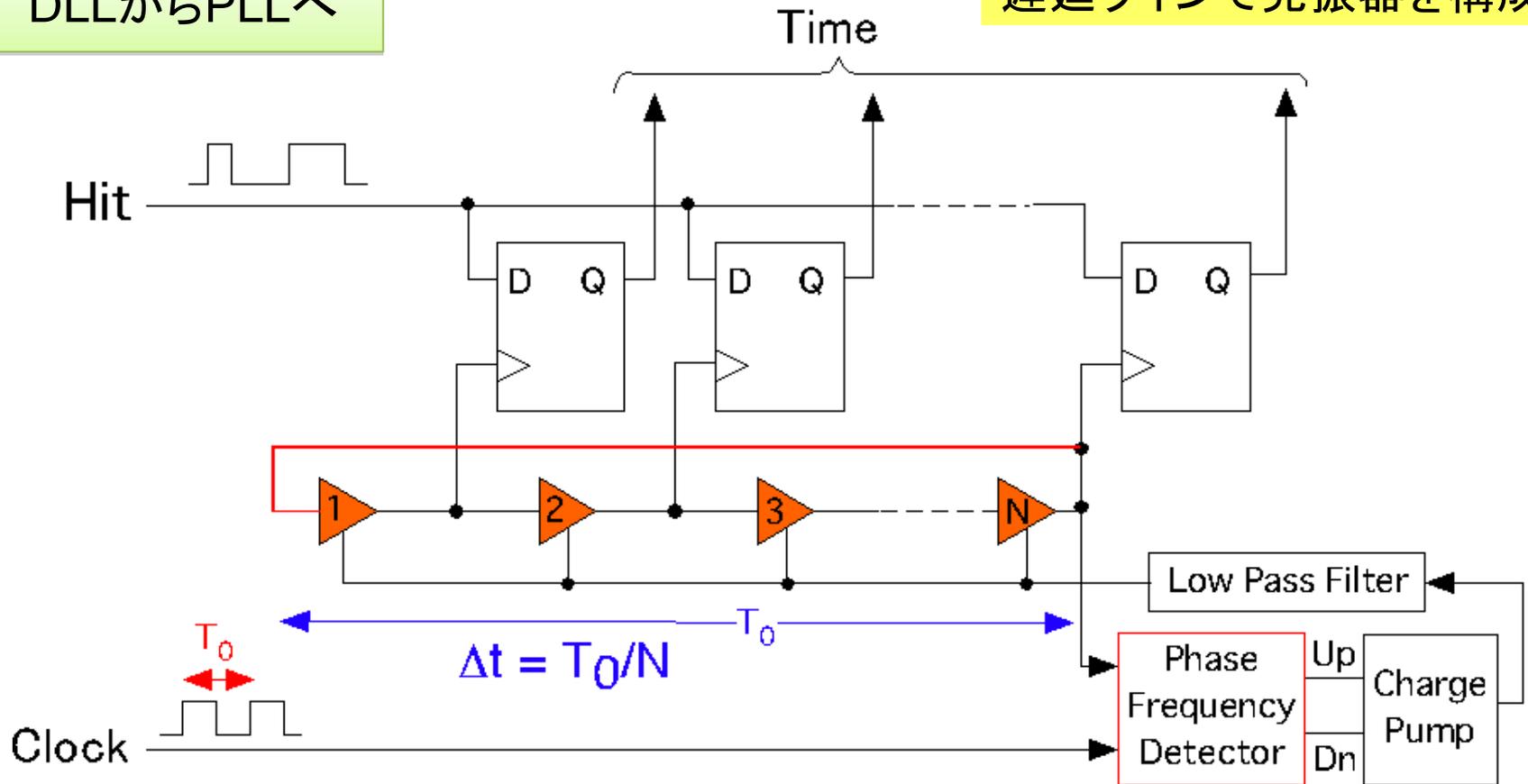
Y. Arai et al., "A CMOS 4 ch x 1 k Time Memory LSI with 1 ns/bit Resolution", IEEE J. of Solid-State Circuits, Vol.27, No.3, March 1992, p359-364.

TMC1004: 4ch x 1k Time Memory Cell LSI.  
(CMOS 0.8 $\mu$ m process, Full Custom LSI, 1990)



Collaboration  
with NTT LSI  
Laboratory

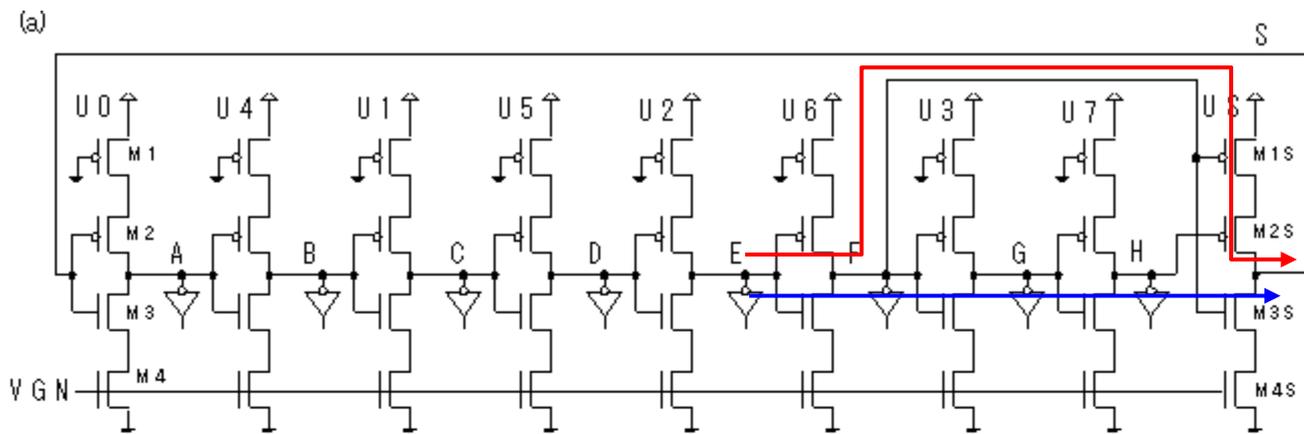




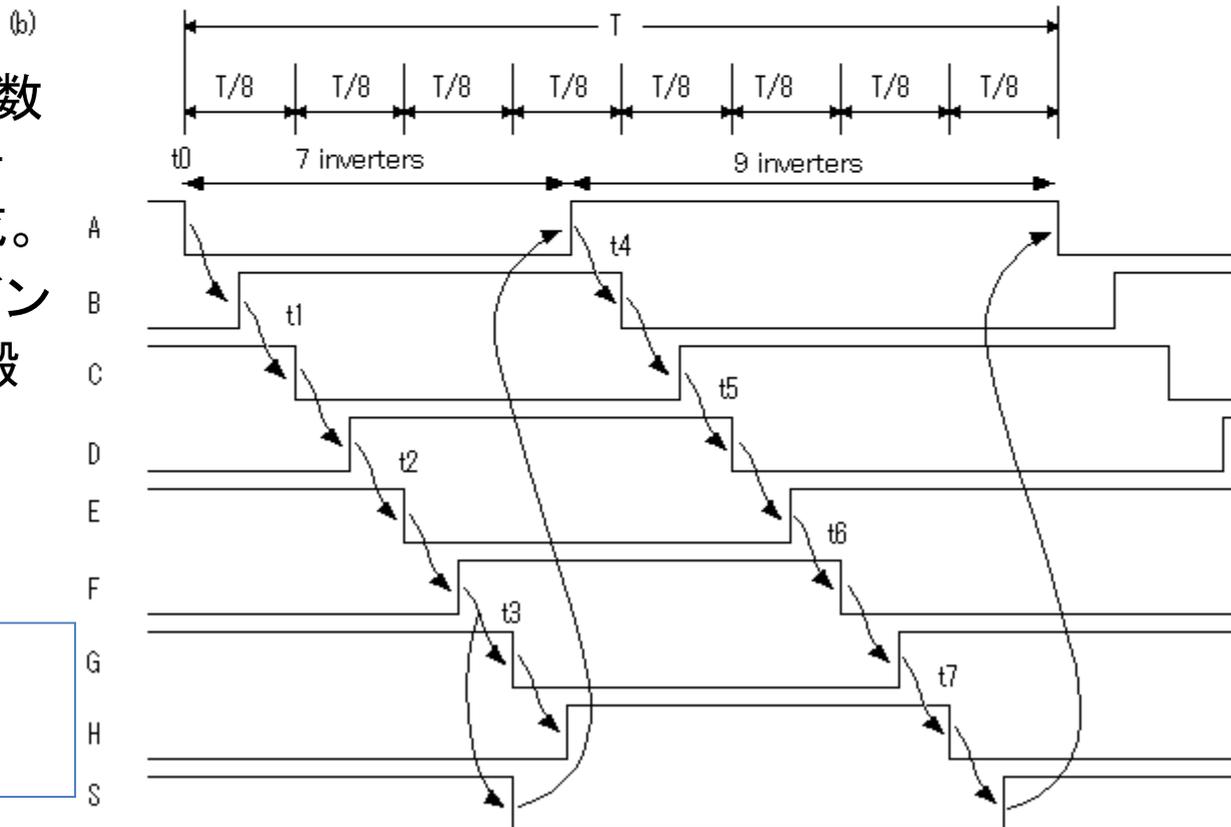
- 位相を検出するので、配線遅延にあまりよらない。

但し、バッファをN個並べたのでは発振しない！

# PLL: 非対称発振器



- 発振の各半周期は奇数個のインバータを信号が伝達するように構成。
- 1周期では偶数個のインバータを信号が伝搬する。

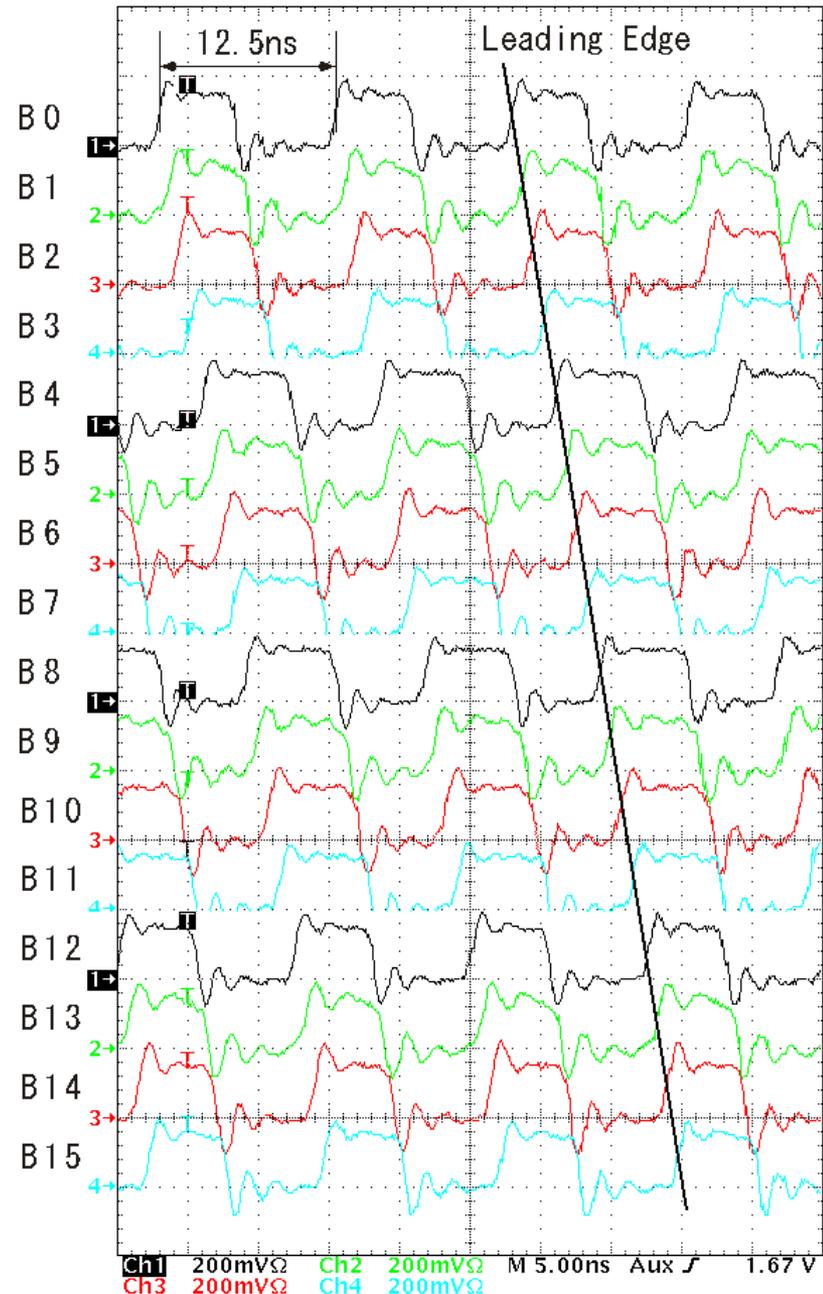
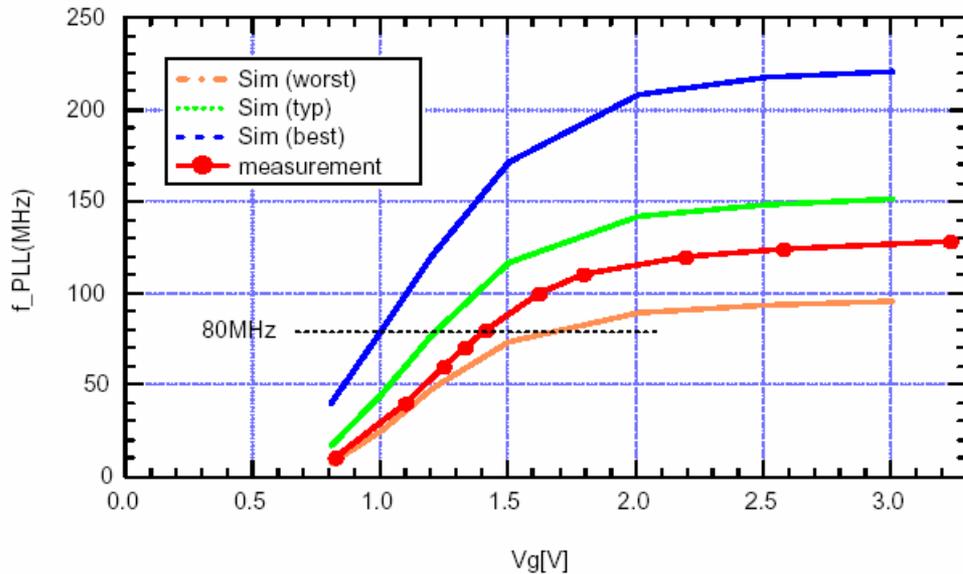


新井 特許 第2663397号  
USA Patent No. 08/380,580  
EPC Patent No. 0676863

# 出力波形

周期のN分の1の信号が得られる。

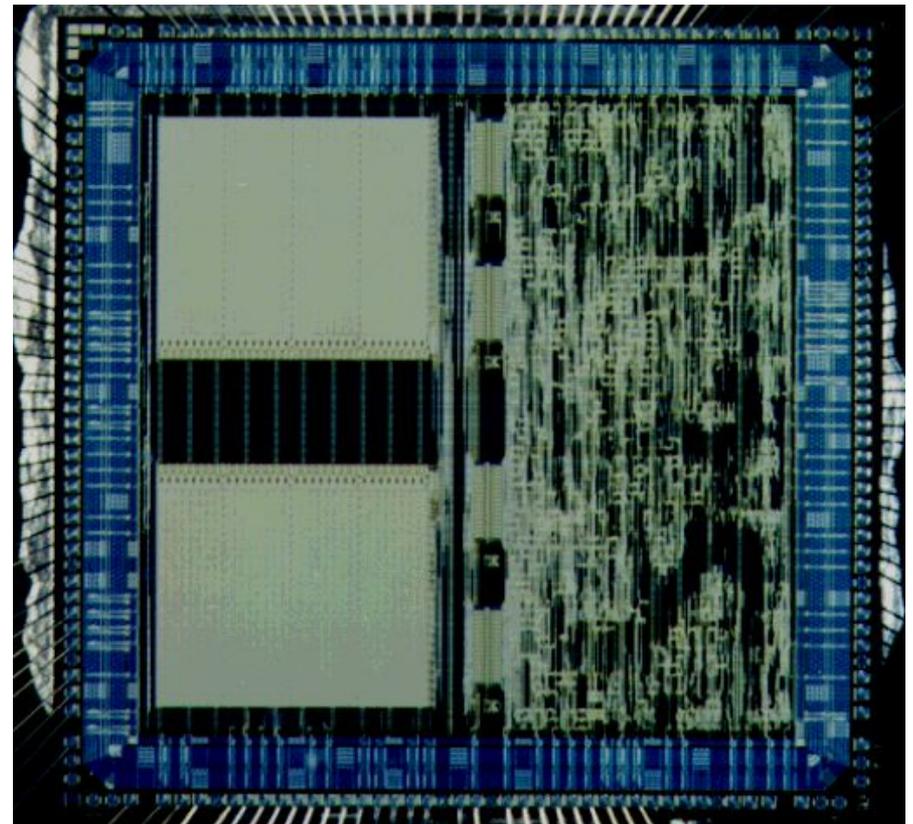
PLL OSC vs. Control Voltage(Vg)



# TMC304 (1994)

- 東芝0.5 $\mu\text{m}$  CMOS
- 6.4 x 6.4 mm<sup>2</sup>, 32 k gates

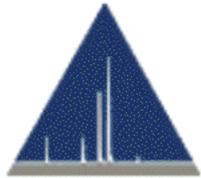
かぐや(SELENE)



- D0 実験(米国 フェルミ国立研究所)
- SS-520-2 探査ロケット(宇宙科学研究所)
- SELENE 月探査衛星(JAXA, 2007)
- 反跳イオン分析器(米国 IonWerks Inc.)

Y. Arai and M. Ikeno; "A Time Digitizer CMOS Gate-Array with a 250 ps Time Resolution", IEEE J. of Solid-State Cir., Vol. 31, No. 2, Feb. 1996, p.212-220.

# 反跳イオン質量分析器



# IONWERKS

TIME-OF-FLIGHT INSTRUMENTATION & ELECTRONICS

IONWERKS INC.  
2472 BOLSOVER, SUITE 255  
HOUSTON, TX 77005  
USA

NEWS

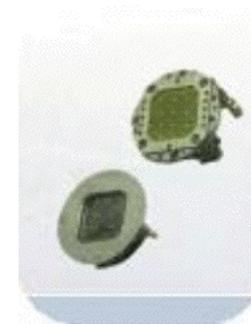
PRODUCTS

PUBLICATIONS

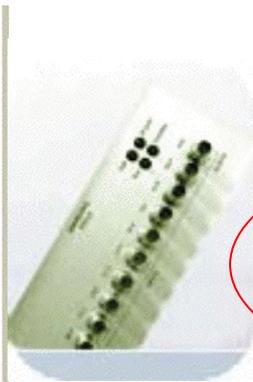
COMPANY INFO

CONTACT

LINKS



## PRODUCTS

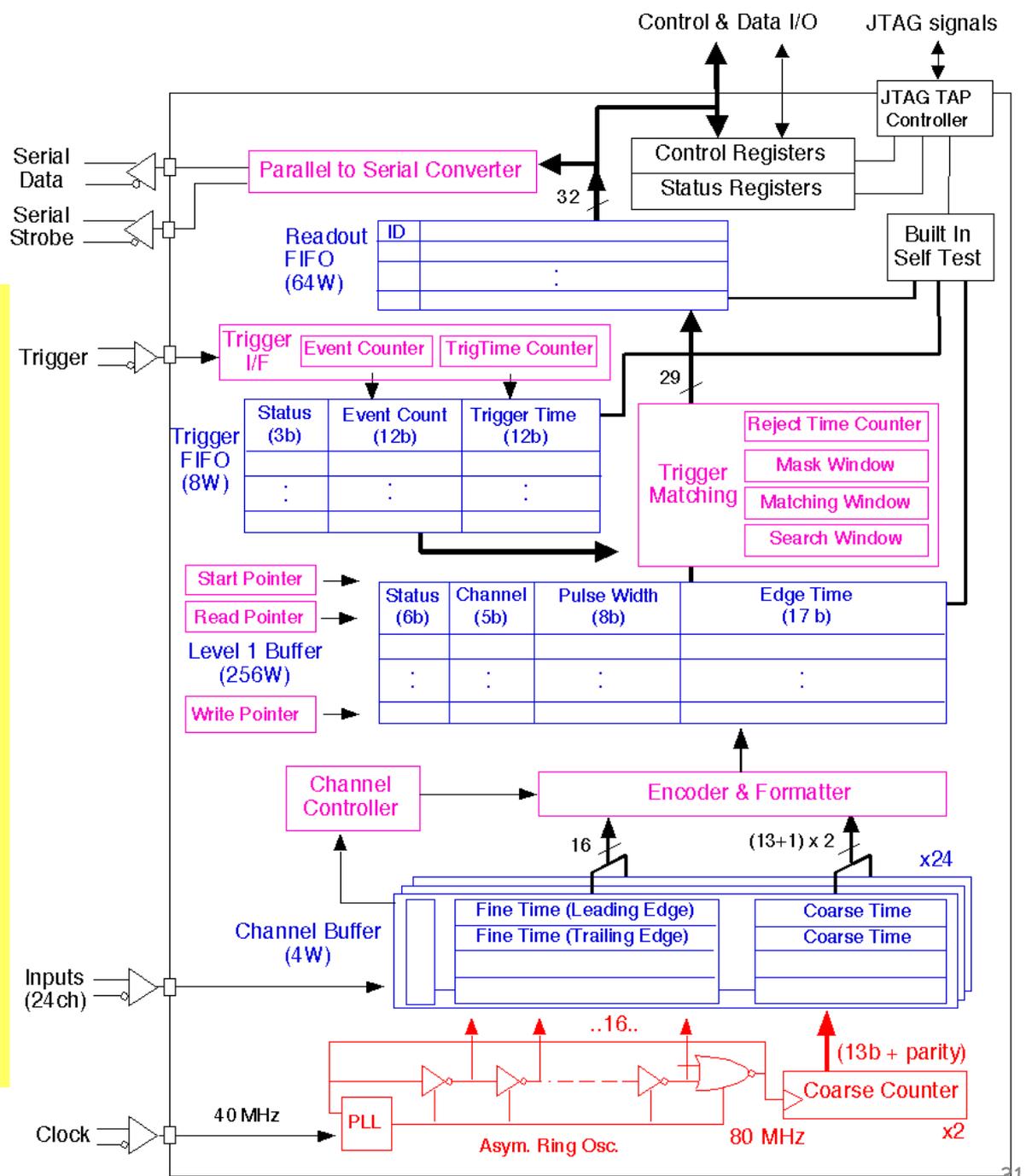


Eight Channel  
Time to Digital Converter  
TDCx8

Ionwerks com. inc.  
<http://www.ionwerks.com/>

# AMTブロック図

- 0.3um CMOS
- 24ch/chip
- Data driven
- 5ns間隔のエッジを検出
- Channel Buffer -> Level 1 Buffer -> Readout FIFO の3階層メモリー
- トリーガ信号にかかった信号のデータのみ外部に出力。
- シリアル/パラレル出力

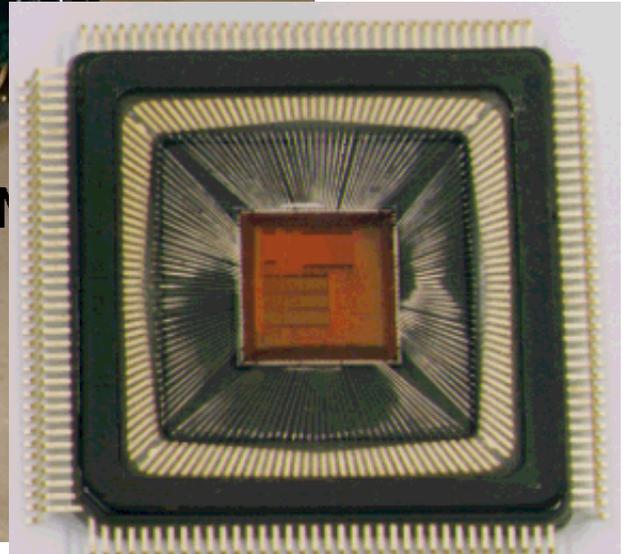
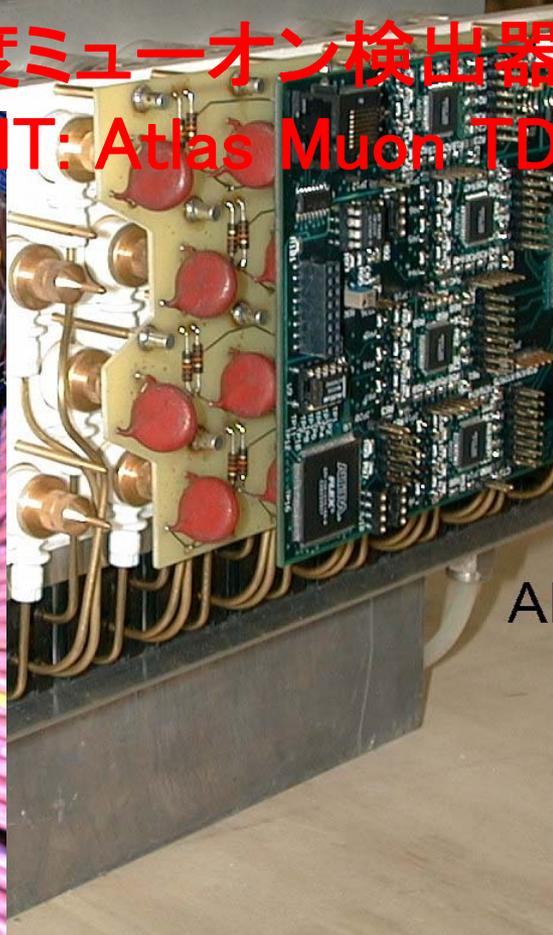
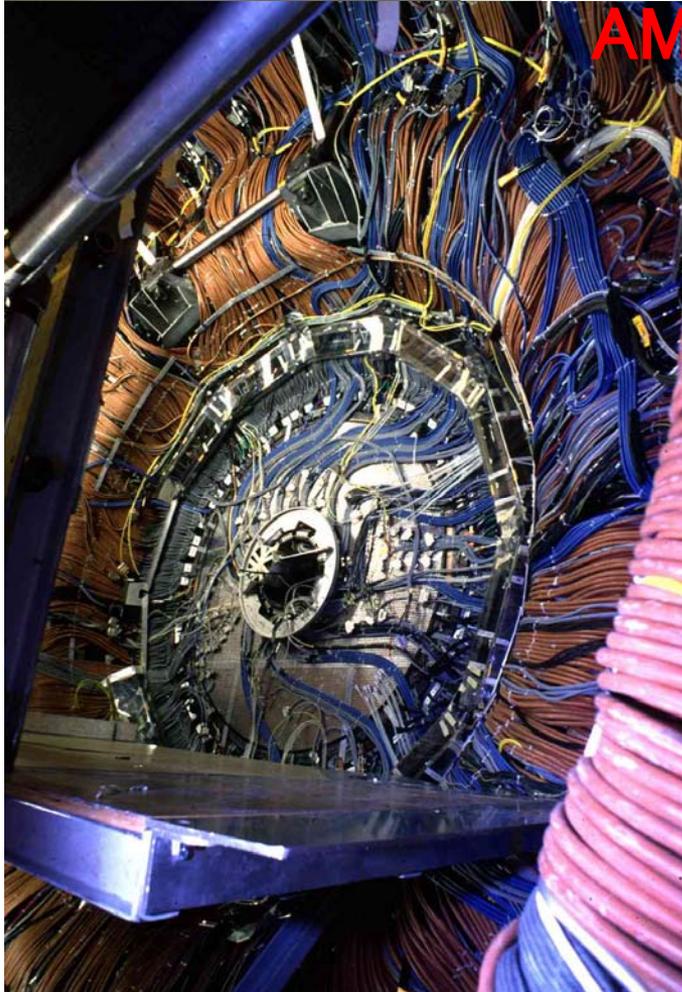


AMT-3 (2002)

・ 東芝0.3 $\mu\text{m}$  CMOS

MDT検出器

ATLAS  
高精度ミュオン検出器用LSI  
AMT: Atlas Muon TDC)



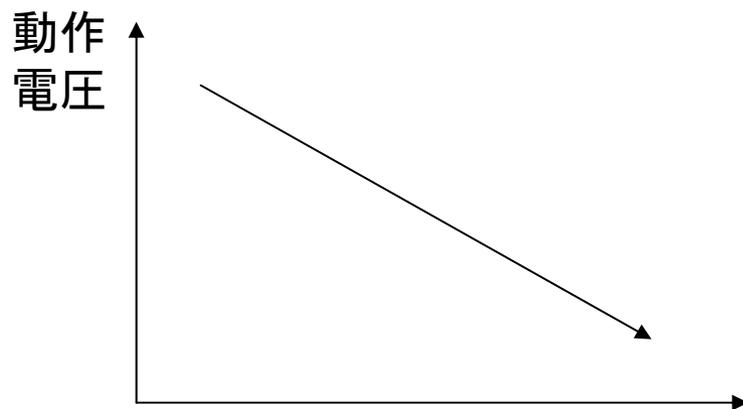
38万チャンネル(約2万個)。

Y. Arai, et al., "Development of a New TDC LSI and a VME Module",  
IEEE Trans. Nucl. Sci. Vol. 49, Issue 3, pp. 1164 - 1169, June 2002.

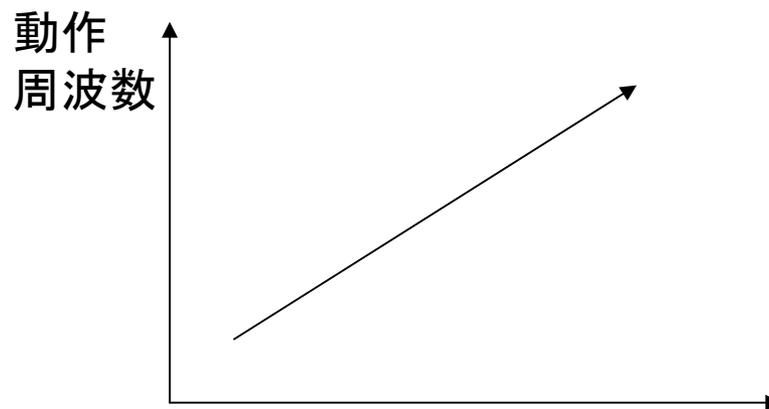
話は少しそれますが

## プロセス技術の進歩によるパラダイムチェンジ

Deep-submicron CMOS プロセスではアナログ信号の**電圧分解能**よりも、デジタル信号の**時間分解能**の方が優れている。



プロセスの進歩



プロセスの進歩

Analog PLL ---> Digital PLL

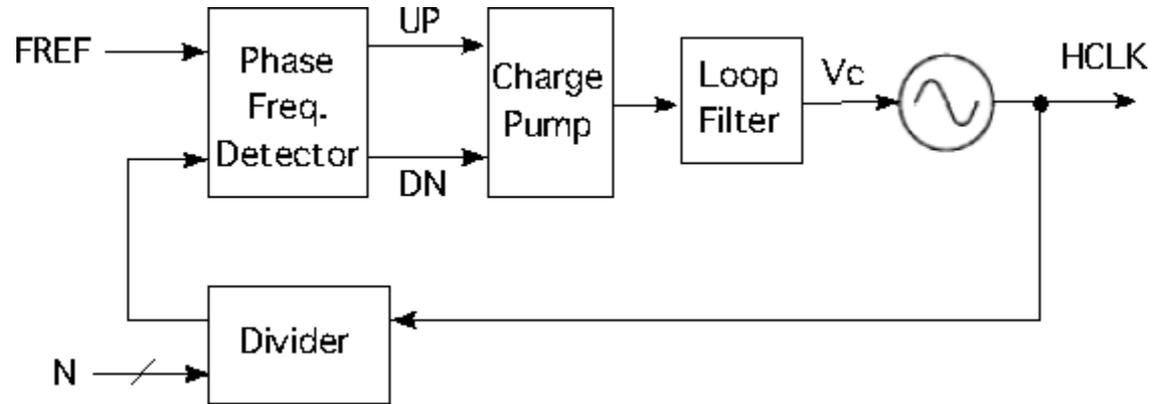
時間測定技術が注目されるようになった。



小林春夫、「アナログ技術の新潮流 時間分解能型回路とTDC」  
2009.4.6、4.20号日経エレクトロニクス誌

# All Digital PLL用TDC (Texas Instruments)

通常のPLL



ADPLL(TI)

26 MHz

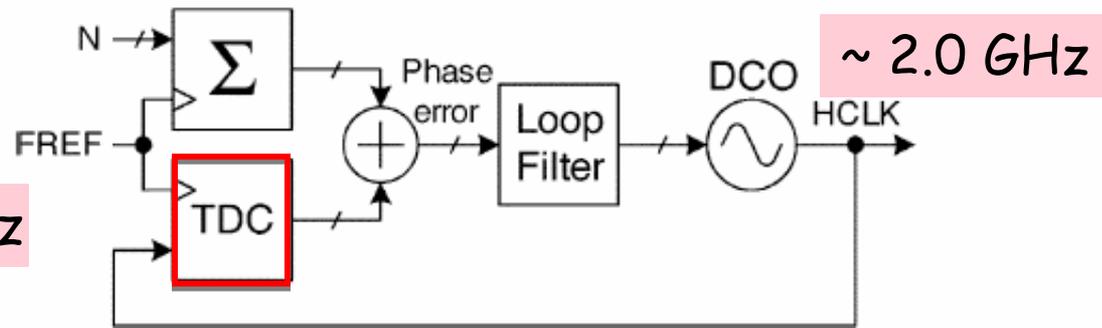


Fig. 1. TDC as a phase/frequency detector and charge pump replacement in an all-digital PLL (ADPLL)-based RF frequency synthesizer.  $N$  is a fractional frequency division ratio.

"1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS", R. B. Staszewski, et al., IEEE Trans. on Circuits and Systems—II: Vol. 53, No. 3, Mar. 2006. (TI)

# Pseudo-Differential Delay Line

高分解能化の為、最も単純な素子であるインバータを遅延素子として使用。遅延制御なし。(真の)差動回路なし。両エッジを使用。

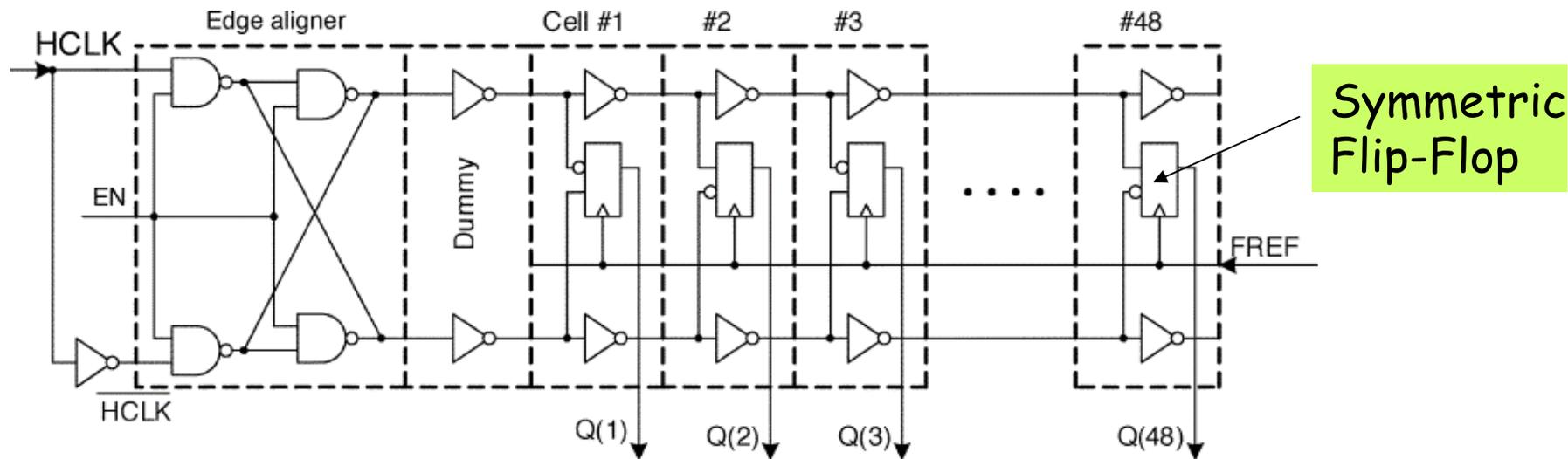


Fig. 5. Implemented TDC core.

立上り、立下り両エッジを均等にする為、(疑似)差動回路とする。  
~20ps/stage

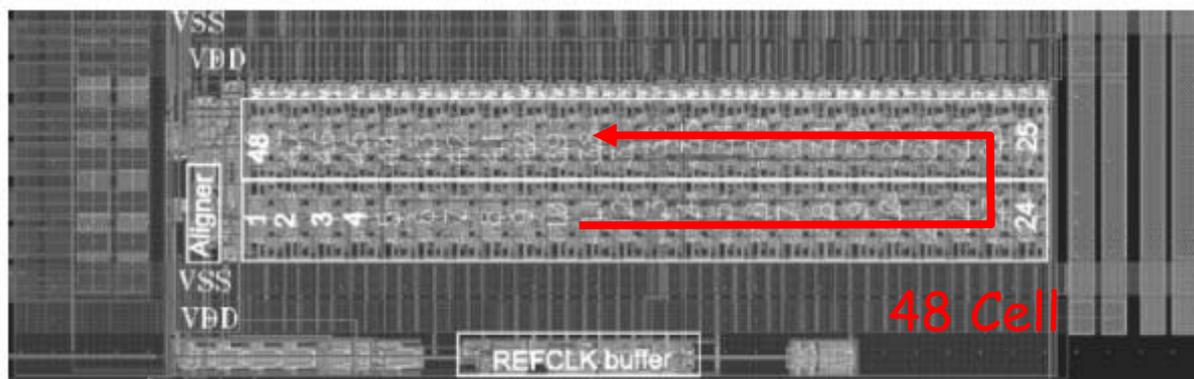
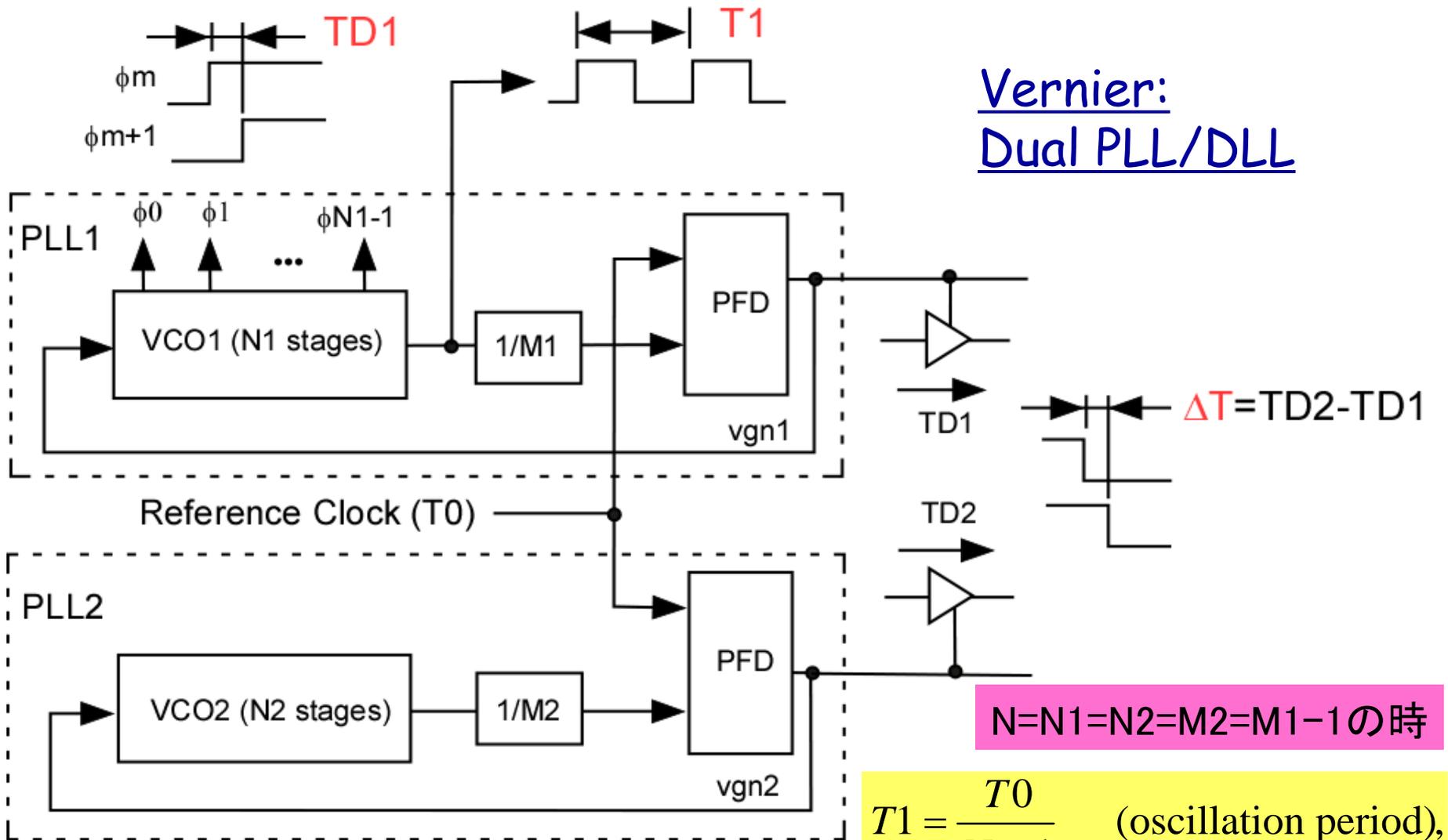


Fig. 6. TDC core layout.



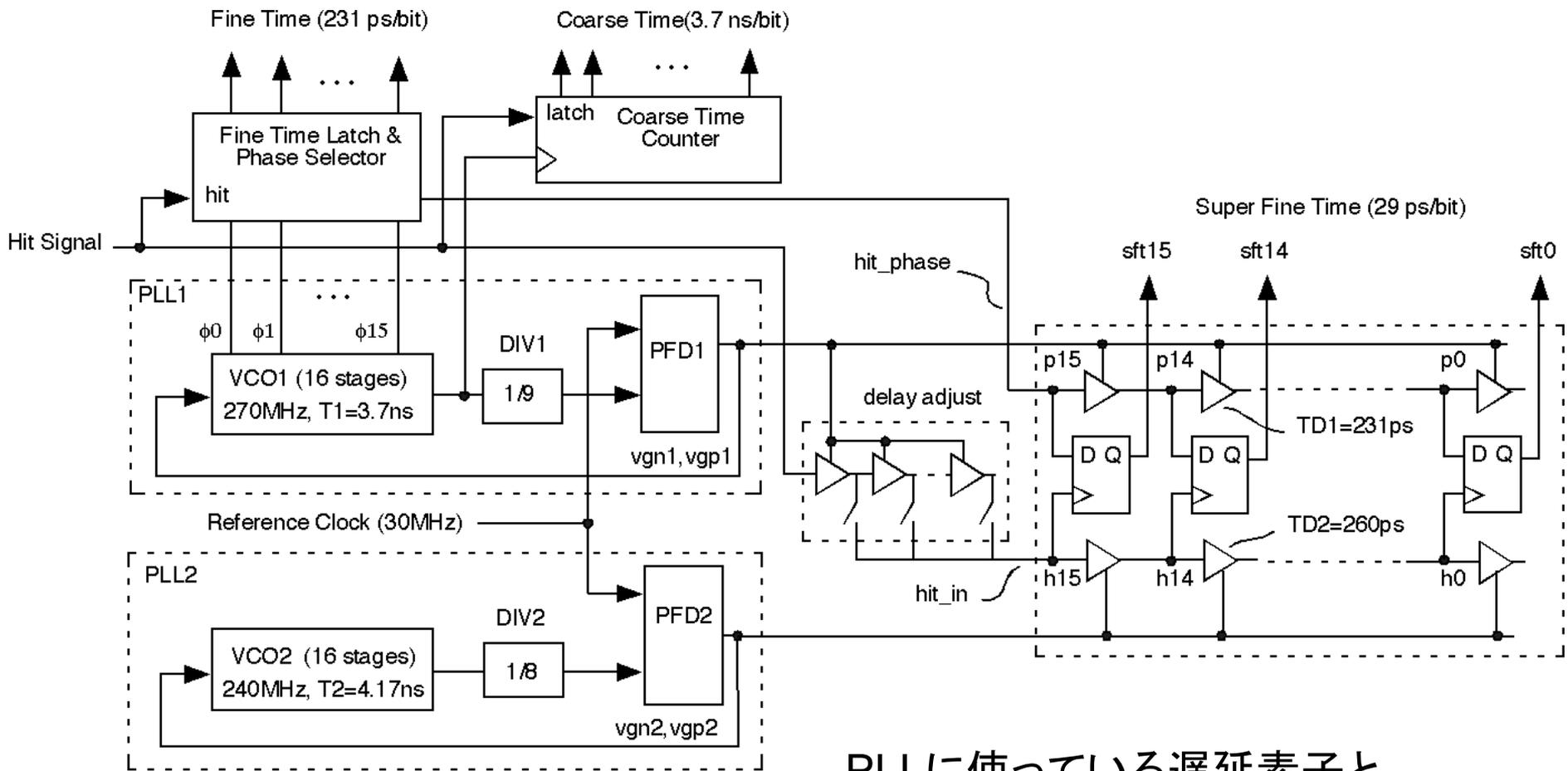
$$T1 = \frac{T0}{N + 1} \quad (\text{oscillation period}),$$

$$TD1 = \frac{T1}{N} \quad (\text{phase delay}),$$

$$\Delta T = \frac{TD1}{N} \quad (\text{delay difference}).$$

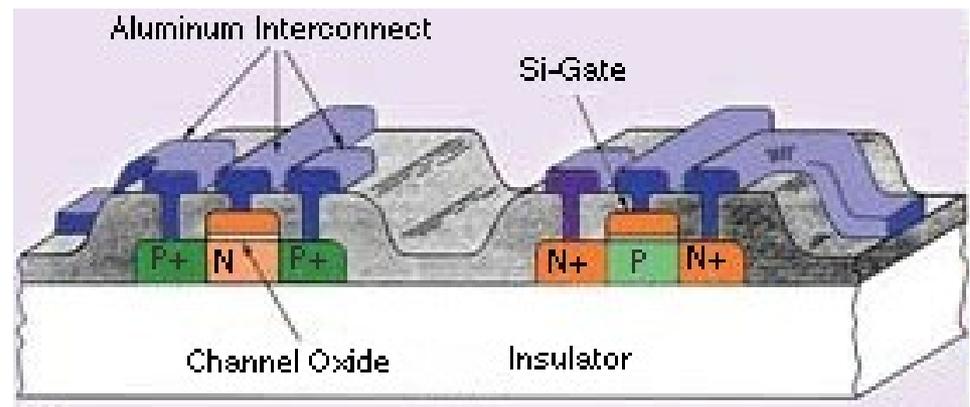
「2つのPLLを用いた微小時間差回路及び時間測定回路」、新井、特開2006-115274、国際出願番号 PCT/JP2005/018973

# Dual PLL : TDC全体構成例

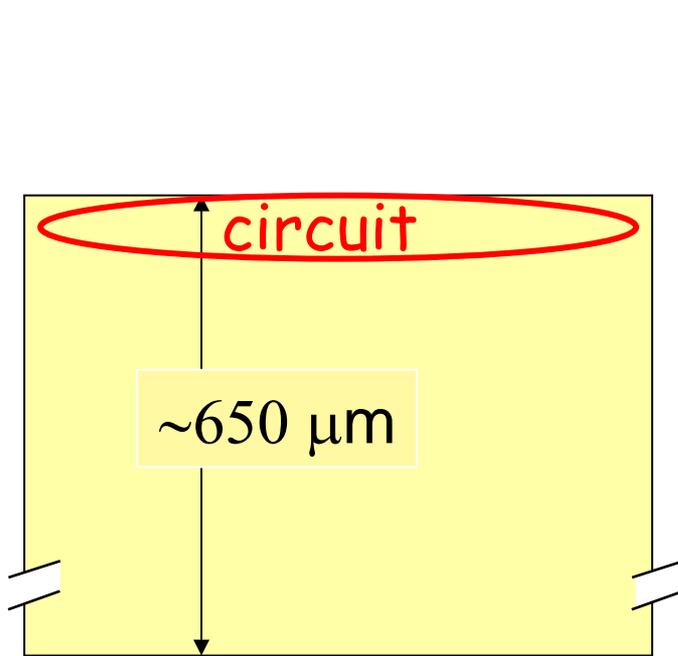


PLLに使っている遅延素子と Vernierで使う遅延素子が異なる 為、微調整が必要。

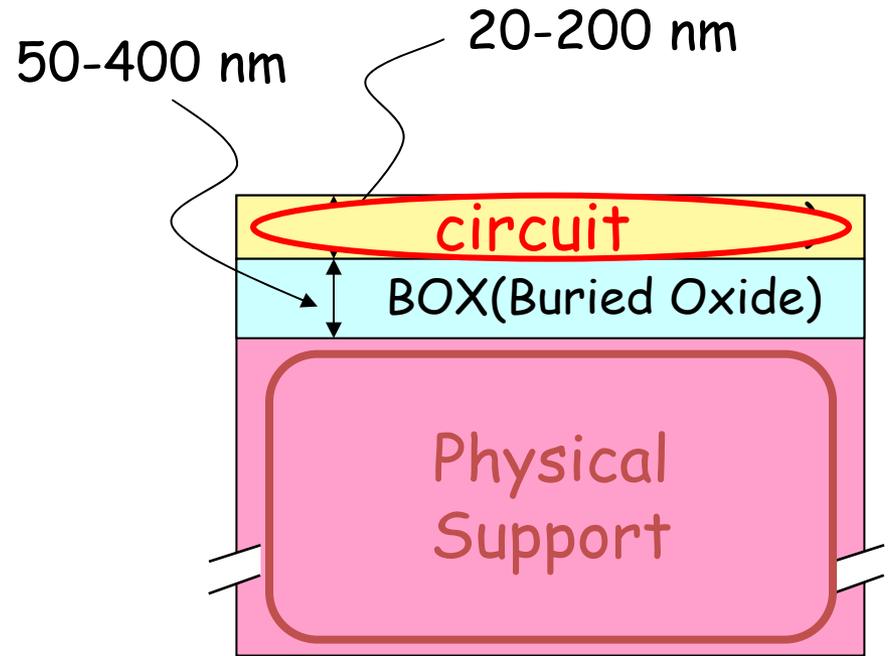
### 3. SOI Pixelの紹介



# Bulk and SOI (Silicon On Insulator) Wafer



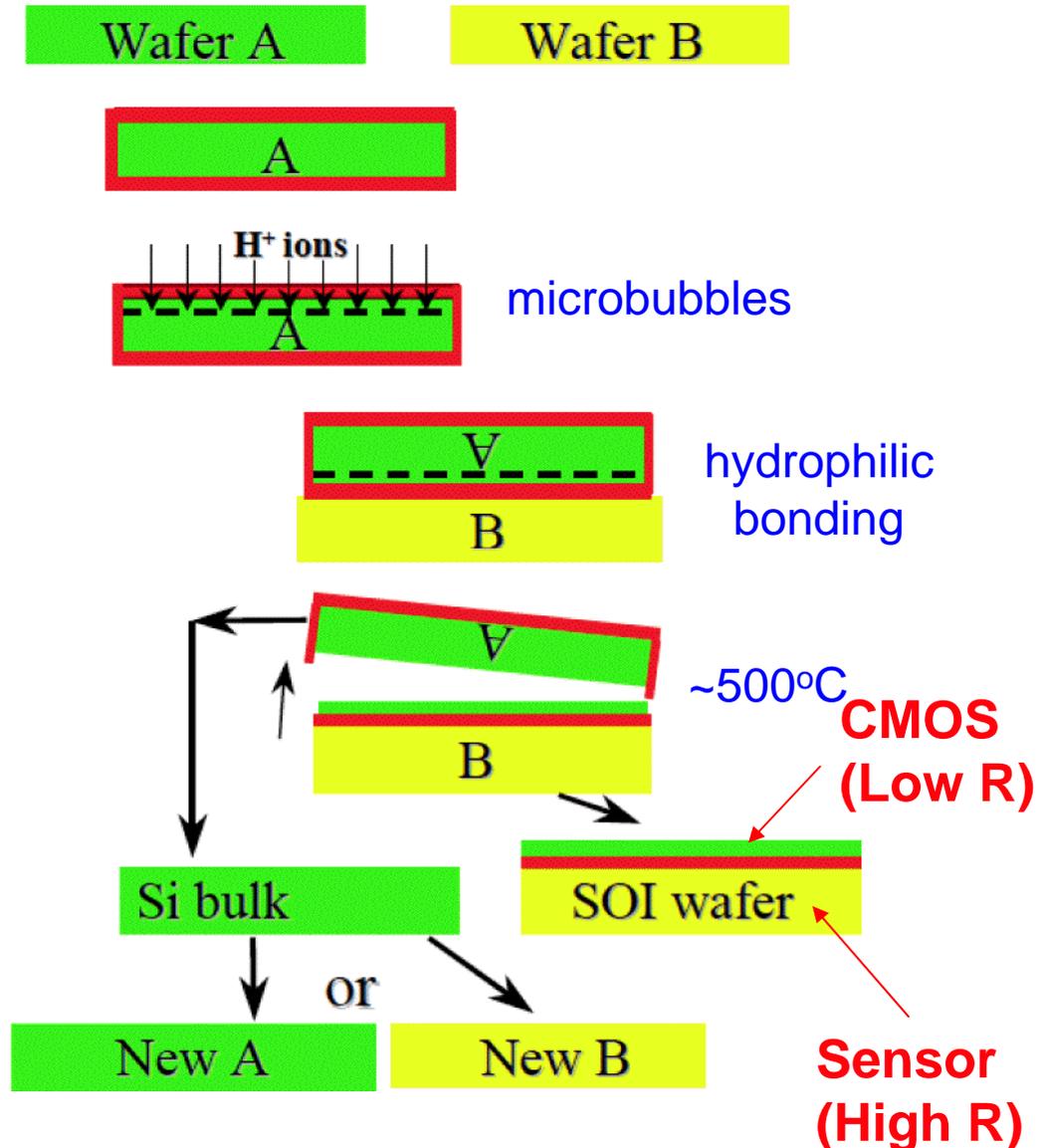
Bulk Wafer



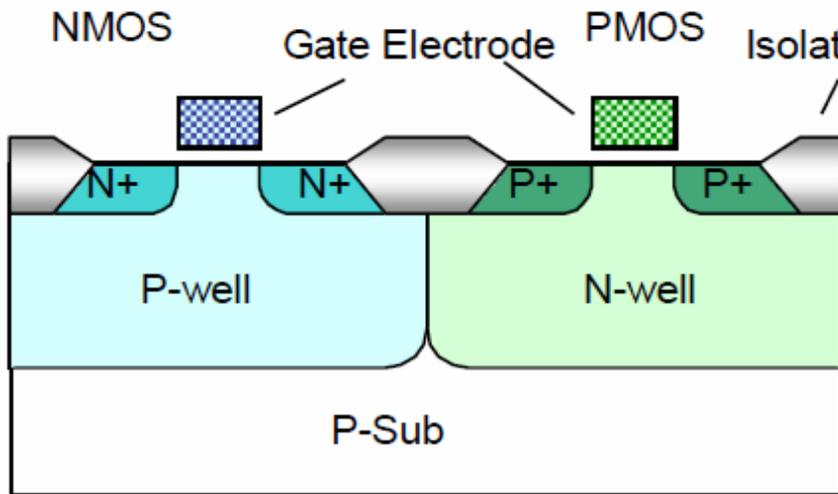
SOI Wafer

# UNIBOND™ Process (1995, France LETI) -> SOITEC

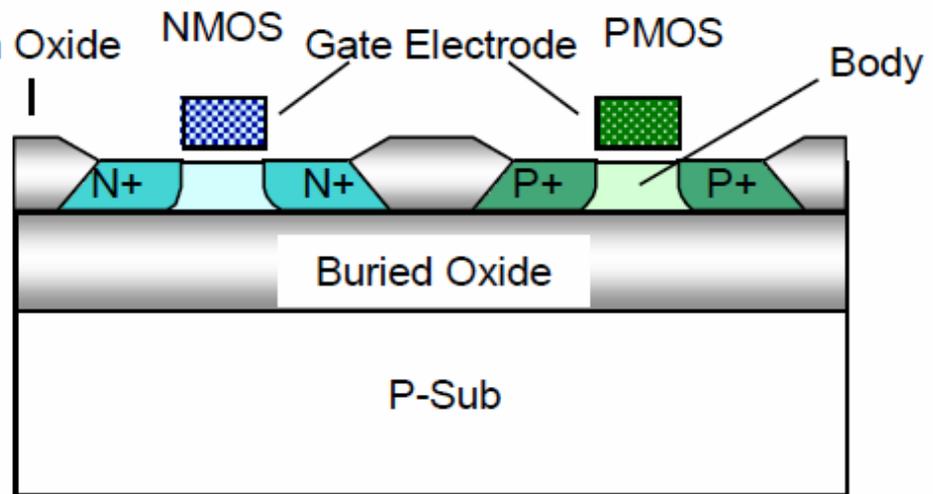
- ① Initial silicon wafers A & B
- ② Oxidation of wafer A to create insulating layer
- ③ Smart Cut ion implantation induces formation of an in-depth weakened layer
- ④ Cleaning & bonding wafer A to the handle substrate, wafer B
- ⑤ Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- ⑥ Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- ⑧ Split-off wafer A is recycled, becoming the new wafer A or B



# Bulk CMOS vs. SOI CMOS

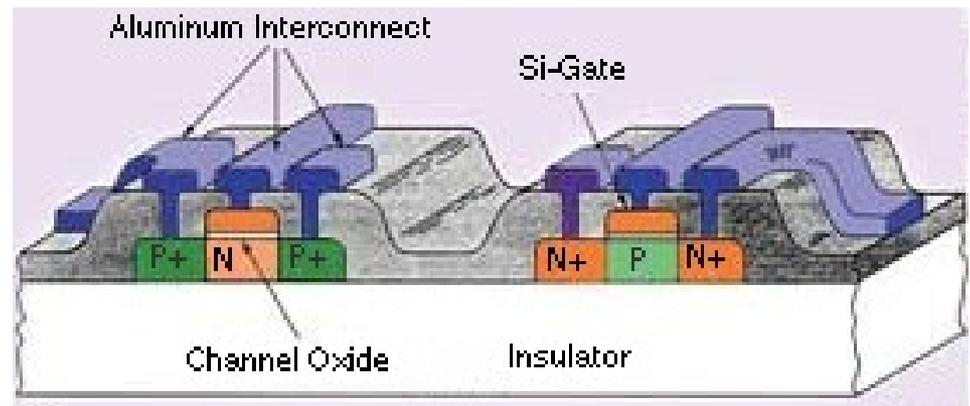


**Bulk CMOS**



**SOI CMOS**

In SOI, Each Device is completely isolated by Oxide.



# PD-SOI vs. FD-SOI

## PD-SOI (Partially Depleted)

◆ Thick SOI thickness ( $T_{SOI}$ )

~100-200nm

◆ Depletion layer  $< T_{SOI}$

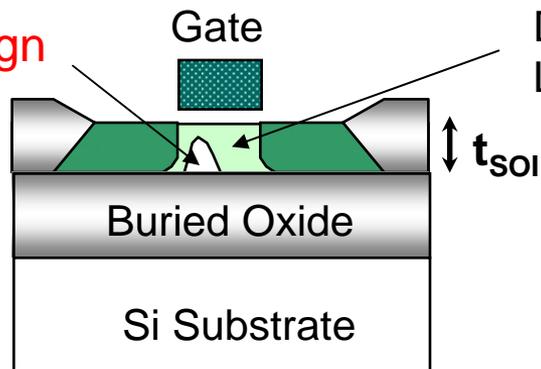


◇ Large floating body effect

◇ High drive Current by kink effect

→ High speed application

Neutral Resign



## FD-SOI (Fully Depleted)

◆ Thin SOI thickness ( $T_{SOI}$ )

< 50nm

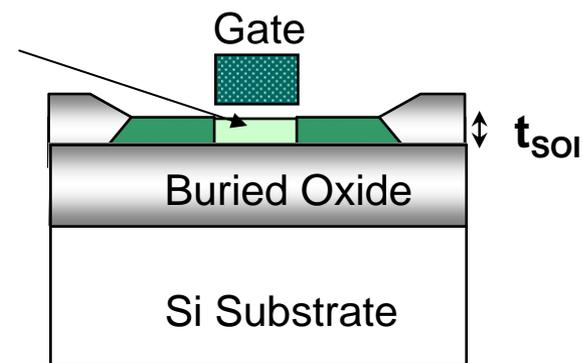
◆ Depletion layer  $> T_{SOI}$



◇ Less floating body effect

◇ Steep subthreshold slopes

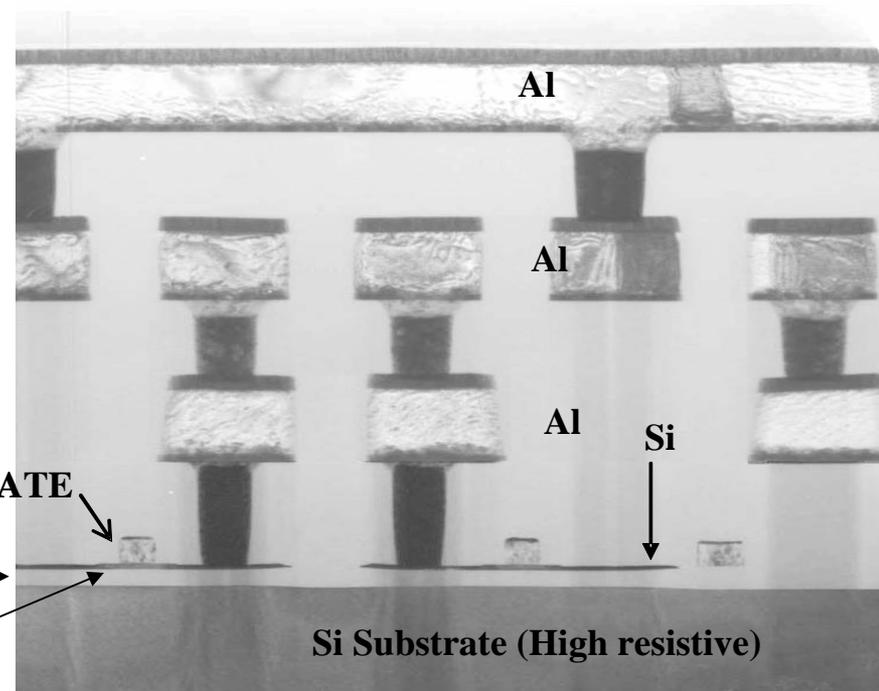
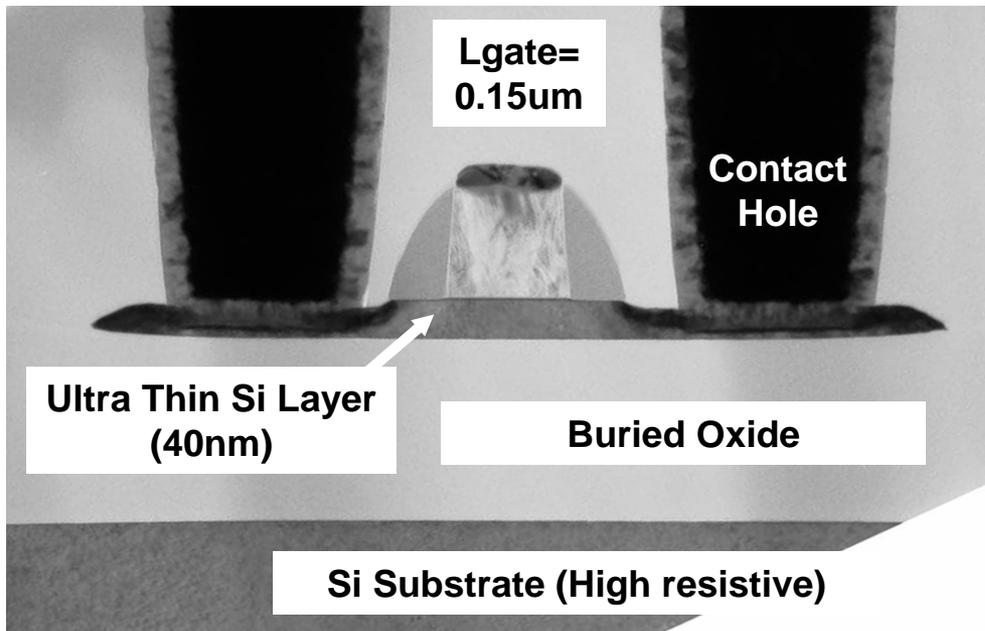
→ Low power application



**FD-SOI has advantage in performance under very low voltage operation.**

# FD-SOI Structure

Cross Sectional SEM Photograph



Ultra Thin Si Layer (40nm)

Buried Oxide

Si Substrate (High resistive)

Close up of MOSFET

BOX (Buried Oxide)

*Ultra Thin Si Layer (40nm)*

GATE

Al

Al

Al

Si

Si Substrate (High resistive)

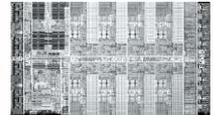
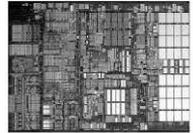
Cross Sectional View of FD-SOI Device

## Current Status of PD-SOI and FD-SOI

### ◆ PD-SOI (Partially Depleted)

High-speed microprocessors

- IBM: PowerPC , mainframe CPU's, Wii(Nintendo), Xbox
- Free scale: PowerPC
- AMD: Athlon processors
- Sony (with IBM and Toshiba) : Cell, PS3



### ◆ FD-SOI (Fully Depleted)

Low-power application

- Oki: solar cell watch, long-wave RF decoder

Technology Node option beyond 32nm, Next 3D Tr.

- Intel, many major companies

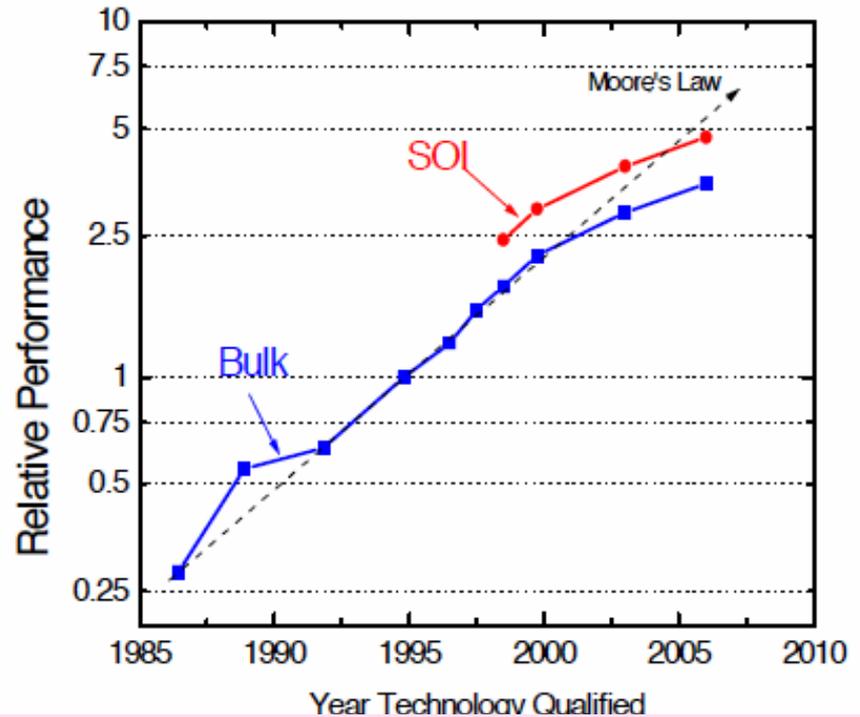


<http://www.casio.co.jp>

**At present, only Oki has an experience  
of mass production of FD-SOI**

# Features of (FD-)SOI

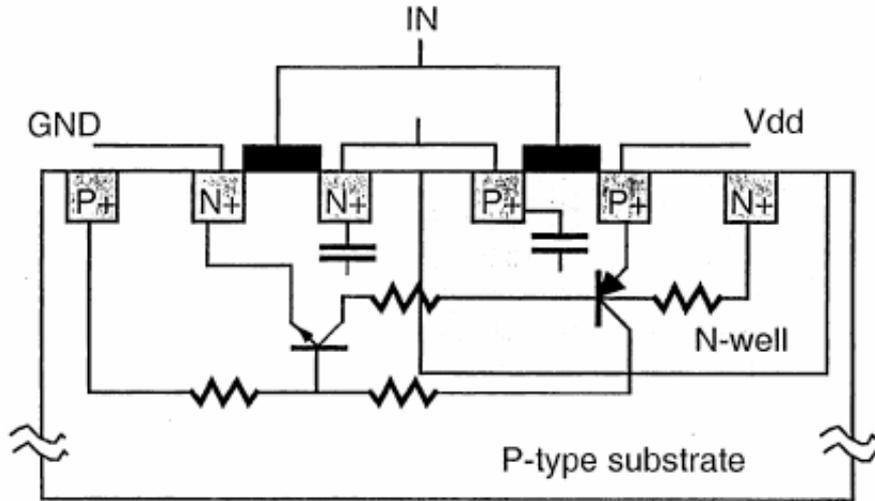
- Full Dielectric Isolation :  
*Latchup Free, Small Area,  
Good Circuit Isolation  
No Back Bias Effect*
- Low Junction Capacitance :  
*High Speed*
- Steep Subthreshold Slope  
*Low Power*
- No Kink Effect  
*Good for Analog Design*
- Less Impurity in Body  
*Good  $V_{th}$  Matching,  
Less  $1/f$  Noise*



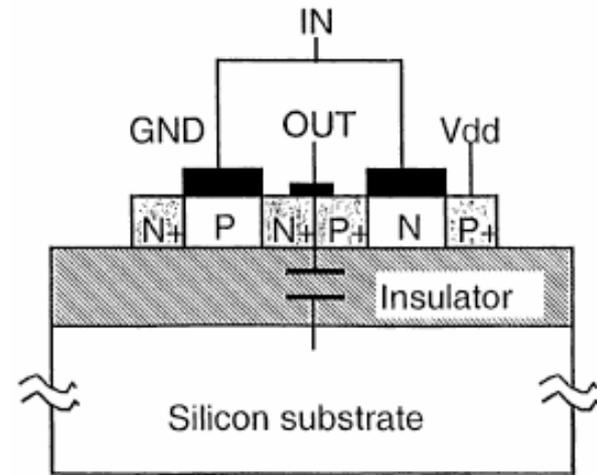
- No Well junction, Thin Film :  
*Low Leak,  
Low  $V_{th}$  Shift (High Temp).*
- Small Active Volume :  
*High Soft Error Immunity*
- TID compensation by Back Bias

# Latchup Free Structure

Bulk CMOS



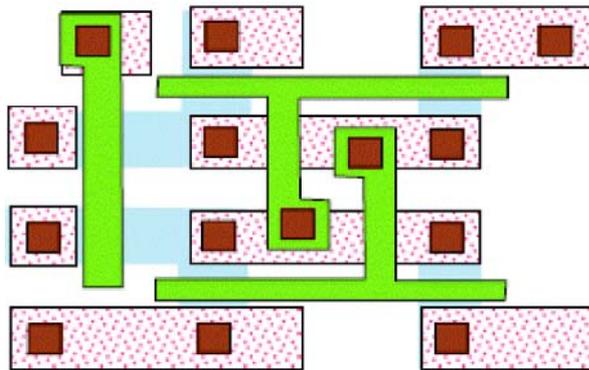
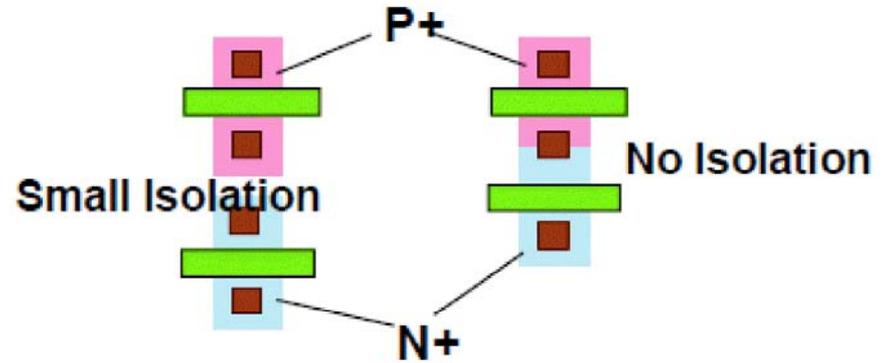
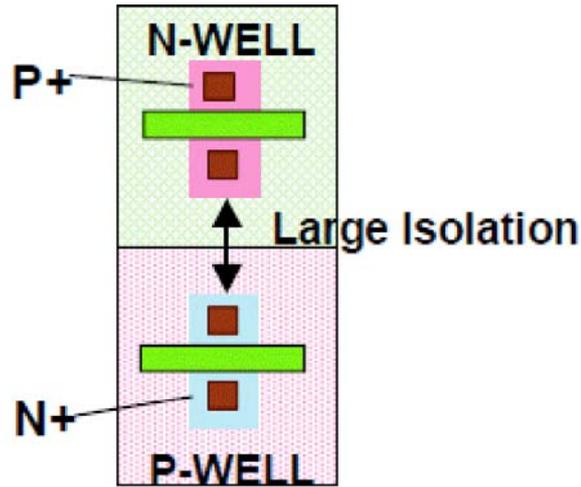
SOI CMOS



(Ref. 'SOI Technology' by Jean-Pierre Colinge, Springer)

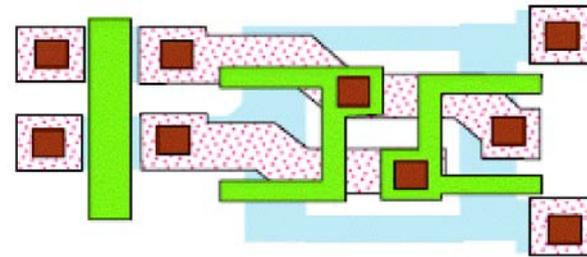
No Parasitic PNP Structure

# Area reduction by SOI



Area 1

**Bulk**



Area 0.67

**SOI**

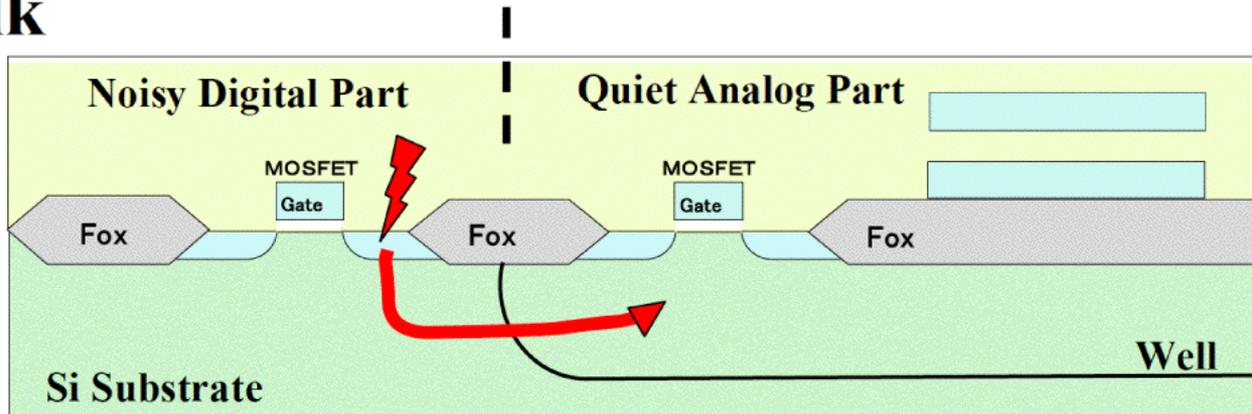
**SRAM-Cell  
Layout**

**No Well Isolation**

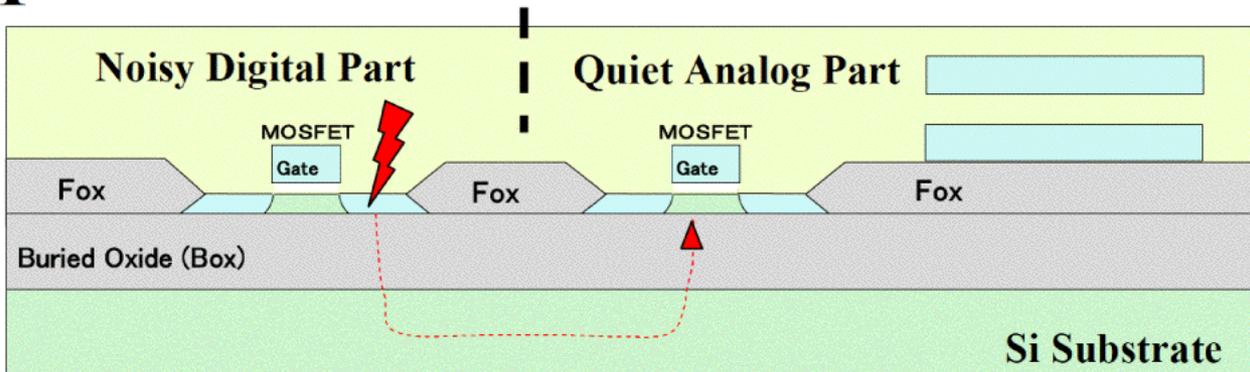
# Isolation between Analog and Digital Part

10-40dB lower than Well isolation of Bulk, when High-Resistive Substrate is used

## Bulk

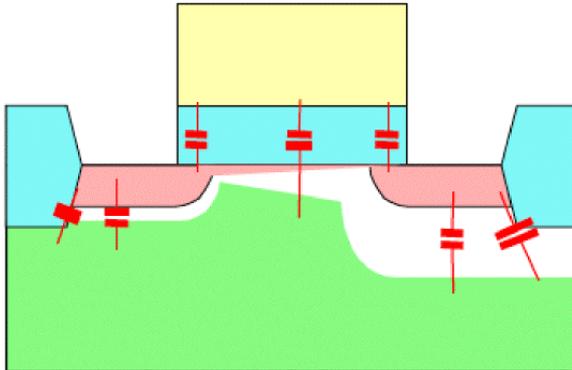


## SOI

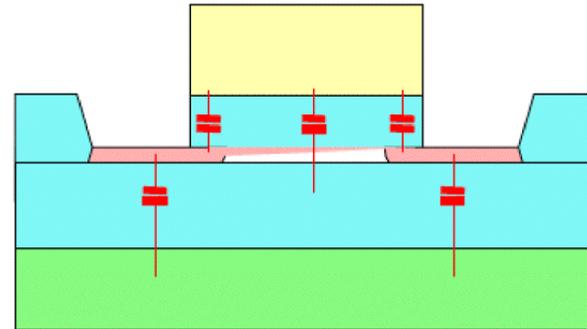


# Smaller Junction Capacitance

## Bulk

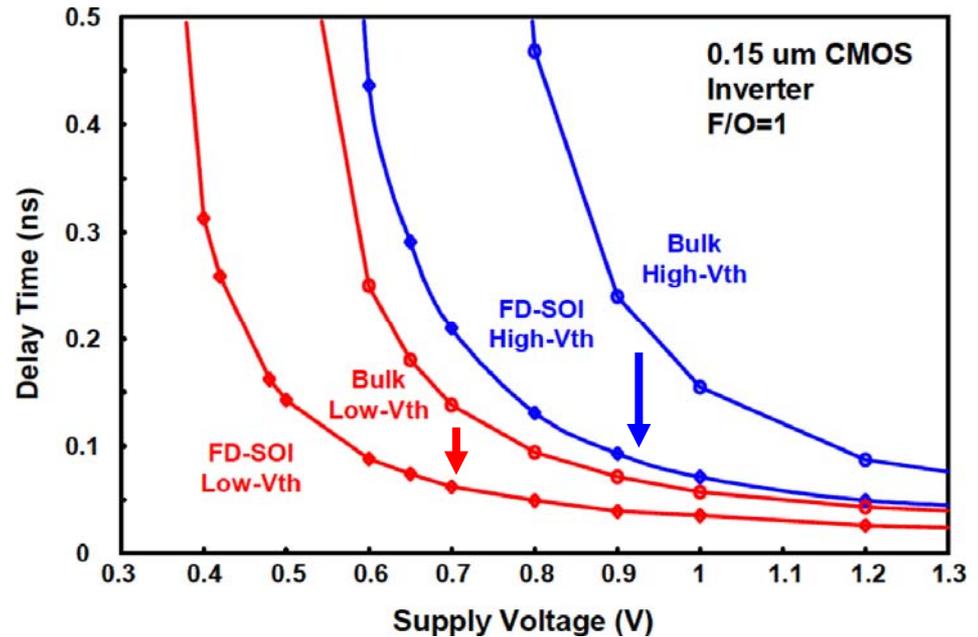


## SOI

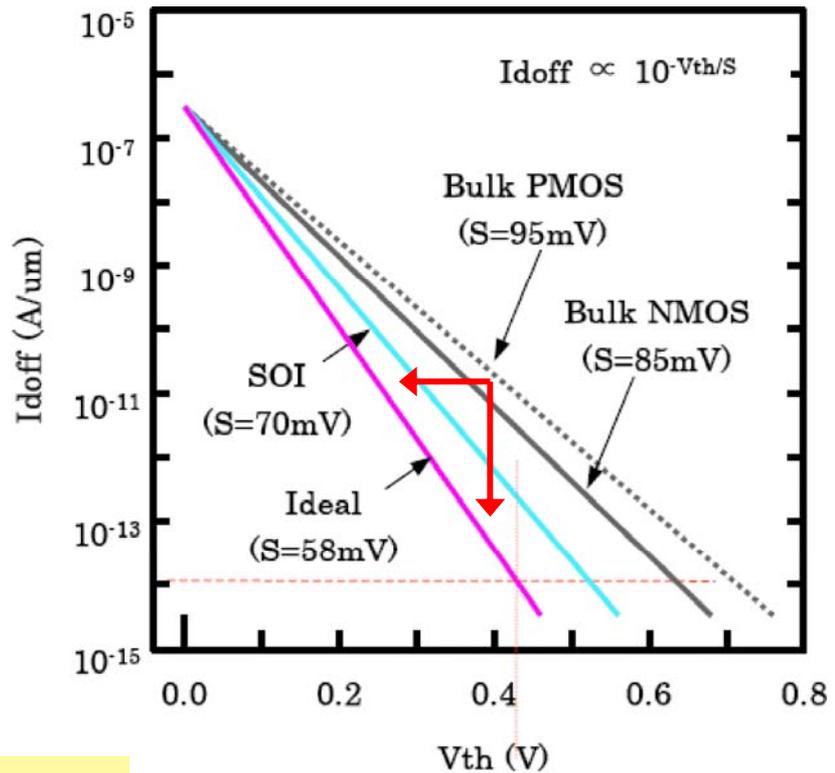
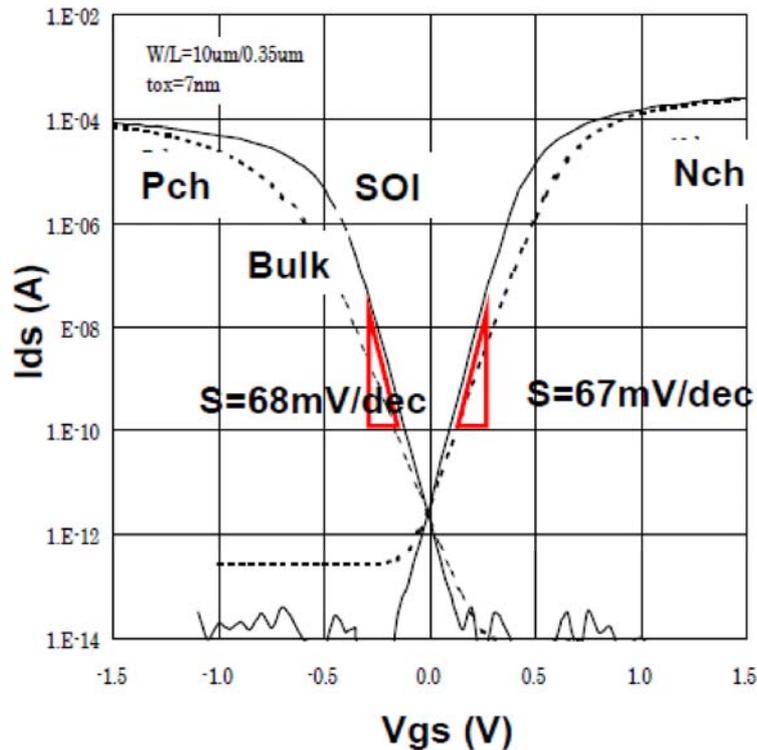


$C_j$  is 1/10 of Bulk technology.  
Gate Capacitance is 30-40% Lower.

High Speed / Low Power



# Steep Sub Threshold Slope



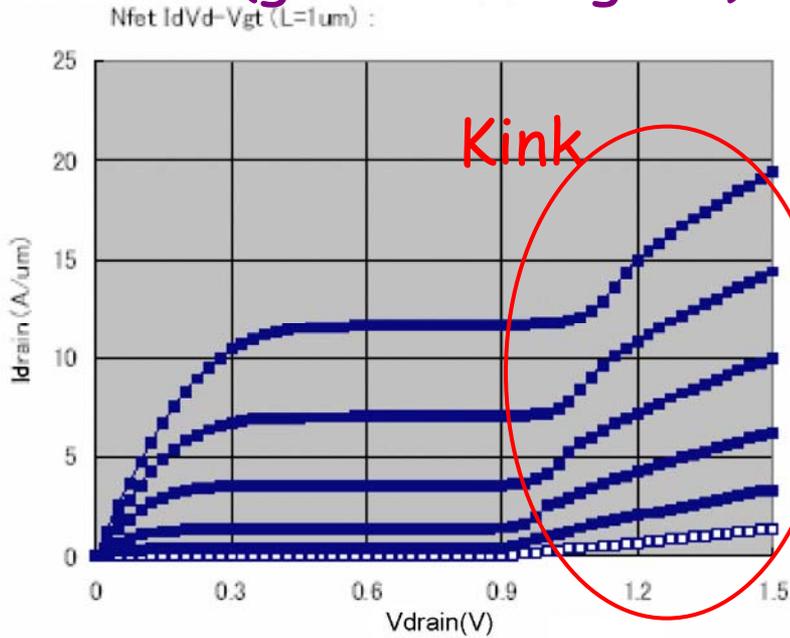
F.Ichikawa et al., SSDM, 2004

*Gate voltage is not wasted to deplete the bulk.*

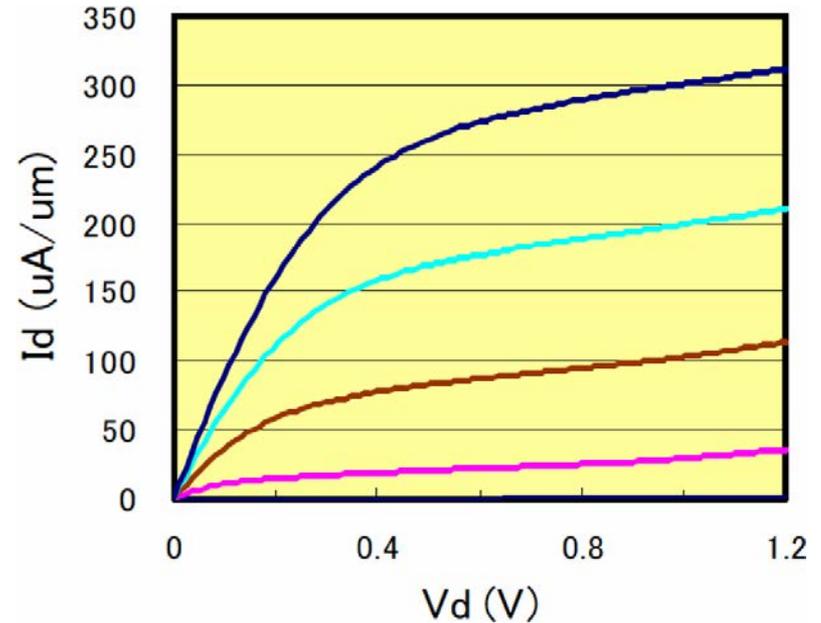
Lower Threshold (Leakage Current) is possible without increasing Leakage Current ( $V_{\text{th}}$ ).

# Kink Effect on PD-SOI and FD-SOI

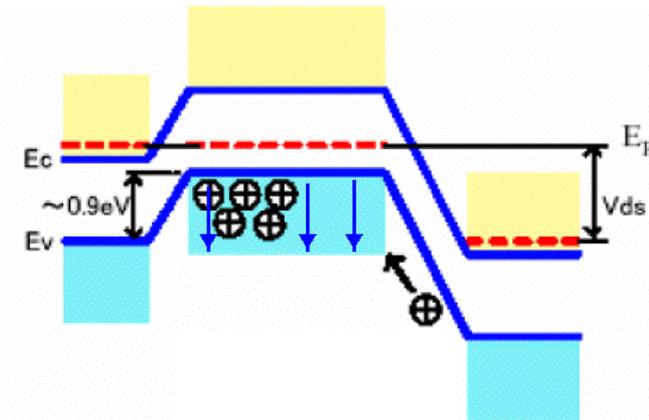
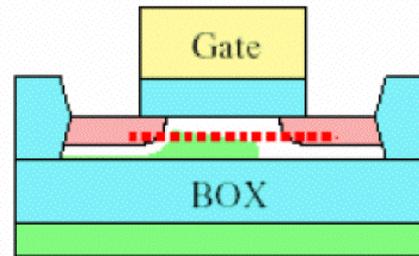
PD-SOI (good for digital)



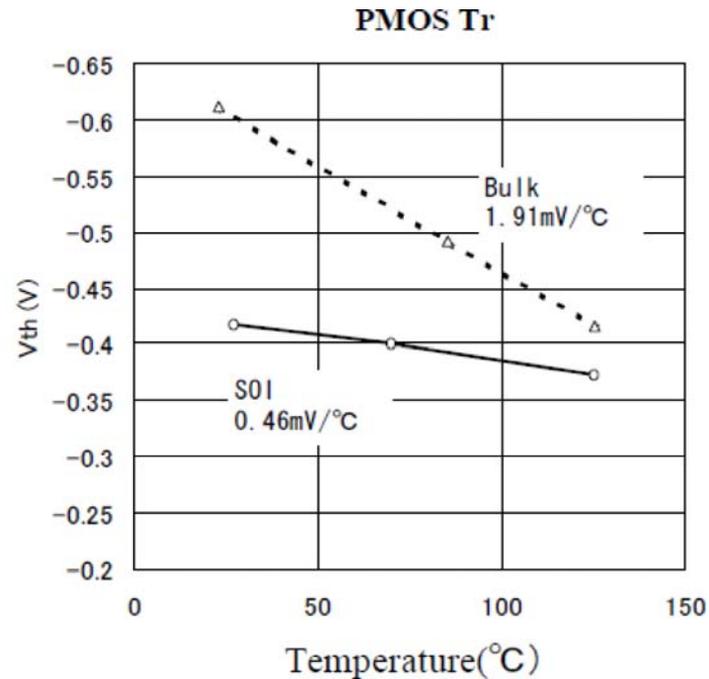
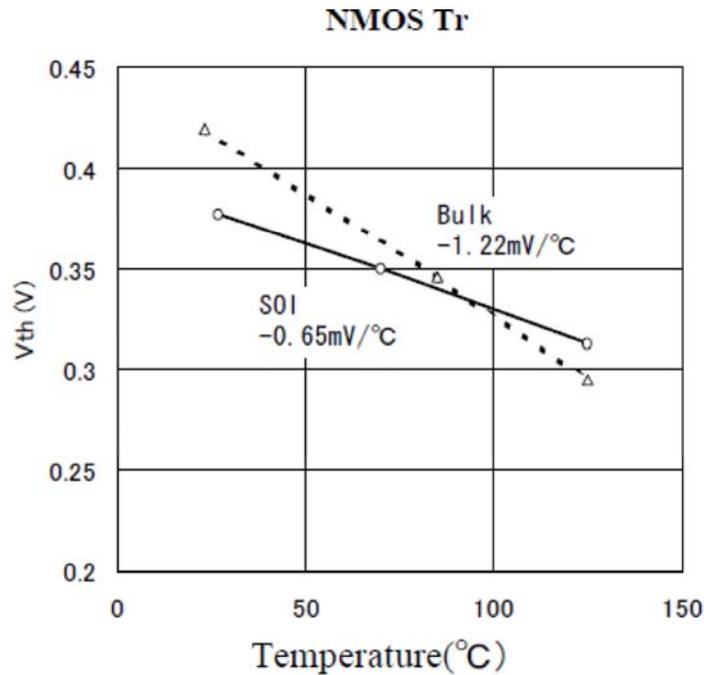
FD-SOI (good for analog)



Impact Ionization create electron-hole near the drain, and increase floating body potential.



# Small Temperature Dependence



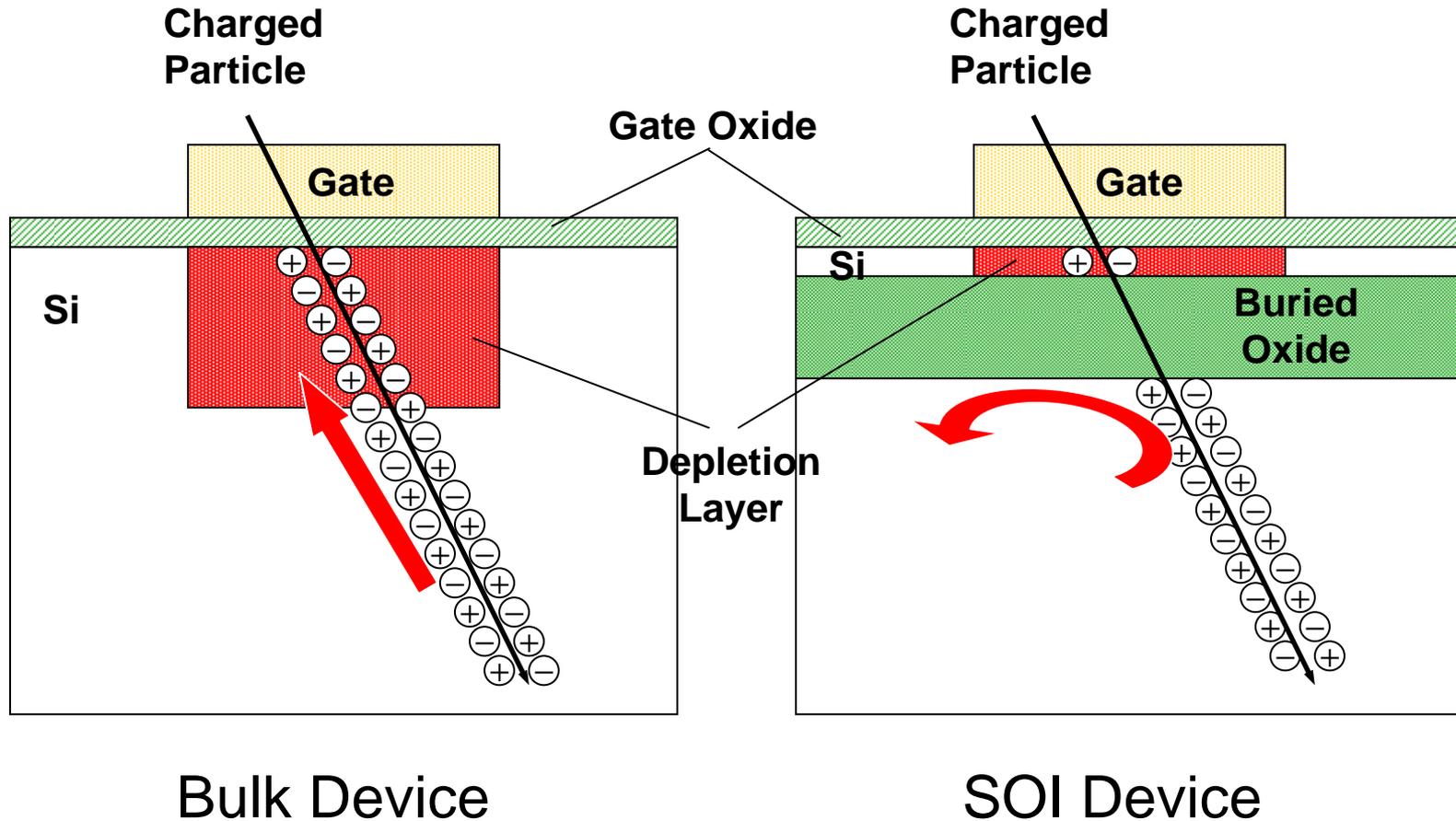
due to less change in depletion width

No latchup, Less leakage, Less V<sub>th</sub> shift



FD-SOI can be operated in 4K to 300°C.

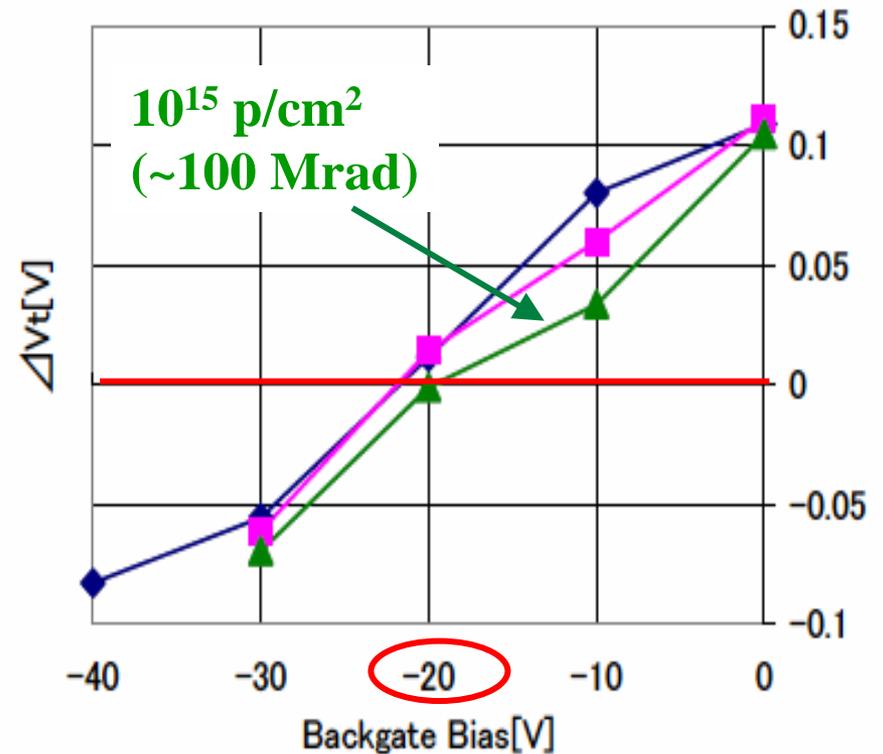
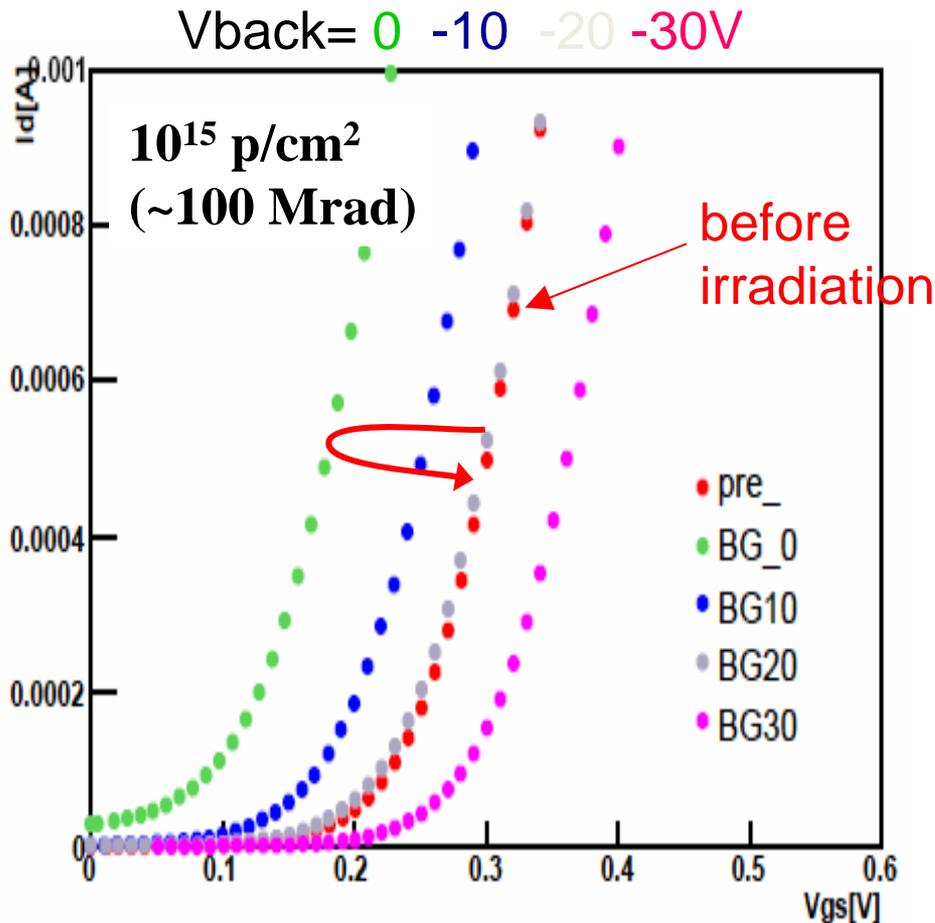
# High Soft Error Immunity



Higher soft error immunity due to ultra thin body Silicon.

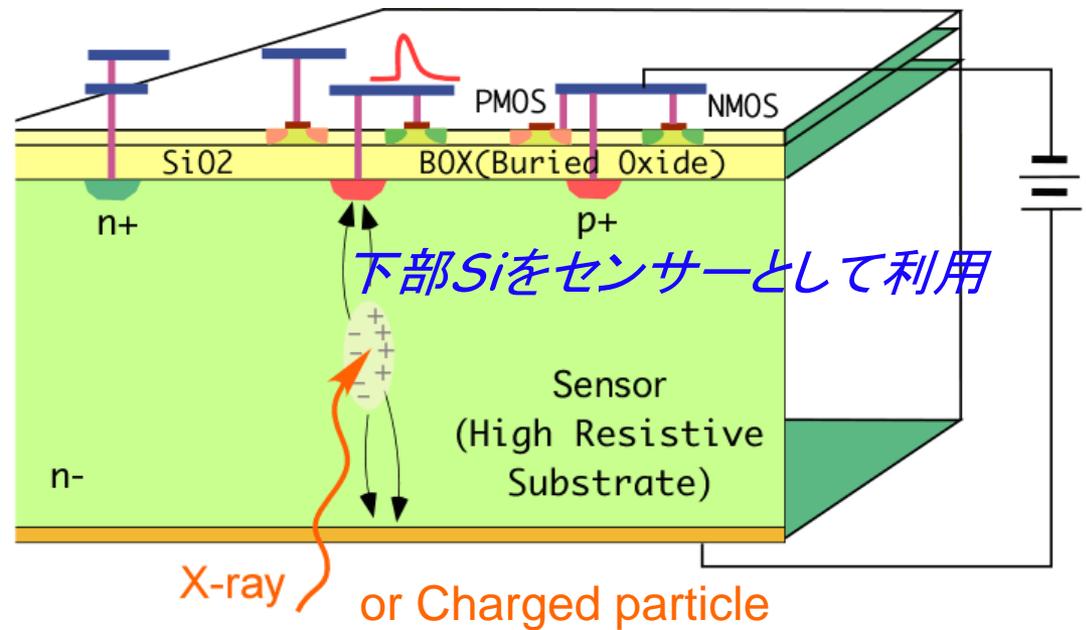
# TID(Total Ionization Doze) Damage

Leak Current and  $V_{Th}$  resumes to nearly original value by biasing back side even in 100Mrad.



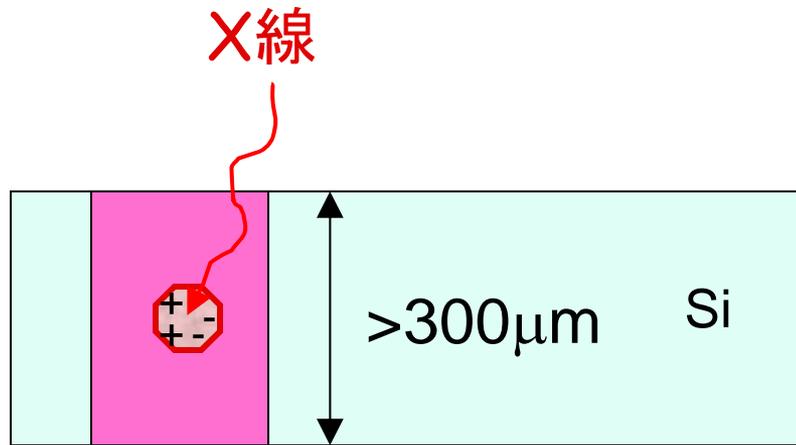
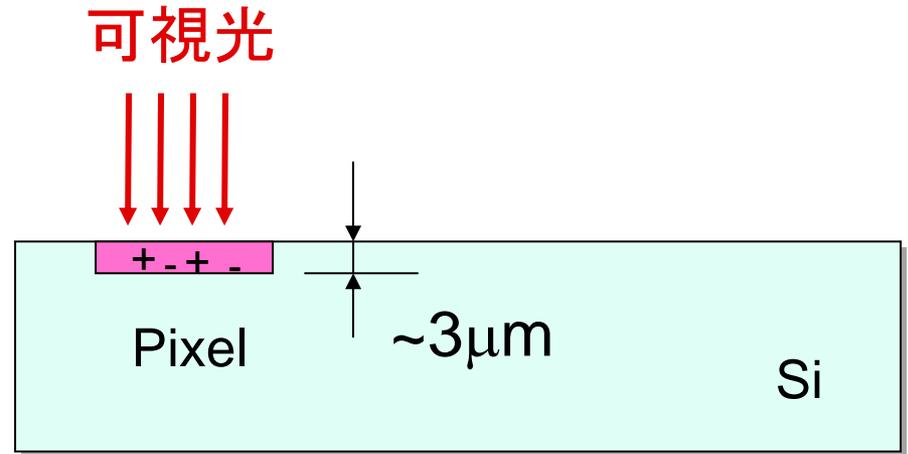
# SOI Pixel検出器

- 高比抵抗Si基板と低比抵抗Si基板を絶縁層を介して張合わせ。
- 高比抵抗部にp-n junctionを生成し、センサーとする。
- 絶縁層(BOX: Buried Oxide)に穴を開けセンサーと回路を接続。

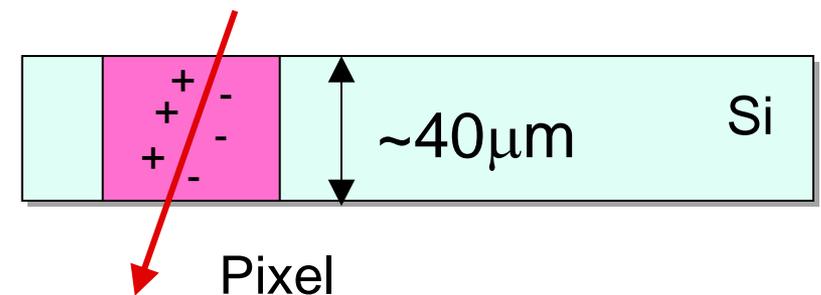


Monolithic Radiation Sensor  
として理想的な構造

# 光センサーと放射線センサー



高エネルギー電子、陽子...



信号量:

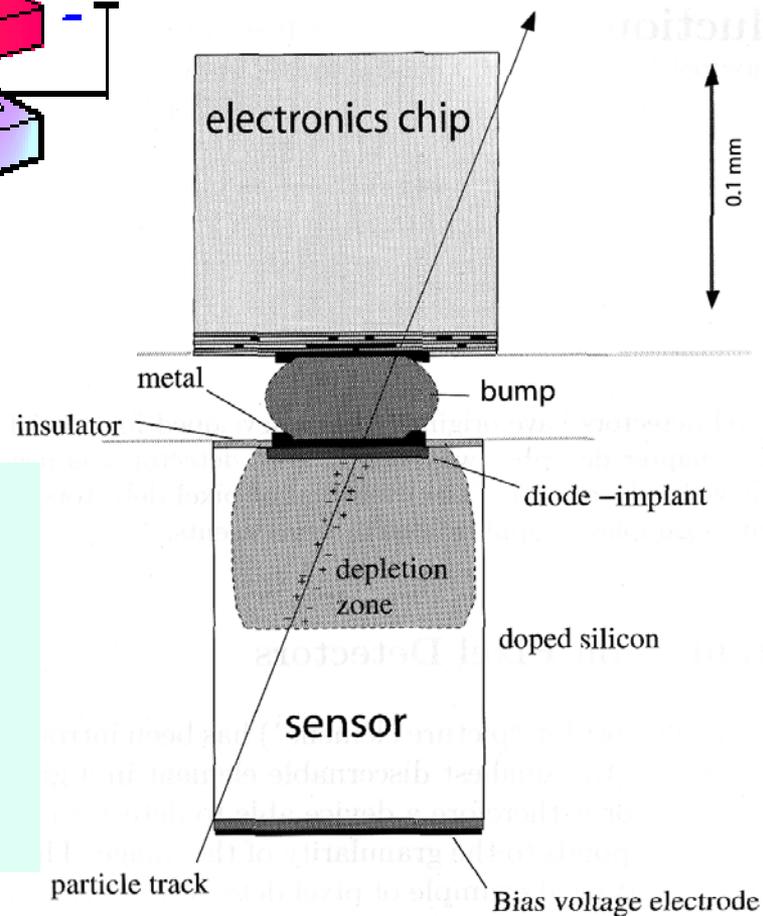
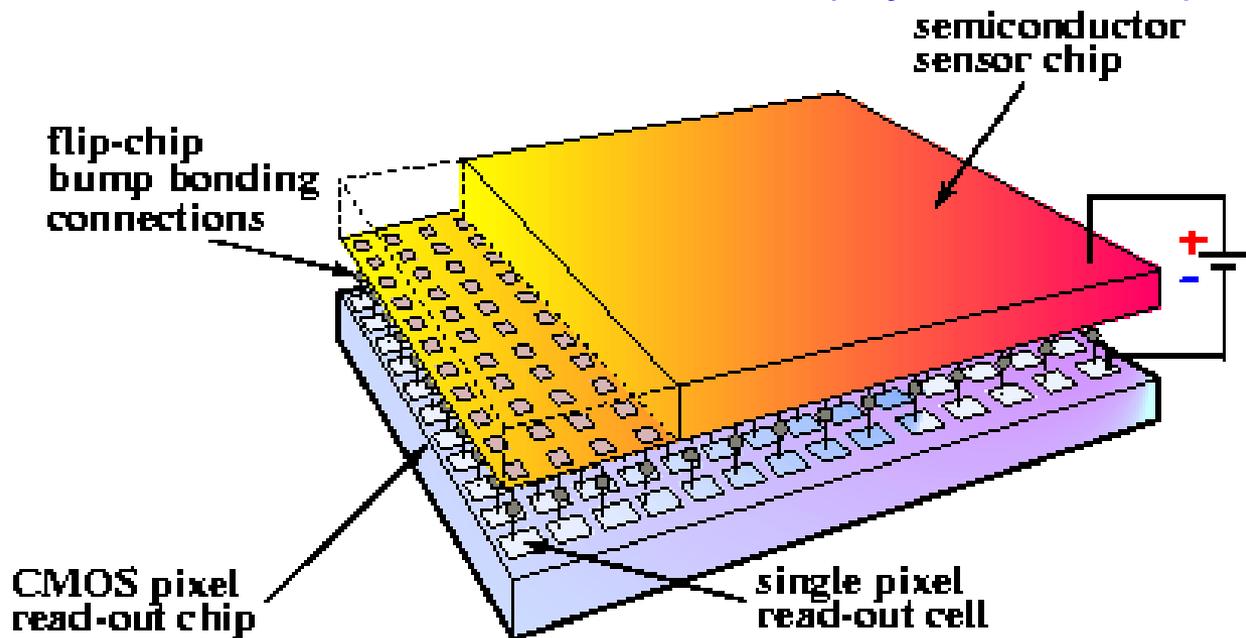
可視光 ~ 1 e-h / 1 photon

X線 ~ 3000 e-h / X-ray@10keV

荷電粒子 ~ 3000 e-h / track@40 $\mu\text{m}$

放射線はひとつずつ数えることができる。

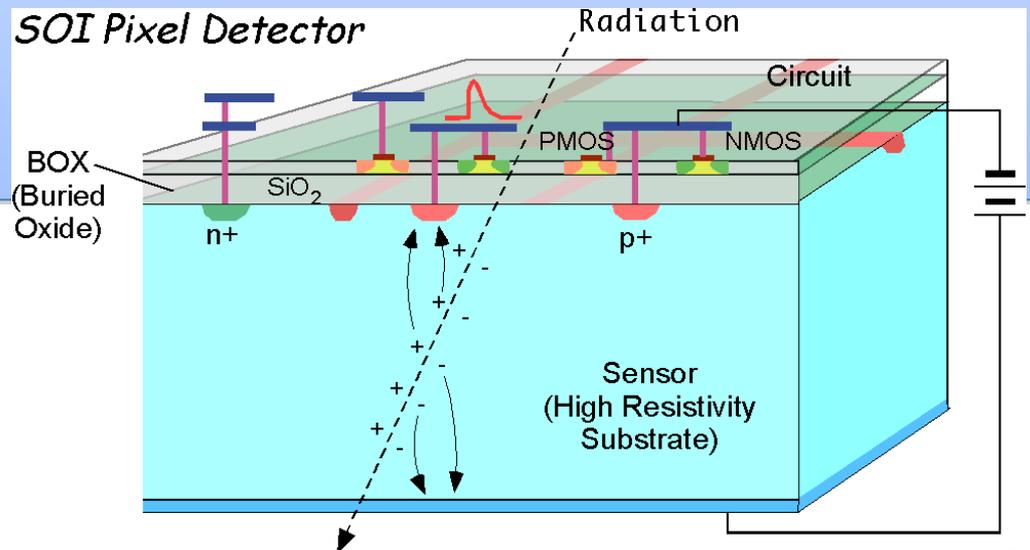
## 現在の最先端Pixel検出器(Hybrid Pixel)



- 検出器と読出しエレクトロニクスを別々に作り、金属バンプにより接合する。
- 位置分解能に制限。
- 余分な物質が大量にある。
- 寄生容量によるスピードの低下。

## SOI Pixel検出器の特徴

- 余分な物質が少なく、多重散乱をおさえられる。
- 電極容量が小さく、少ない電荷(薄いセンサー)で大きなS/Nが得られる。
- 複雑な信号処理回路を各ピクセルに持たせられる。
- 高レート、高速読み出しが可能。
- 機械的接合がなく、高分解能化、低価格化が望める。
- 産業界の標準プロセスを基本に開発。



## 今までの経過

- '05. 7: 沖電気とSOI ピクセル検出器の開発をスタート.
- '05.10: 東大VDECの **0.15 $\mu$ m MPWラン**に同居して試作.
- '06. 3: 最初の試作チップ完成  
光や放射線に対する良好な応答を確認.
- '06.12: **KEK主催の0.15 $\mu$ m MPWラン**。国内外の研究所・大学から17設計を集める。
- '07. 6 : 八王子0.15 $\mu$ mライン廃止に伴い、宮城0.2 $\mu$ mラインへ移行。
- '07.10 : JST先端計測分析技術プログラムに採択。
- '08.1: **第1回目 0.2 $\mu$ m MPWラン**を行なう。
- '09.2: **第2回目 0.2 $\mu$ m MPWラン**をサブミット。
- '09.7: 第3回目 0.2 $\mu$ m MPWランを予定。



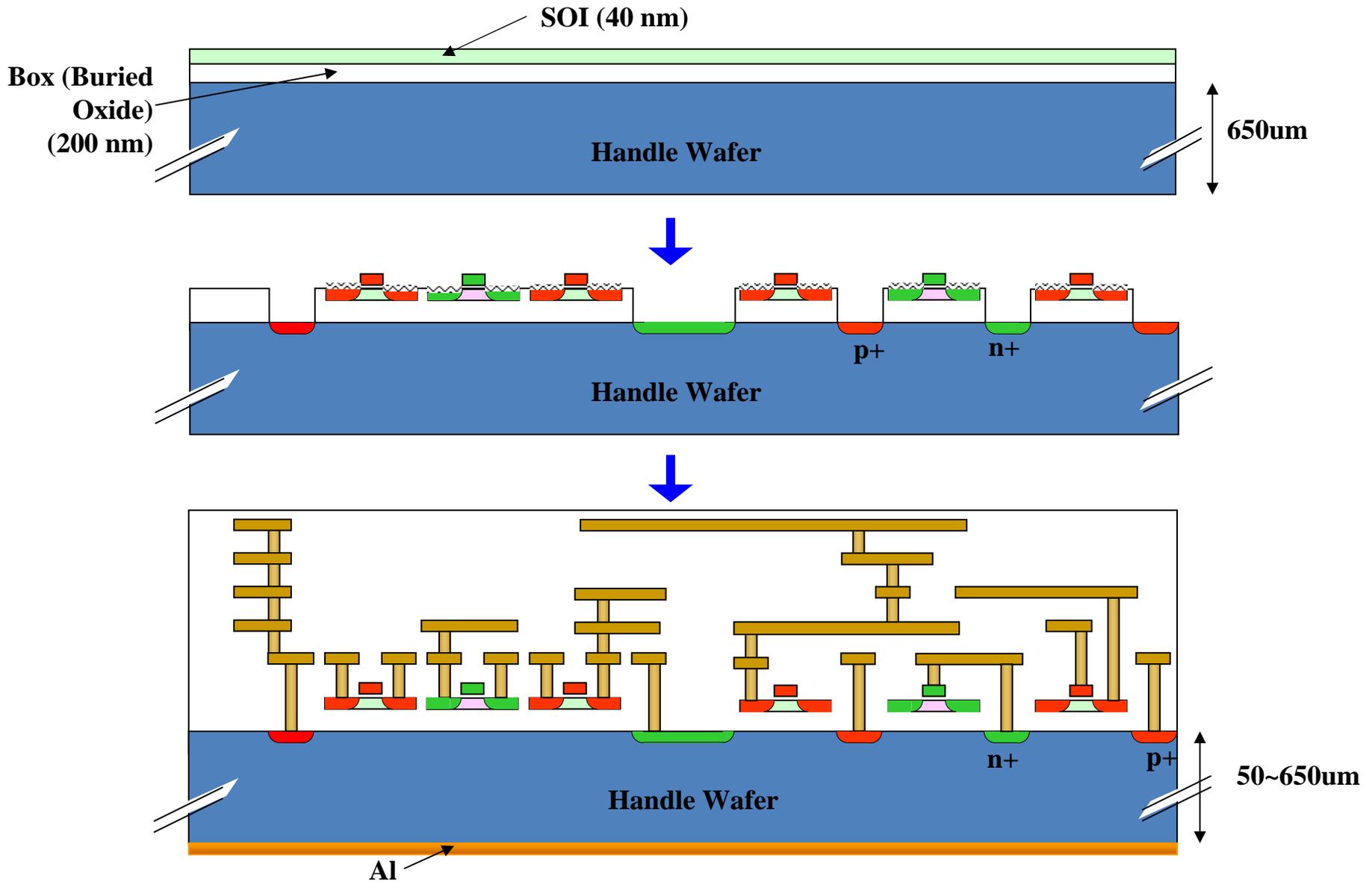
## 参加研究機関

- 高エネルギー加速器研究機構（素核研、放射光）
- 筑波大学、京都大学、大阪大学、東北大学、京都教育大学、..
- 宇宙航空研究開発機構、宇宙科学研（JAXA/ISAS）
- 高輝度光科学研究センター（Spring-8, JASRI）
- 理化学研究所
- Lawrence Berkeley National Laboratory
- Fermi National Accelerator Laboratory
- Univ. of Hawaii
- Stanford Linear Accelerator Center
- NASA-JPL
- :

## 現在進行中の主な研究計画

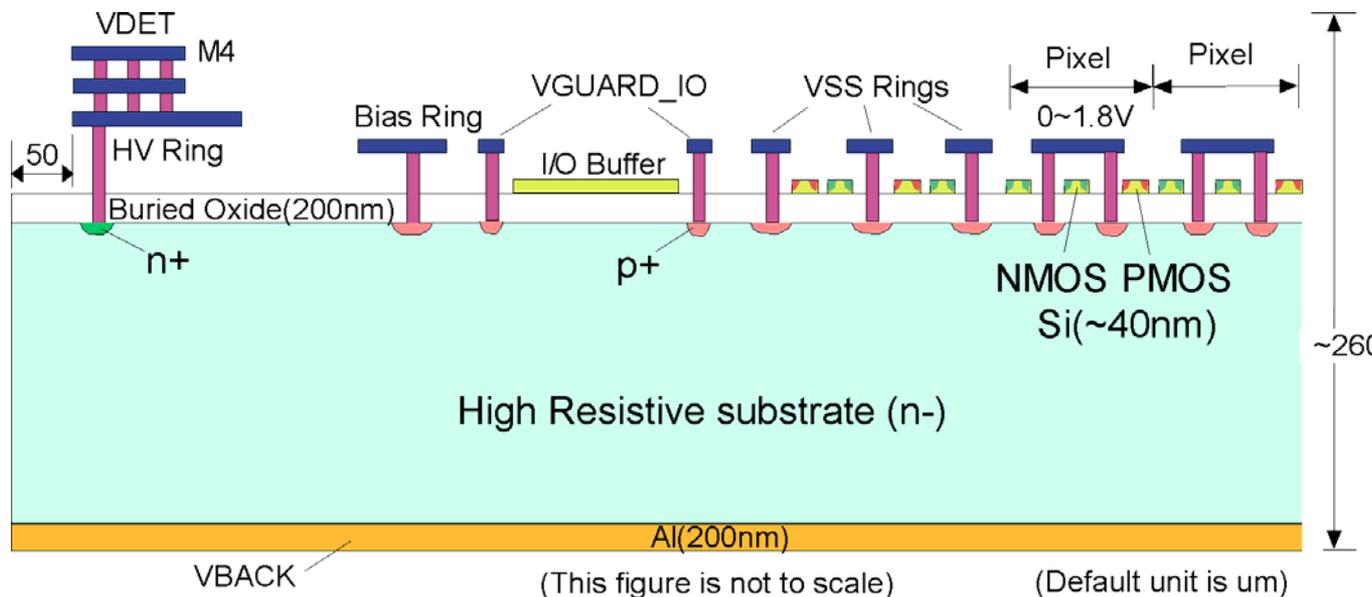
- 2008年度～ 日米科学技術協力  
「SOI技術を用いた先進的ピクセルセンサーの開発」
- 2007.9-2010年度 科学技術振興機構、先端計測分析技術・機器開発事業  
「SOI技術による時間・空間X線イメージセンサー」
- 2008-2010年度 科研費基盤研究(B)、  
「SOI型シリコンピクセルX線  $\gamma$  線検出器」
- 2008-2010年度 JAXA/ISAS基礎開発研究費、「SOI技術による低バックグラウンド・精密分光撮像・広帯域X線ピクセル検出器の開発」
- 2008年度～ 理研/JASRI、  
「XFELでの高強度X線検出用SOI Image Sensor開発」
- 2008年度～ KEK-(株)リガク 共同研究、  
「SOI技術を使って作成したX線検出器の特性試験」
- 2005年度～ JAXA/ISAS、「宇宙用耐放射線性エレクトロニクス」
- 2005年度～ KEK、「SuperBelle実験用SOI Vertex検出器の開発」、  
「SuperLHC用SOI Pixel検出器」

# SOI Pixel Process Flow



# OKI 0.2 $\mu\text{m}$ FD-SOI Pixel Process

Process	0.2 $\mu\text{m}$ Low-Leakage Fully-Depleted SOI CMOS (OKI) 1 Poly, 4 Metal layers, MIM Capacitor, DMOS option Core (I/O) Voltage = 1.8 (3.3) V
SOI wafer	Diameter: 200 mm $\phi$ , Top Si : Cz, $\sim 18 \Omega\text{-cm}$ , p-type, $\sim 40 \text{ nm}$ thick Buried Oxide: 200 nm thick Handle wafer: Cz, $700 \Omega\text{-cm}$ ( <i>n-type</i> ), 650 $\mu\text{m}$ thick
Backside	Thinned to 260 $\mu\text{m}$ , and sputtered with Al (200 nm).

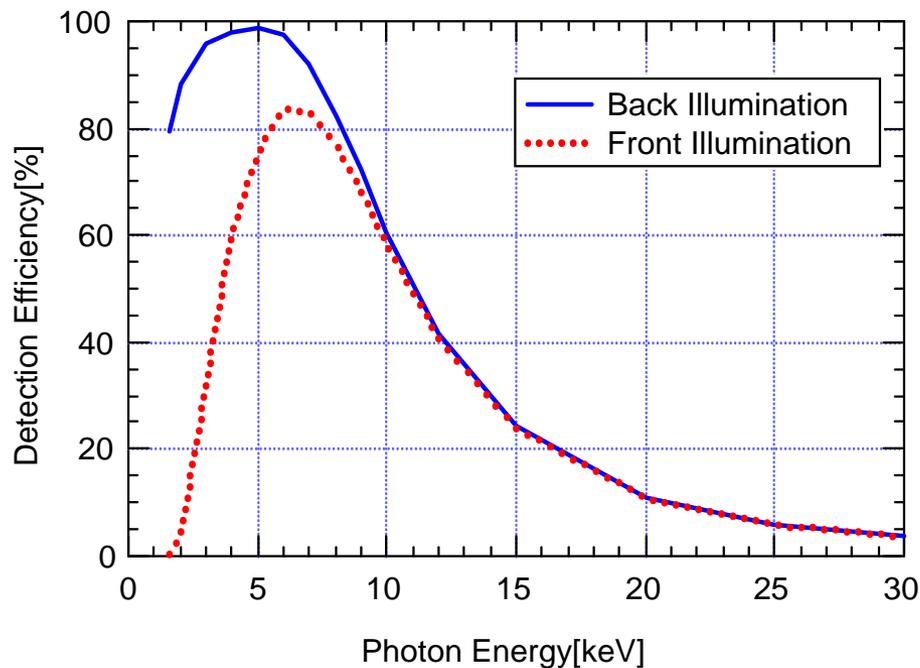


An example of a SOI Pixel cross section

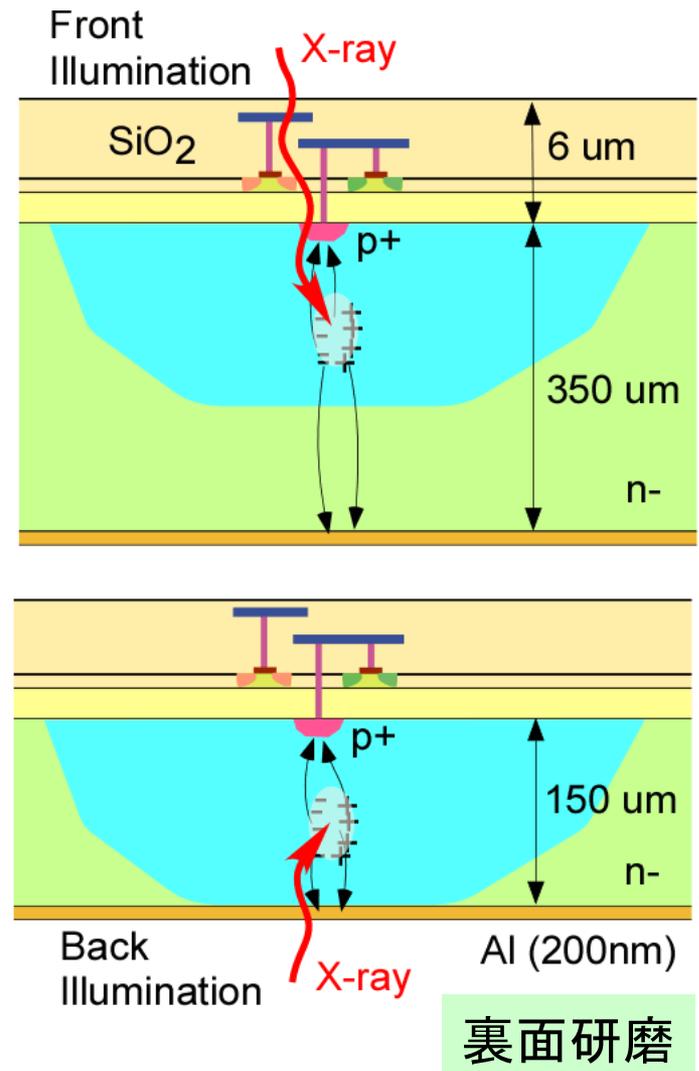
# SOI Pixel X線検出効率

空乏層厚150  $\mu\text{m}$ 時のX線検出効率

~20 keV 検出効率>10%



薄く安く出来るので、複数毎重ねて検出効率を上げる事も出来る。

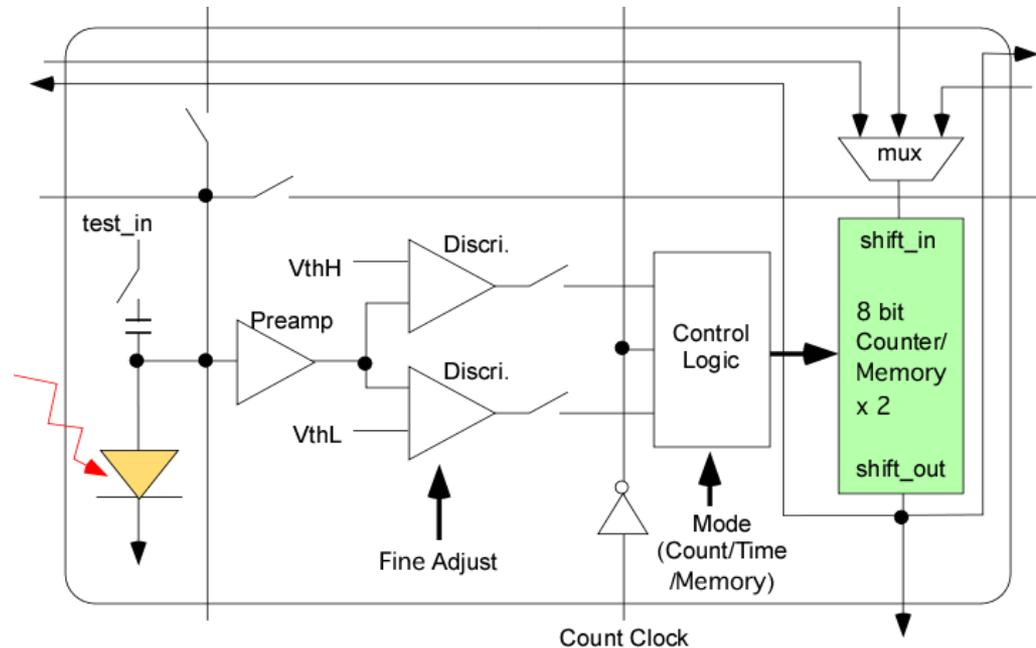
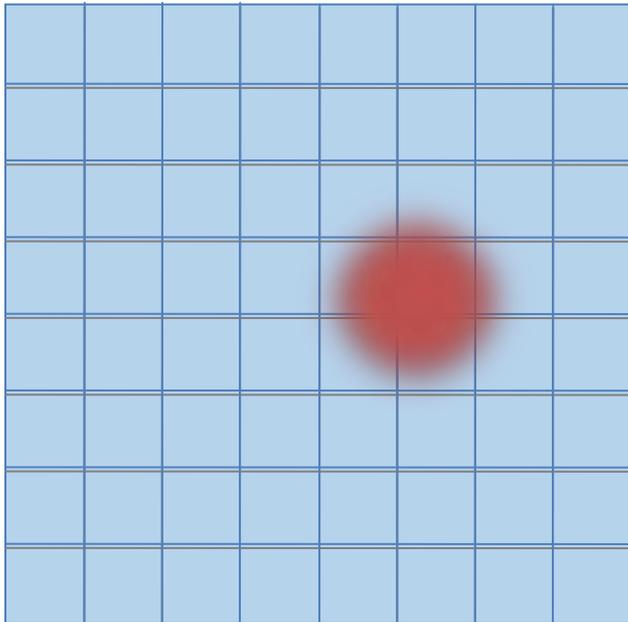


将来的にはSi以外のセンサーも可能

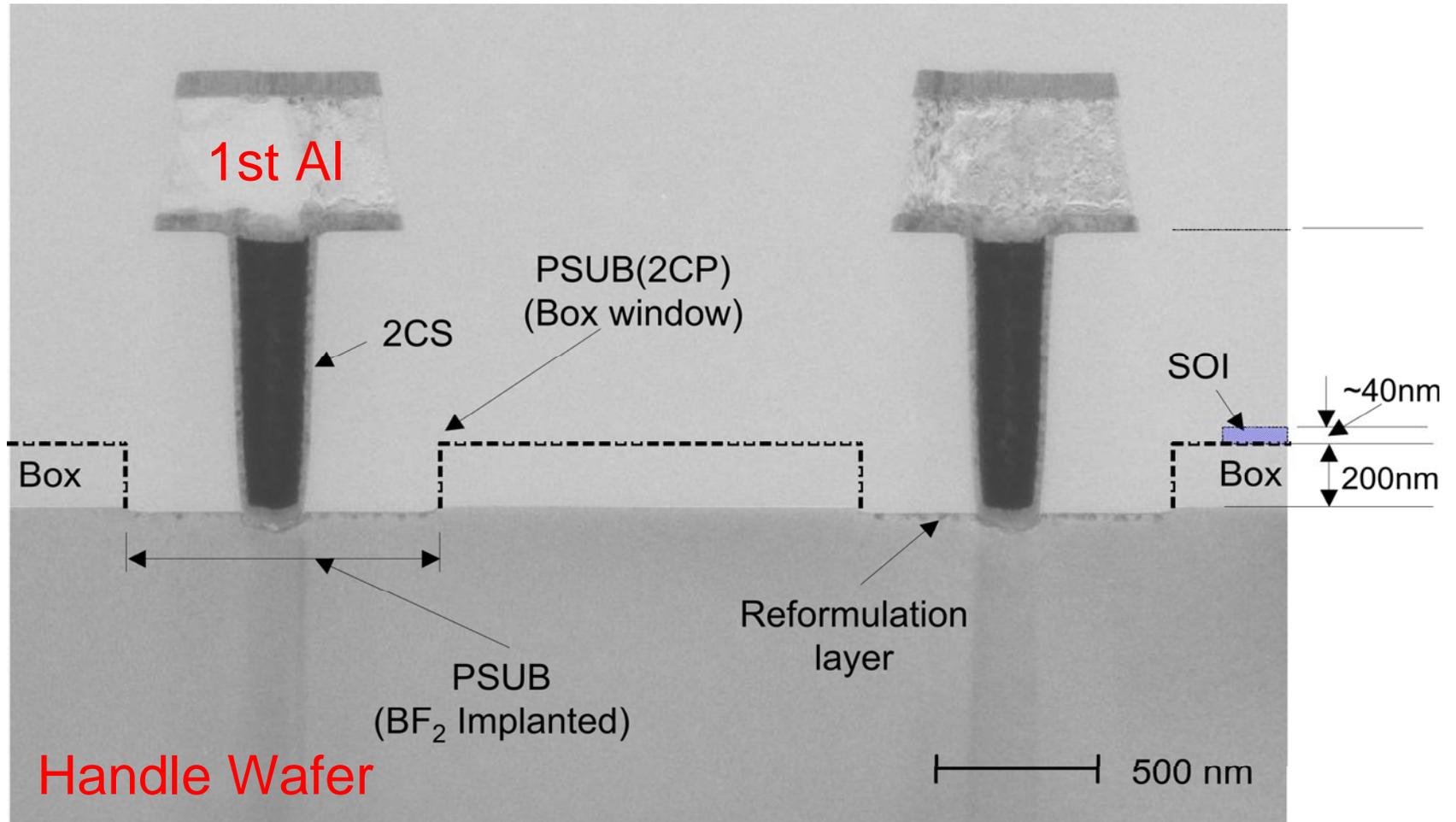
## その他SOI Pixelで可能になる事

ピクセル毎に複雑なアナログ／デジタル回路を持てるので、  
Photon Counting (高S/N, 高ダイナミックレンジ)、  
エネルギー測定、時間測定、ヒット計数 (ヒストグラミング)、  
ローカル記録 (高速測定)、近接ピクセル相関、セルフトリガー、...  
といった機能を内蔵する事が可能になる。

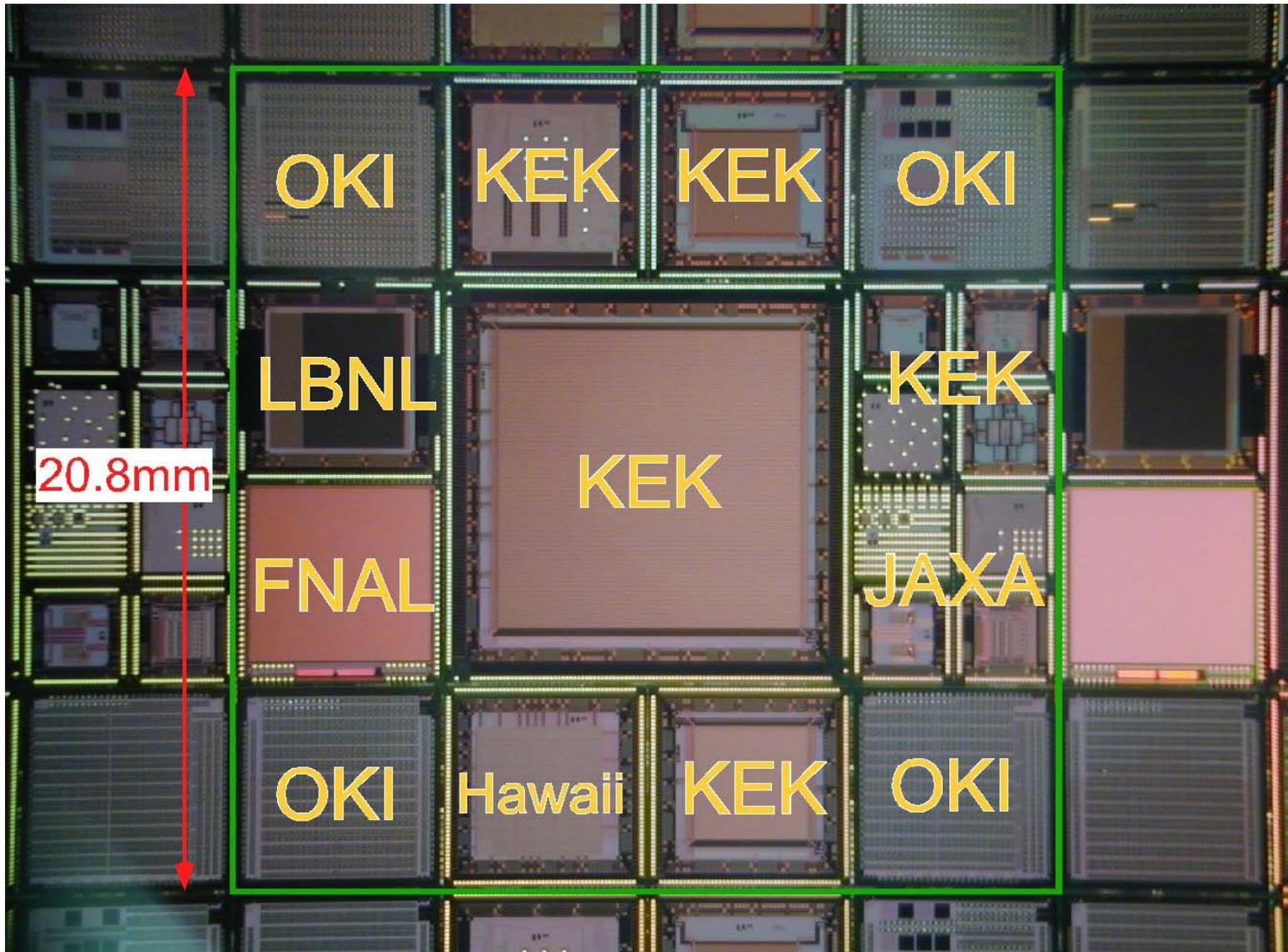
アイデア次第！



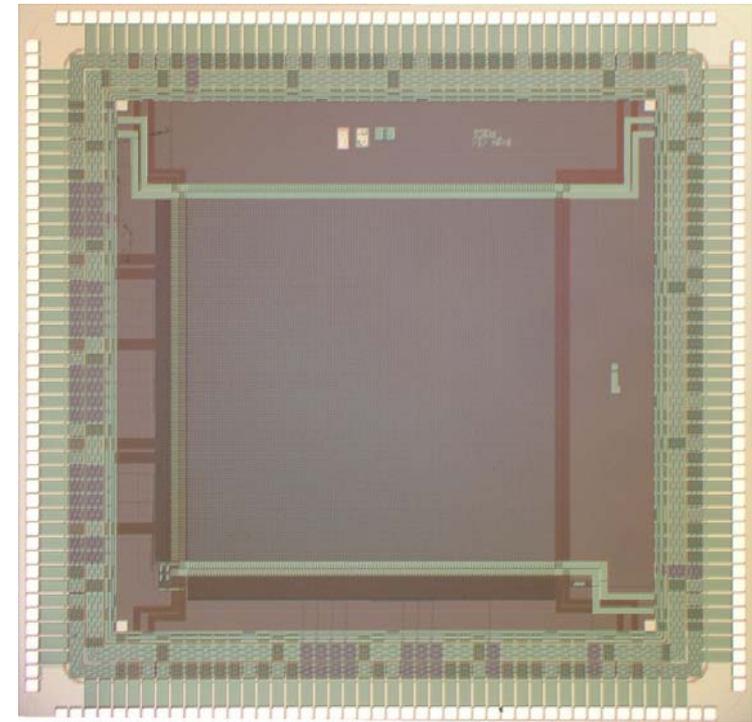
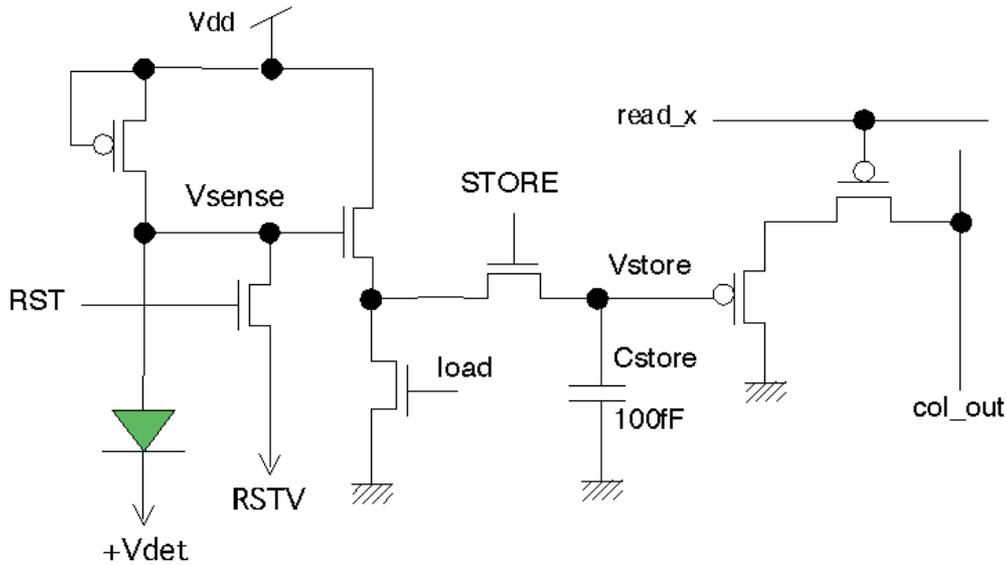
# Metal contact & p+ implant



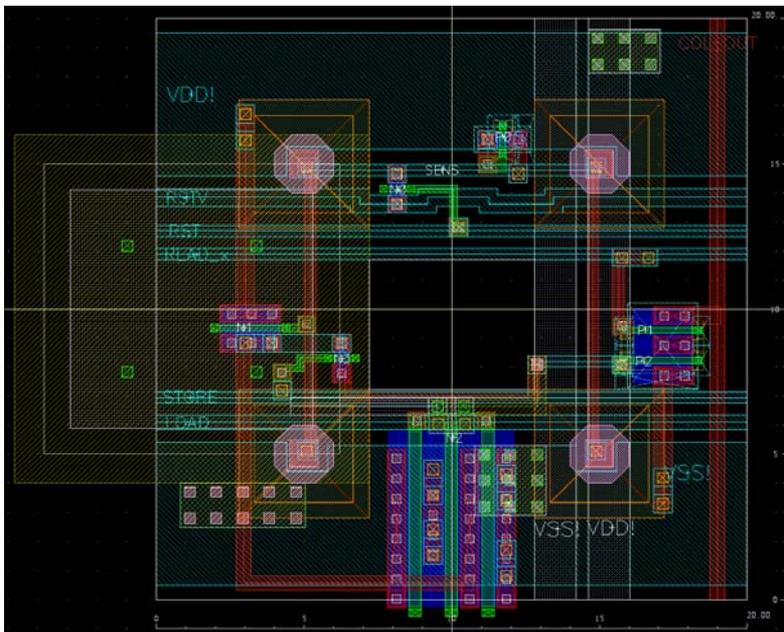
KEK SOI MPW run (2008.1)



# Integration Type Pixel (INTPIX)



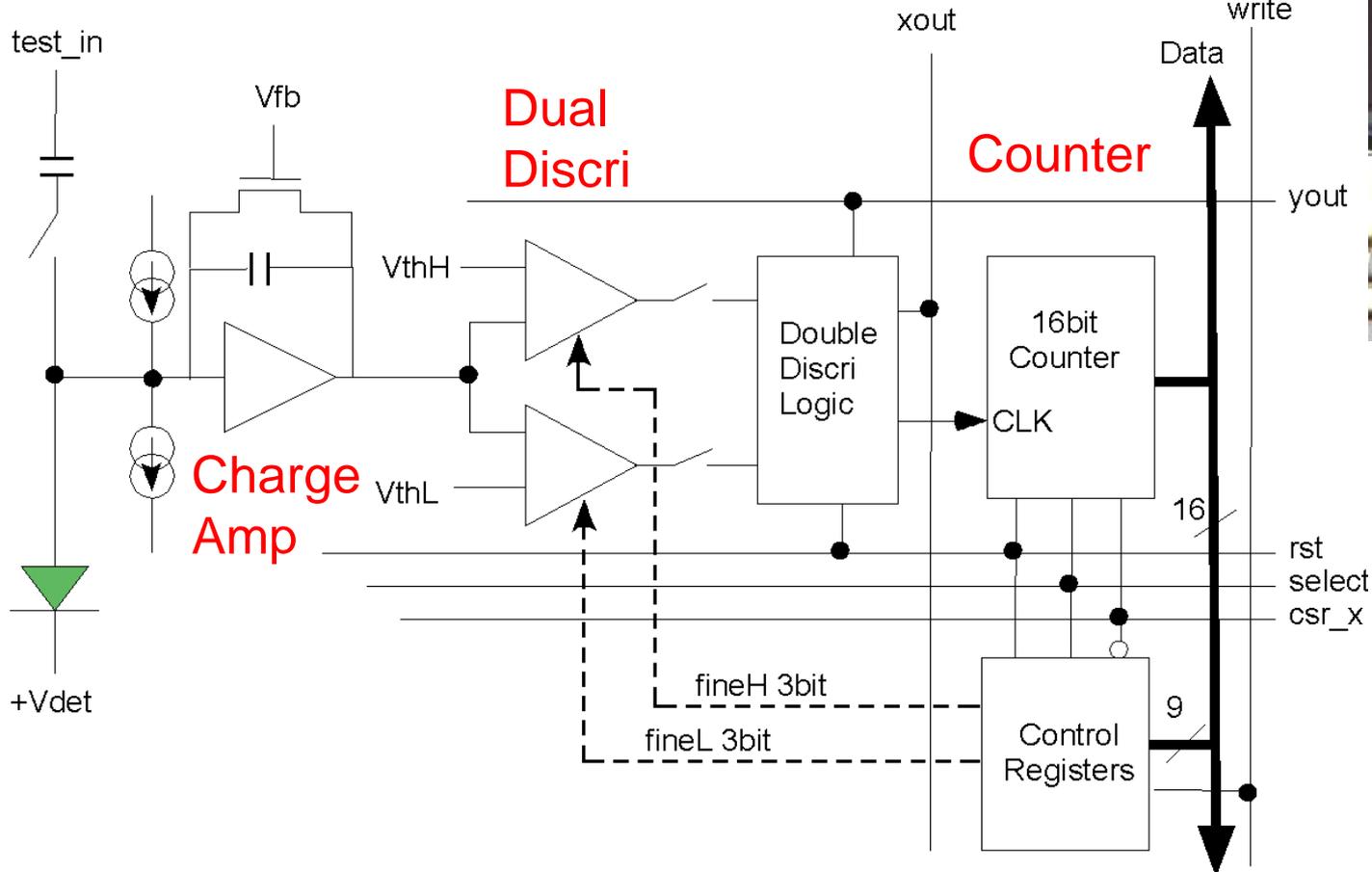
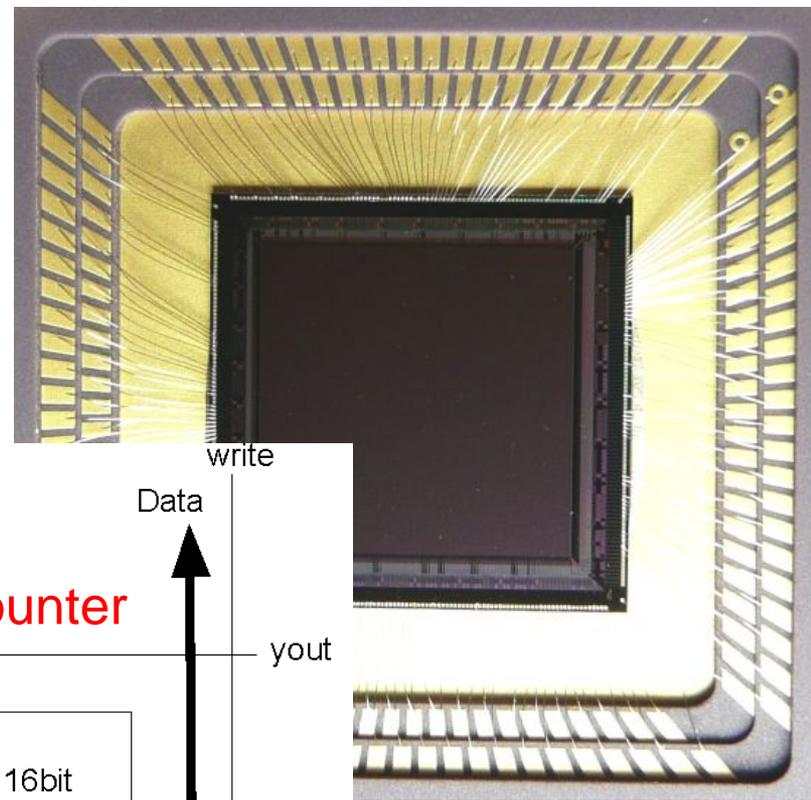
128 x 128 pixels  
5 x 5 mm<sup>2</sup>



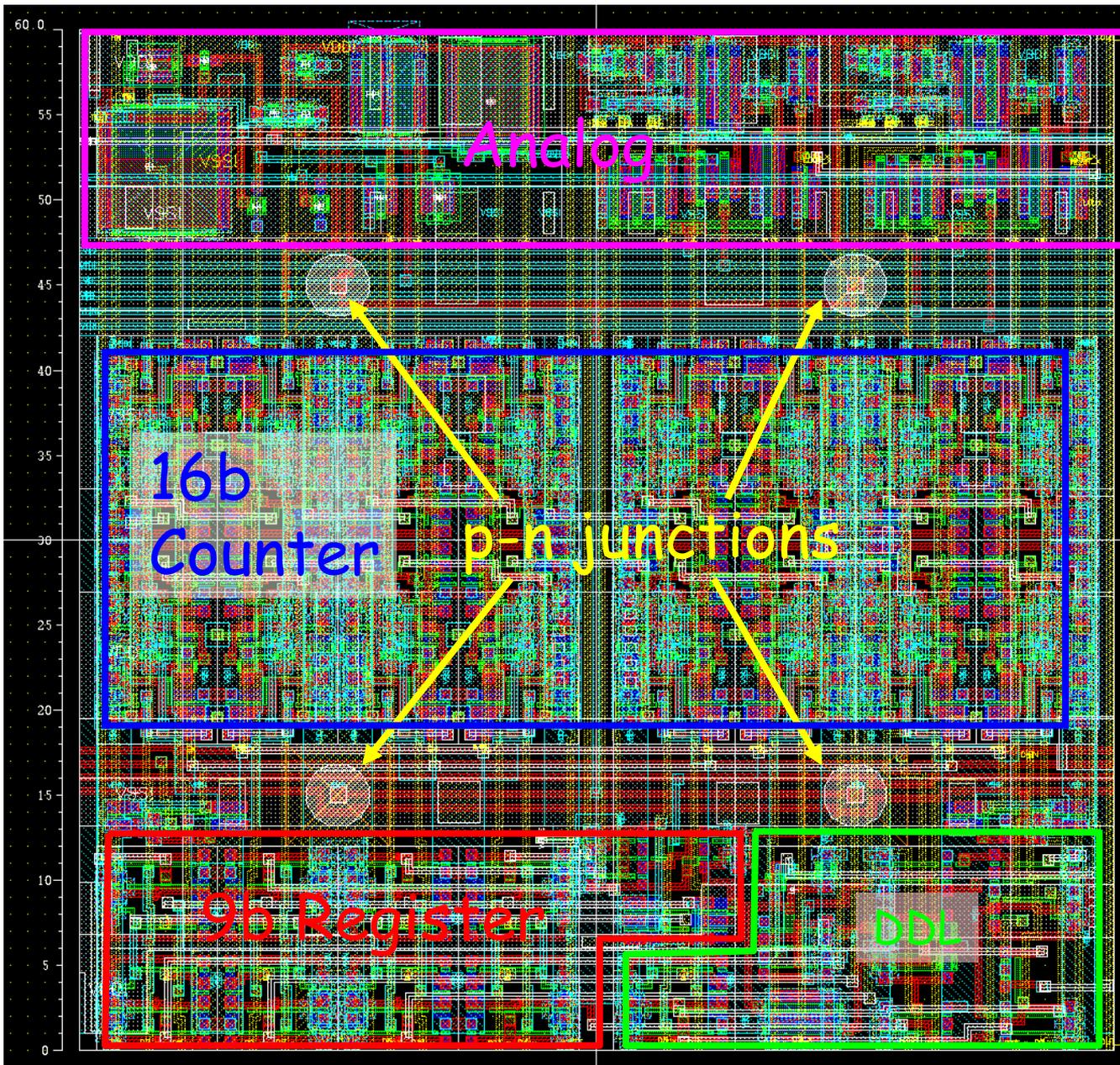
20  $\mu\text{m}$  x 20  $\mu\text{m}$  pixel

# Counting Type Pixel

Energy window and counting in each pixel.



10.4 mm $\square$   
128 x 128 pix

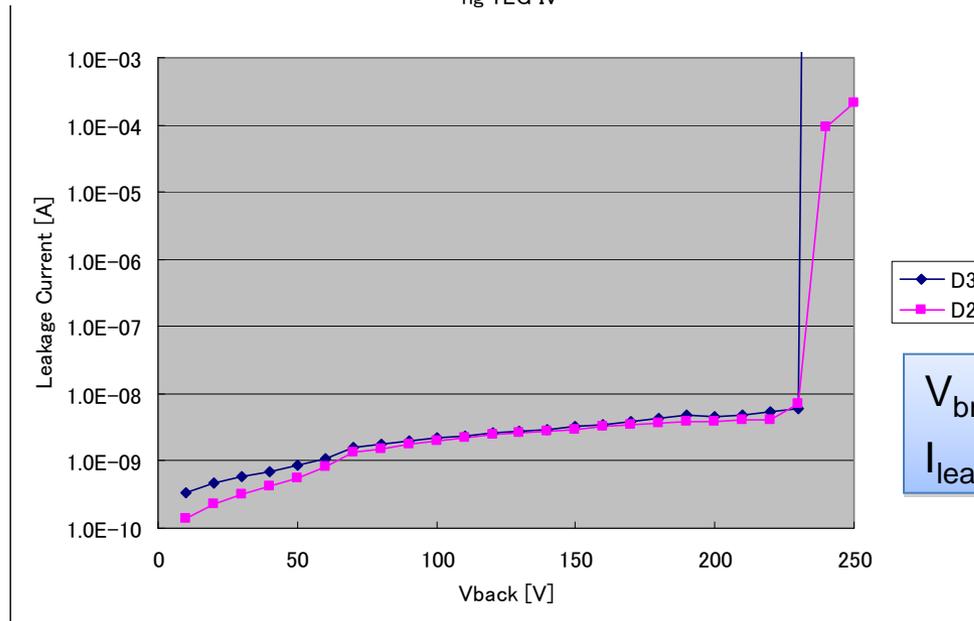
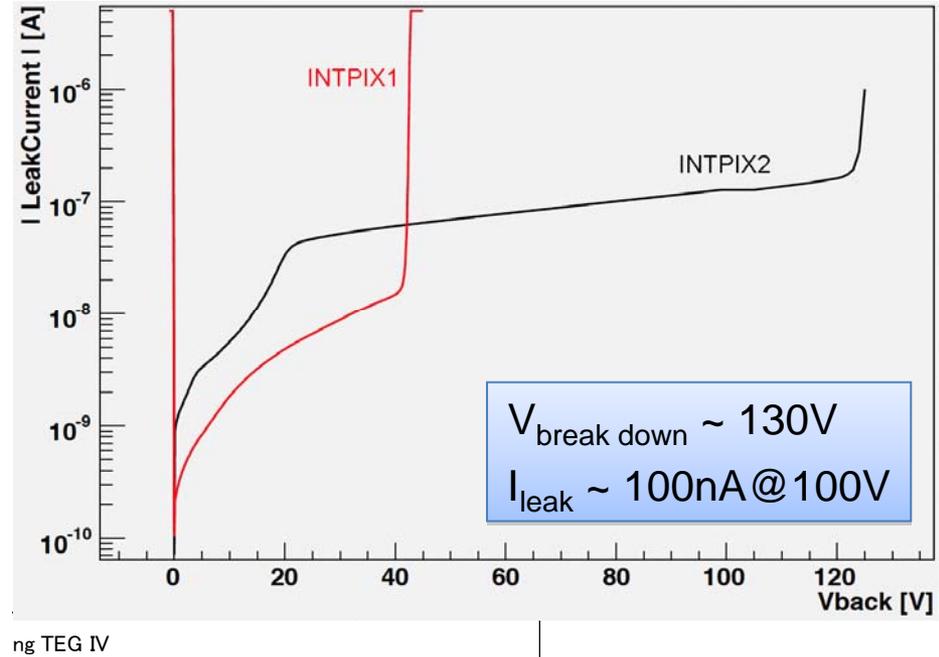
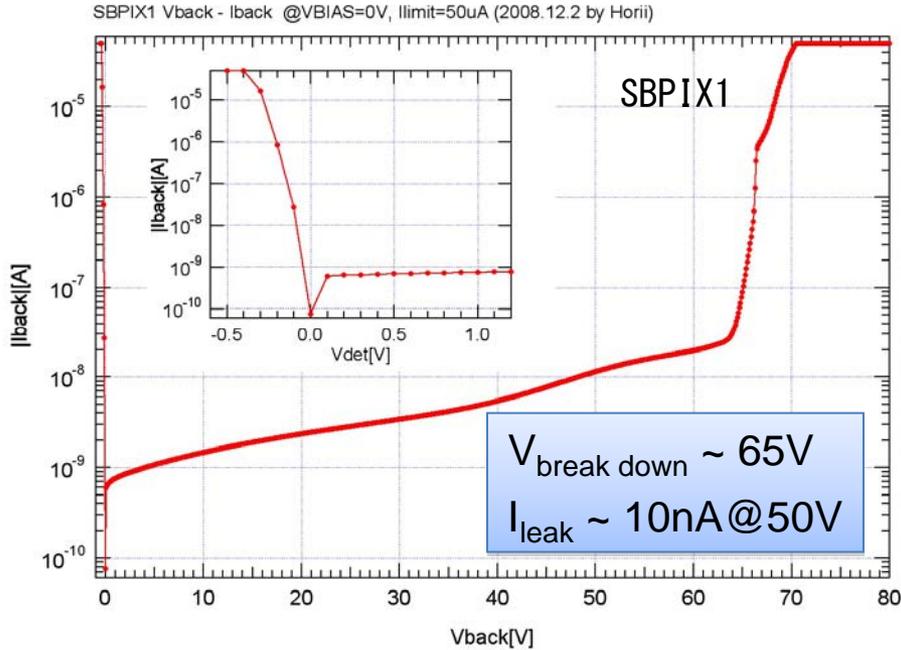


CNTPIX2  
Pixel

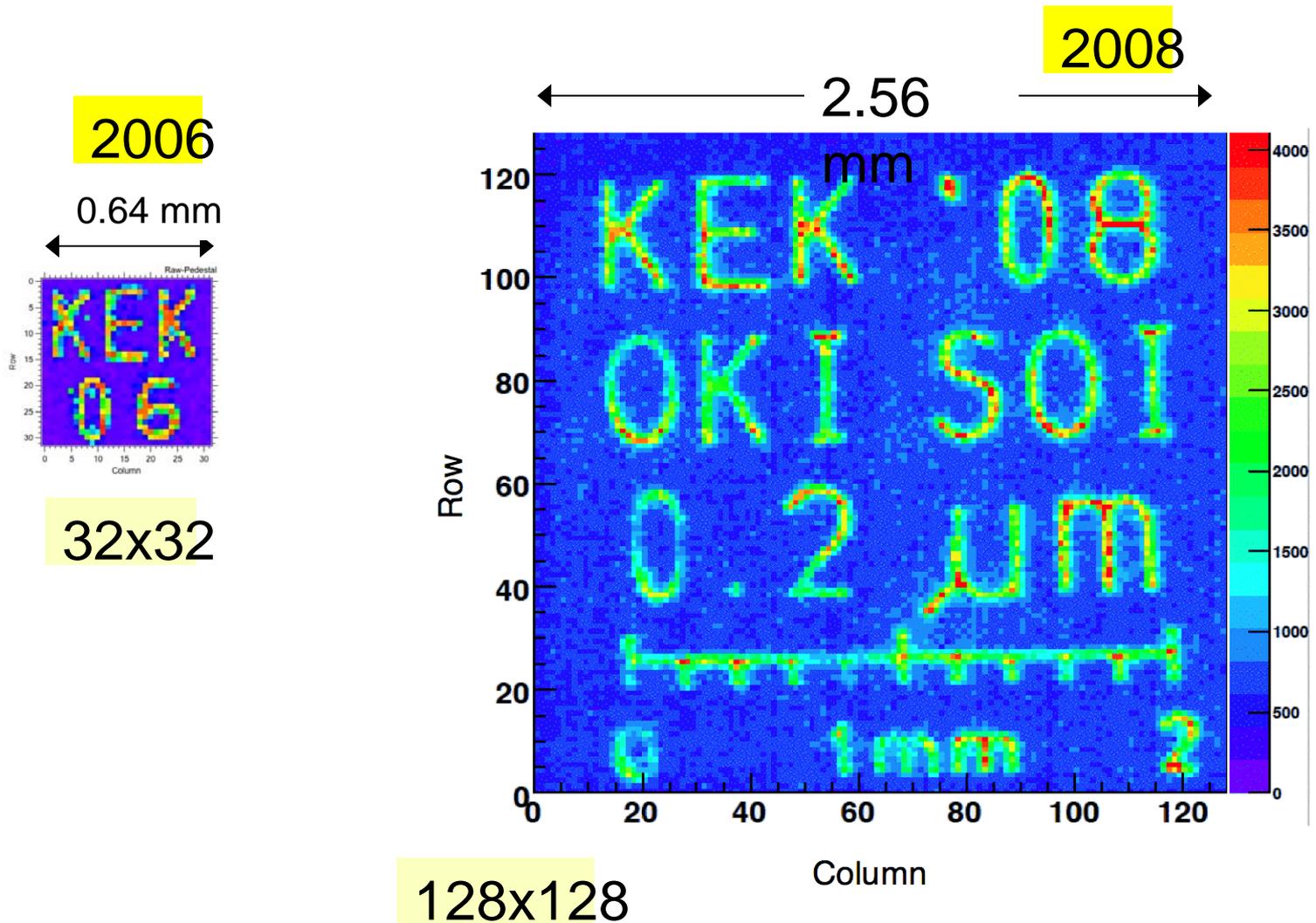
~600 Tr/pix  
x 128 x 128  
= 10,000,000 Trs

60x60 μm<sup>2</sup>

# Break Down Voltage & Leak Current



# SOI Pixel Laser Images



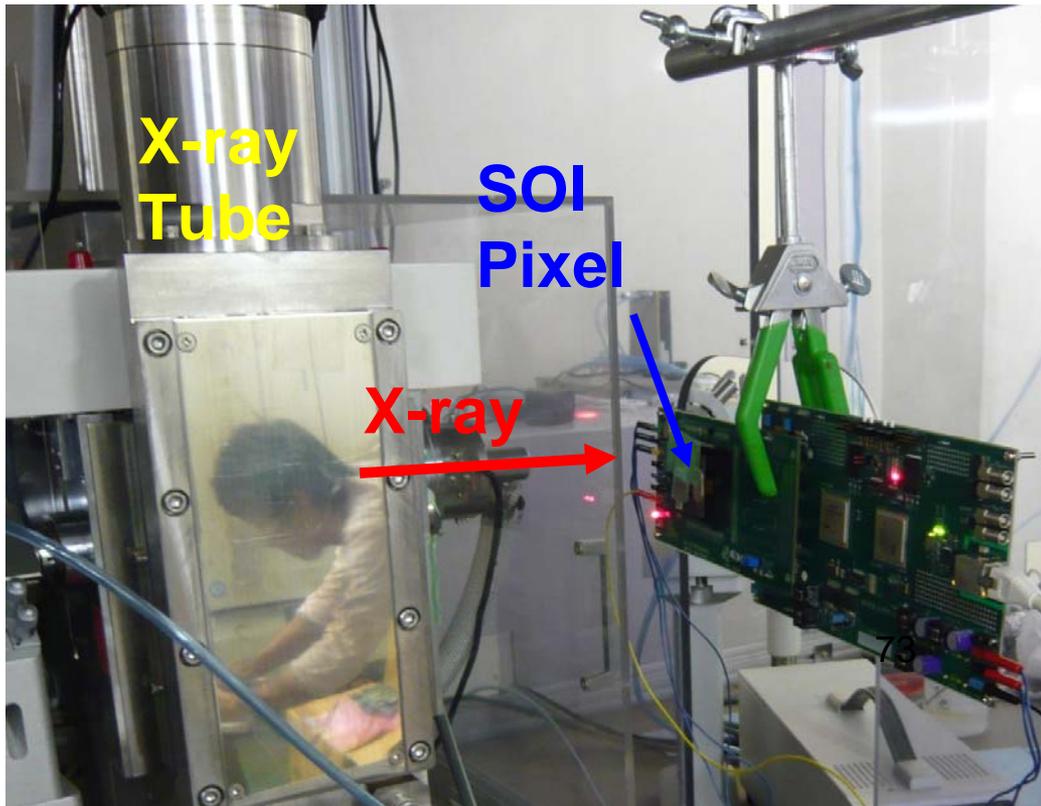
# X-ray Irradiation Test

X-ray Generator : Rigaku FR-D

Target : Cu (Cu  $K\alpha$  ~8keV)

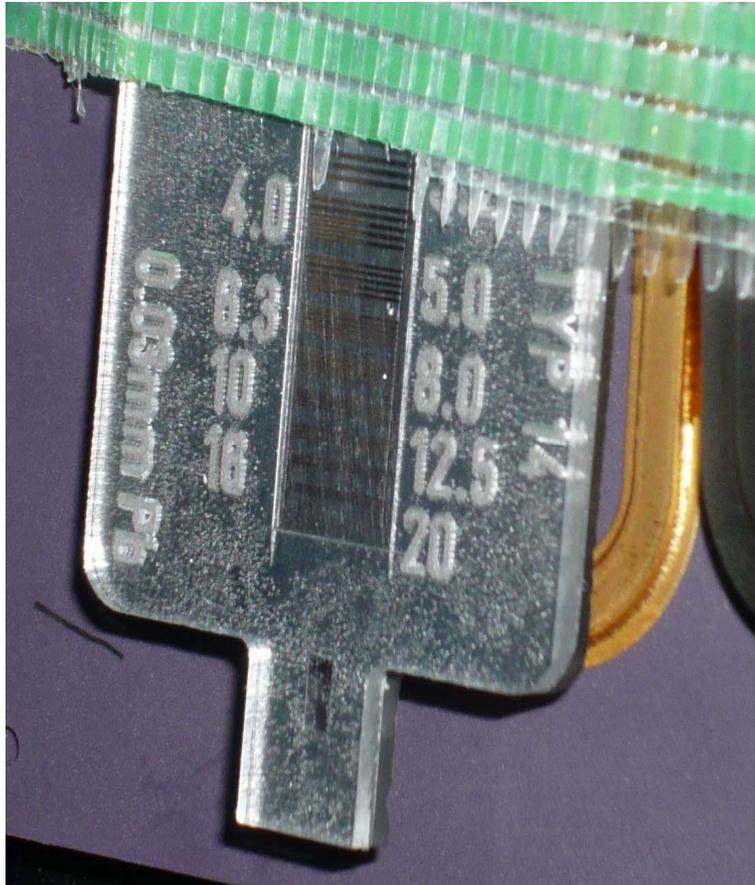
Power : 30-35kV, 10-30mA (max 50kV,60mA)

Intensity :  $\sim 10^4$  photons/pixel/sec @30kV,10mA



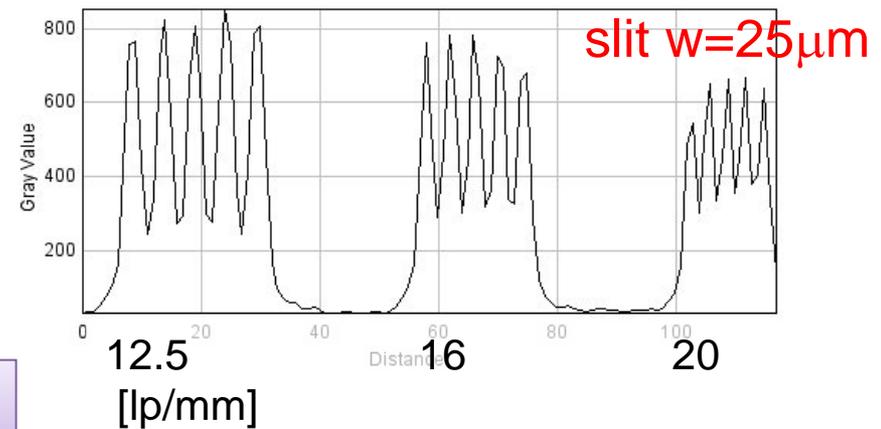
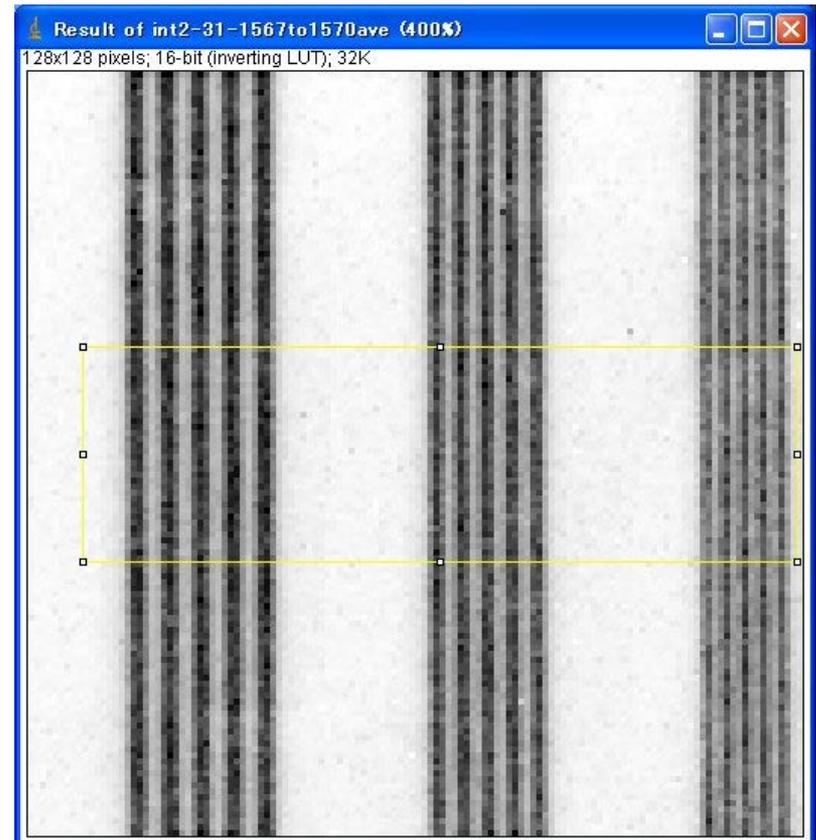
Position resolution  
(pixel size= $20\mu\text{m} \times 20\mu\text{m}$ )

INTPIX2

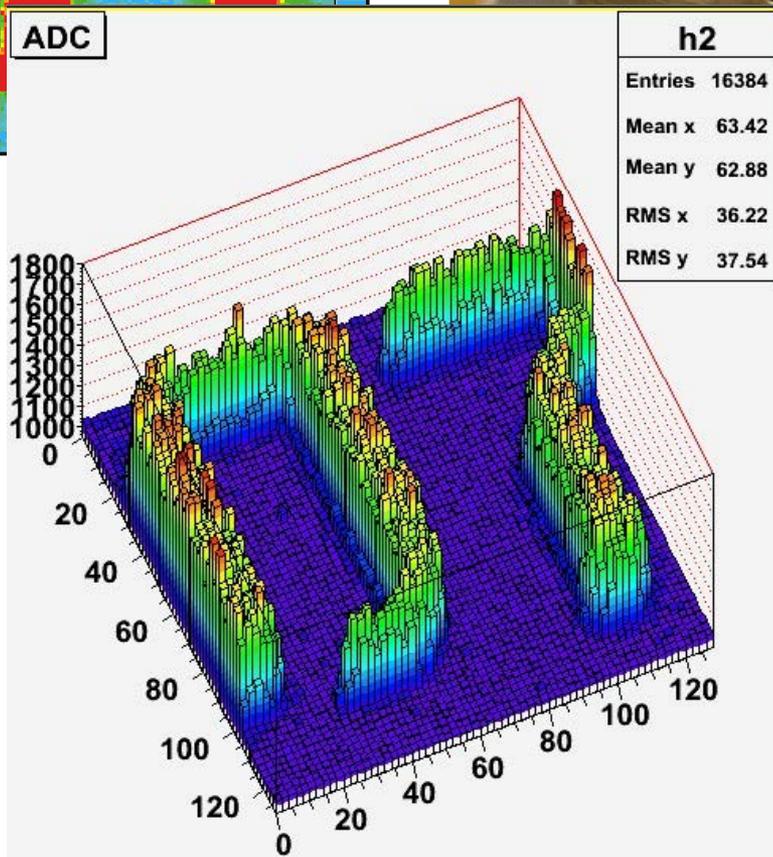
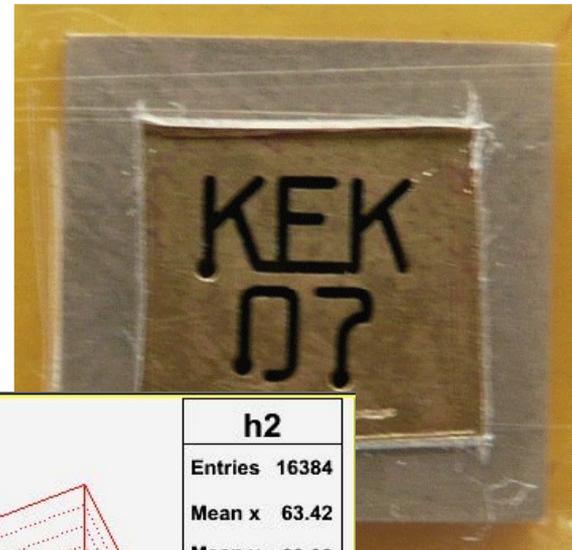
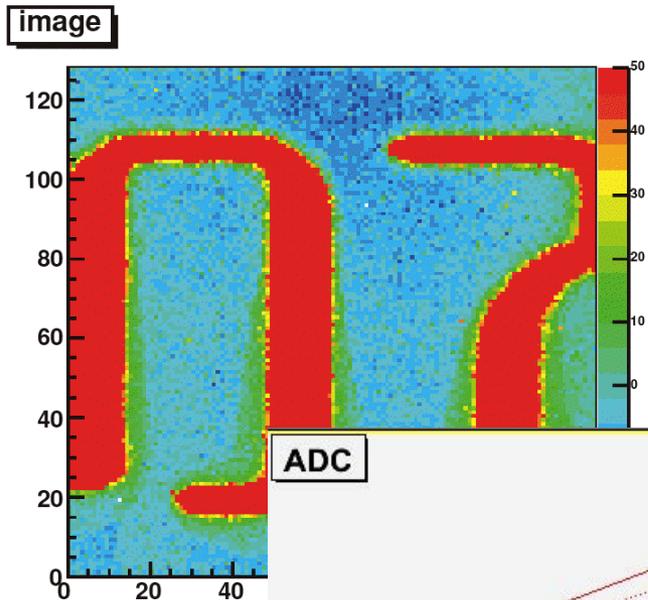
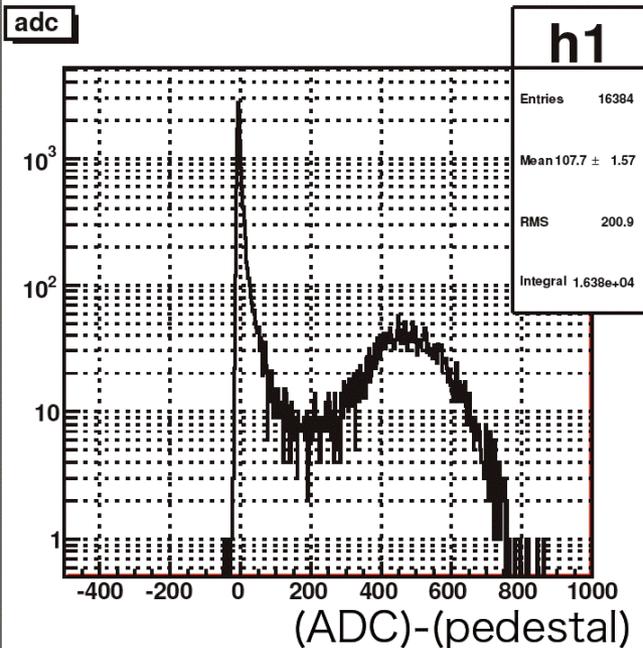


X-ray Test Chart

25  $\mu\text{m}$  Slit is well separated.

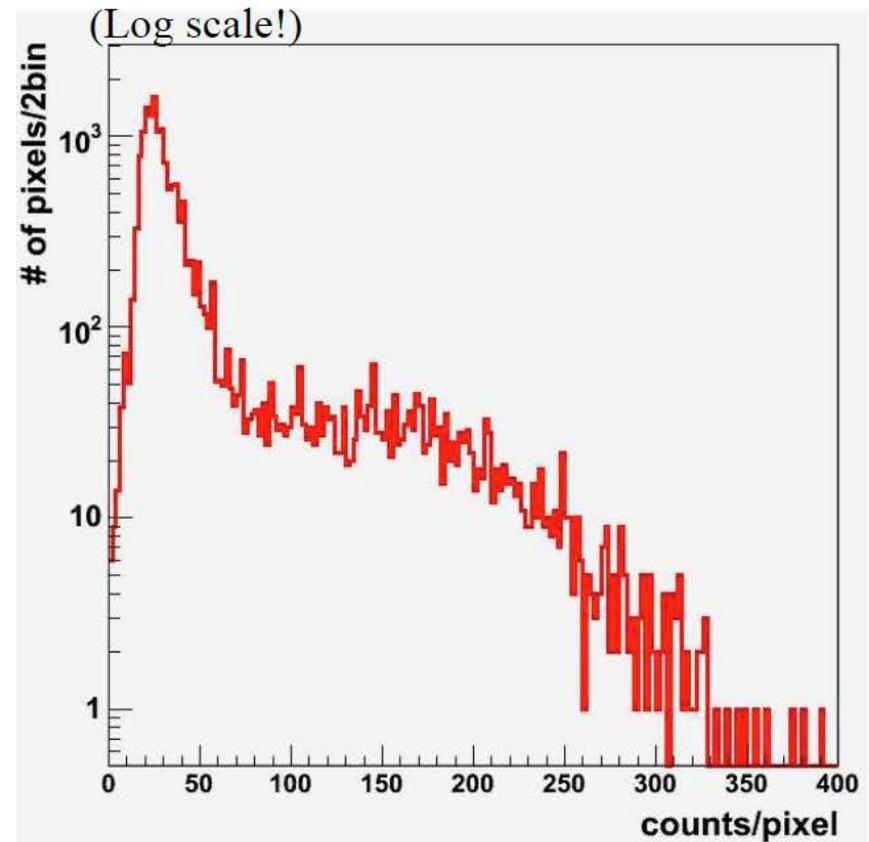
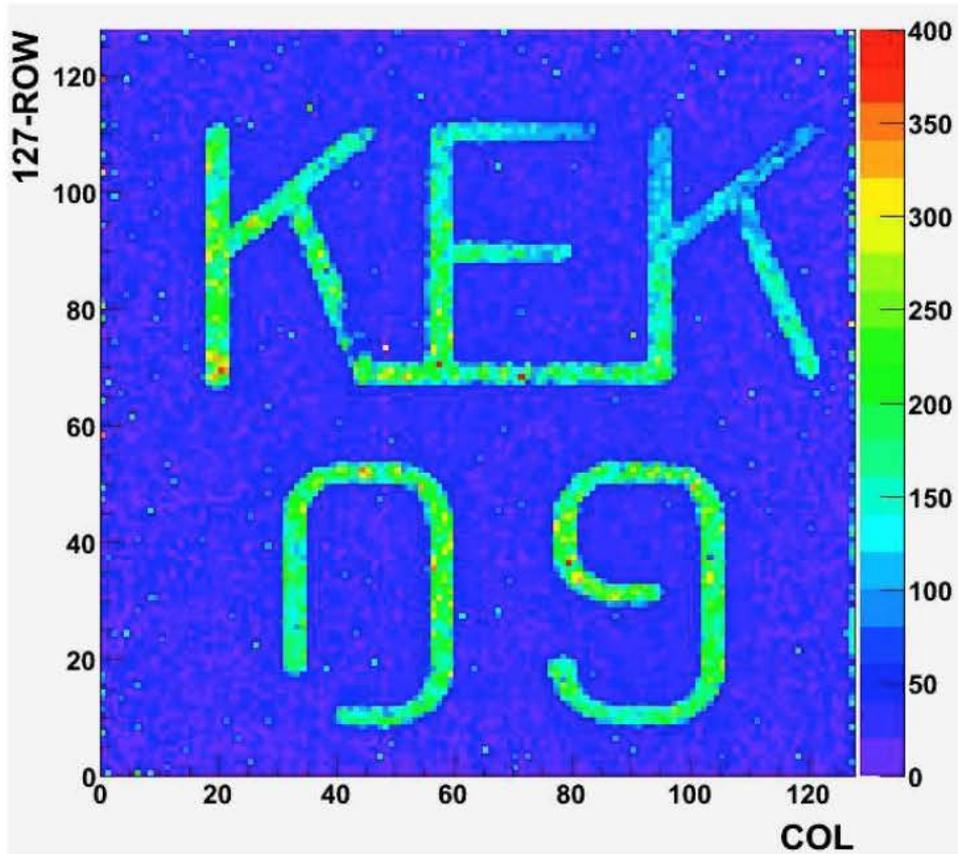


# INTPIX2



Vdet=1.5V  
800  $\mu$ s Integration Time

# Brass (Cu/Zn) mask image (CNTPIX2.1)



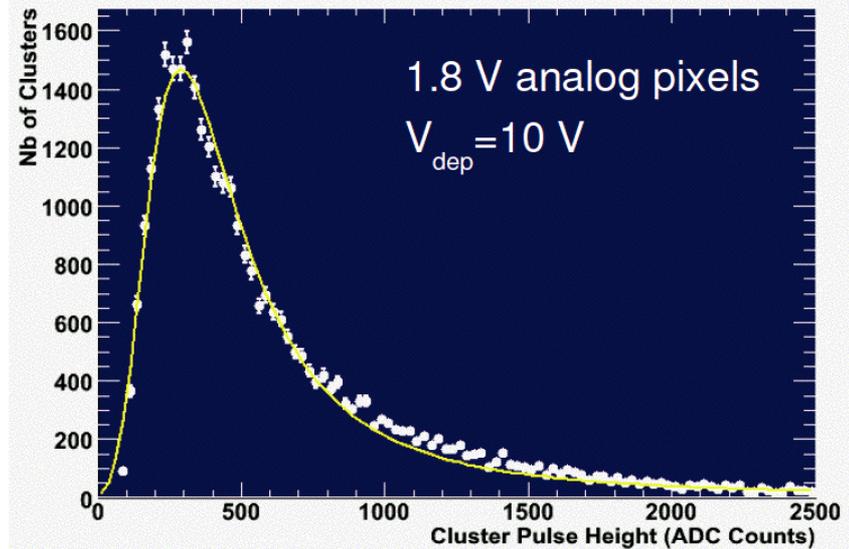
**Counter works fine!**

Integration time 1.6ms

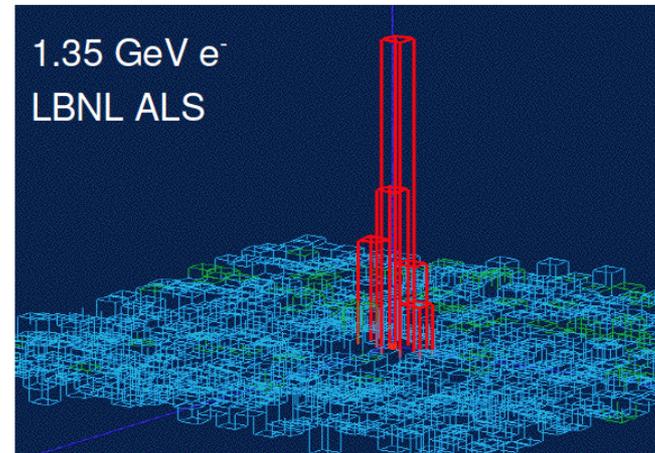
Vback = 20V, Vref = 1600mV, vthl = 1400mV

# Electron beam-test: analog sectors

- 1.35 GeV  $e^-$  beam extracted from the injection booster at the LBNL Advanced Light Source
- First successful high momentum particle beam test on SOI monolithic pixel sensors
- As a function of the increasing  $V_{dep}$ : cluster pulse height increases and cluster multiplicity decreases, up to  $V_{dep} \sim 10$  V, consistent with lab tests and back-gating effects becoming important at  $V_{dep} = 10$  V



1.8 V Analog Pixels				
$V_d$ (V)	Clusters / Spill (Beam on)	Clusters / Spill (Beam off)	Signal MPV (ADC Counts)	Average Signal/Noise
1	9.7	0.05	132	8.9
5	14.0	0.12	242	14.9
10	7.8	0.20	316	15.0
15	3.9	0.01	301	13.6



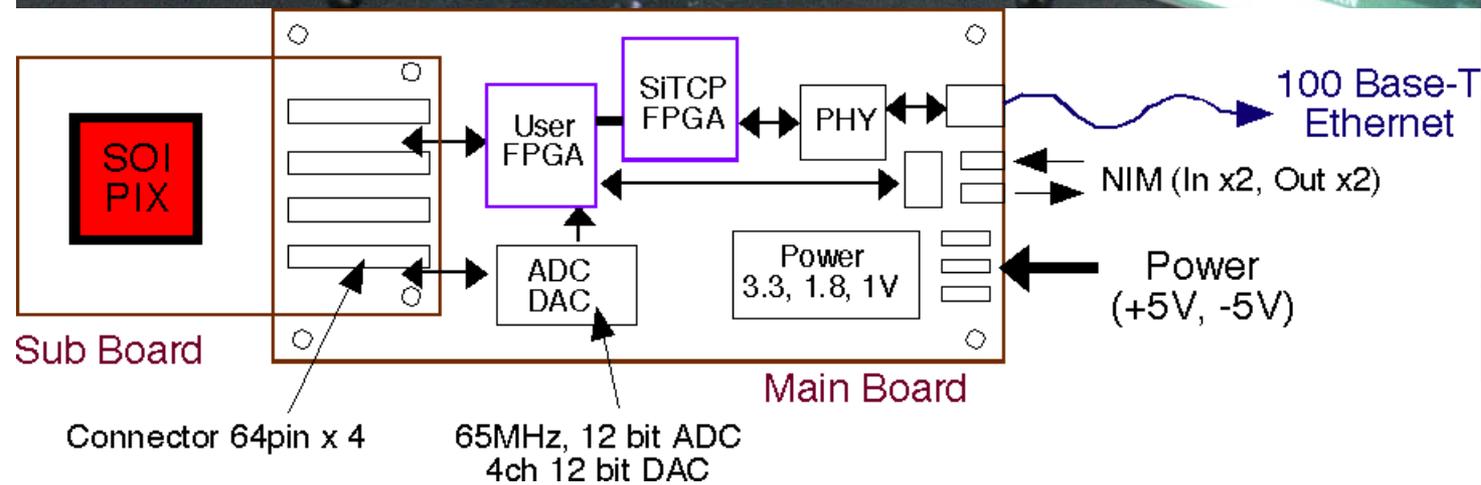
[NIM A 583 (2007) 526-528]



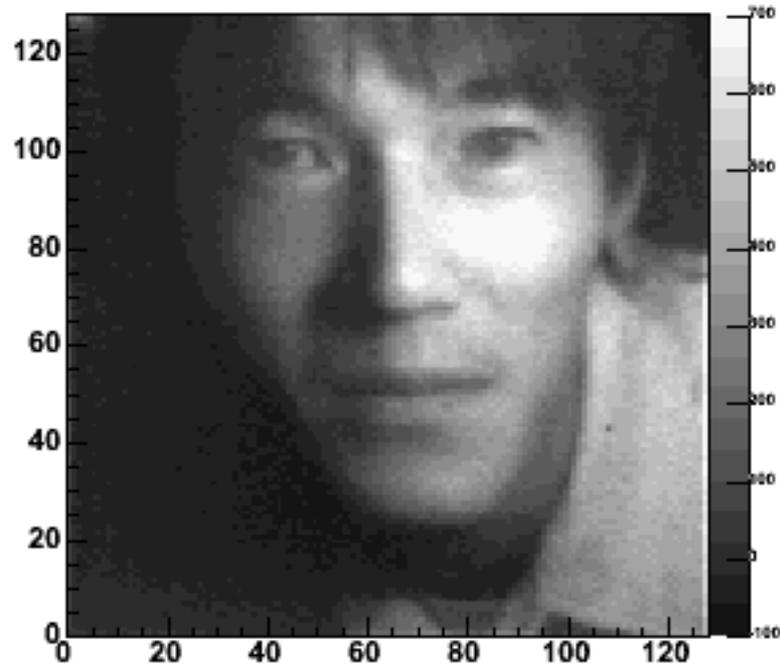
INTPIX2 + Lens

読み出しボード(SEABAS)

Ethernet

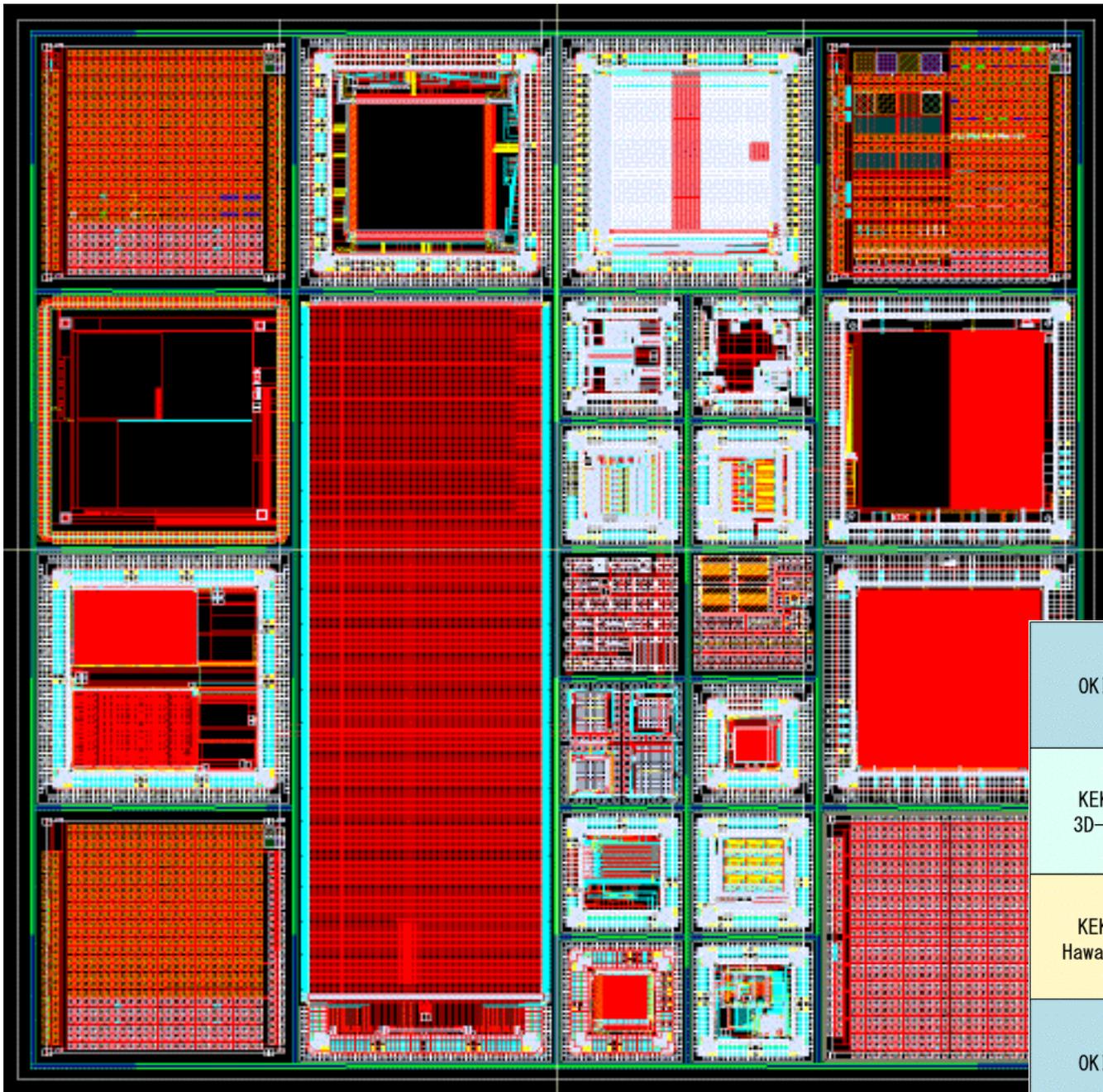


image



Max Readout Speed ~300 frames/sec (200 ns/pixel)

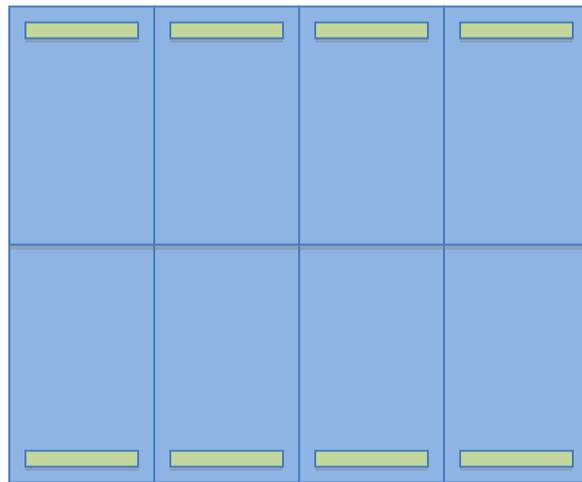
Feb. 20, 2009  
MPW Submission



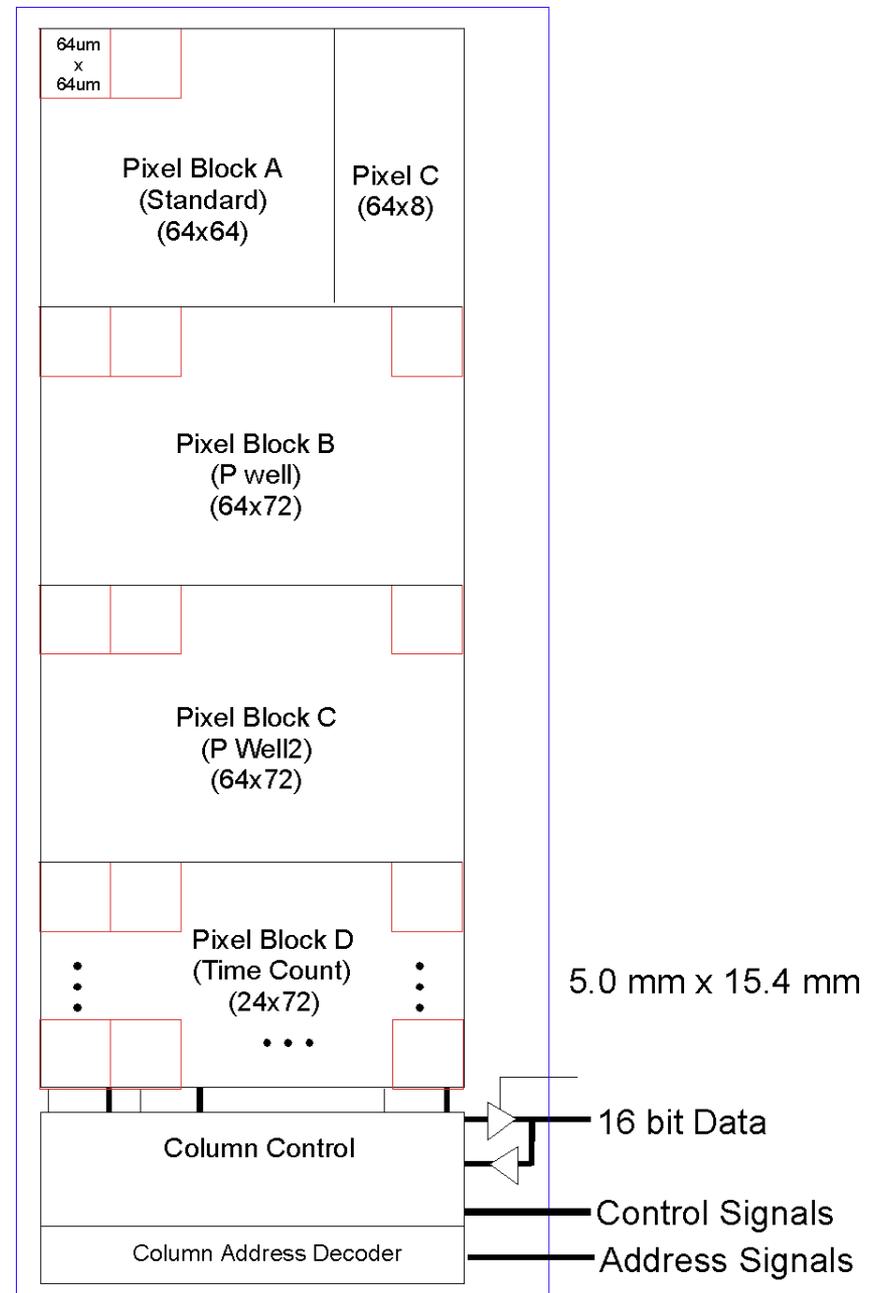
OKI	KEK INTPIX3	Riken A-R-Tec		OKI
KEK 3D-A	KEK CNTPIX3	JAXA Ikeda		KEK 3D-B
KEK Hawaii		JAXA Kobayashi	KEK LBNL	
OKI	KEK CNTPIX3	JAXA Nagata	Riken Hatsui	OKI
		KEK Krakow	KEK Tohoku	
		KEK CDS	KEK TDC	

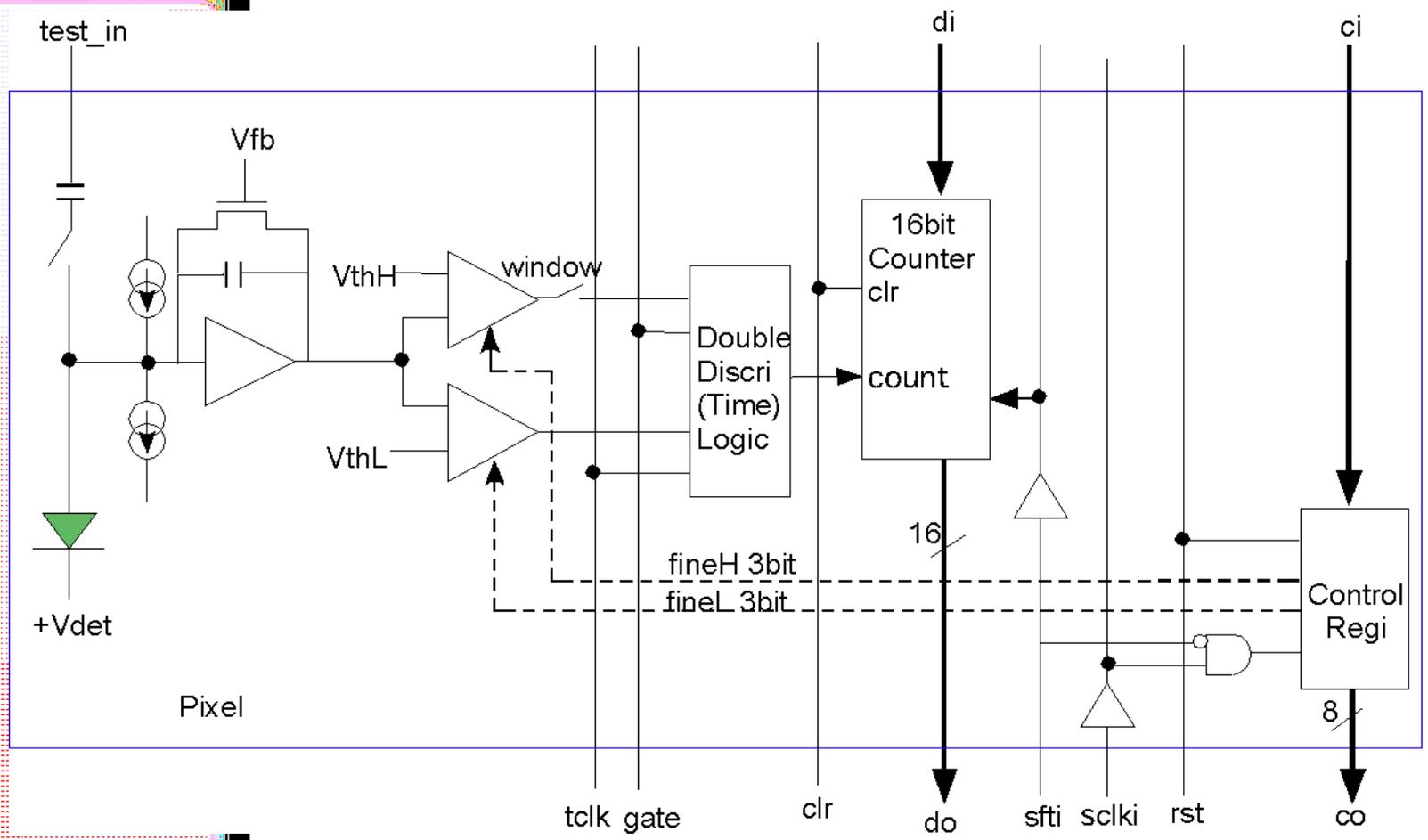
# CNTPIX3

- 4 kinds of Pixel Block  
216 x 72 (15,552) pixels
- 5.0 x 15.4 mm<sup>2</sup> chip size
- 64 x 64 um<sup>2</sup> pixel size
- Enable Tiling



Tiling





CNTPIX3 Pixel Circuit

## SOI Pixelの課題

高電界が必要なセンサーとエレクトロニクス回路が非常に近い (~200nm)位置にある。



- センサーの電界によりトランジスターのしきい値が変動する (Back Gate効果)
- センサー <-> エレクトロニクス間のクロストークが発生しやすい。
- BOX内に電界があると、放射線により発生したe-hの再結合が妨げられ、最終的に界面にホールがトラップされ耐性が弱まる。

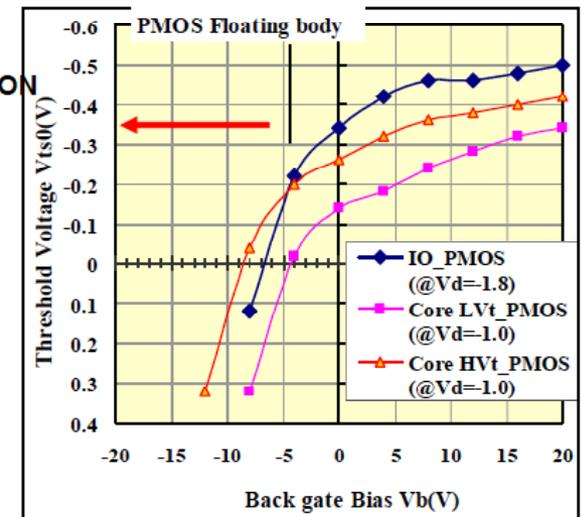
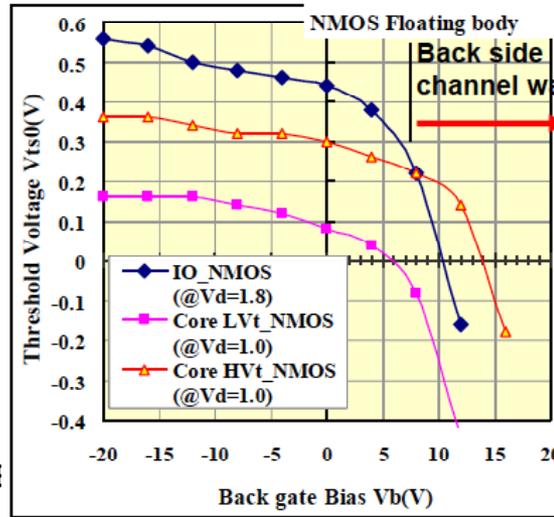
[On Going R&Ds]

- Buried P-Well process
- 3D Integration

# Back Gate Effect

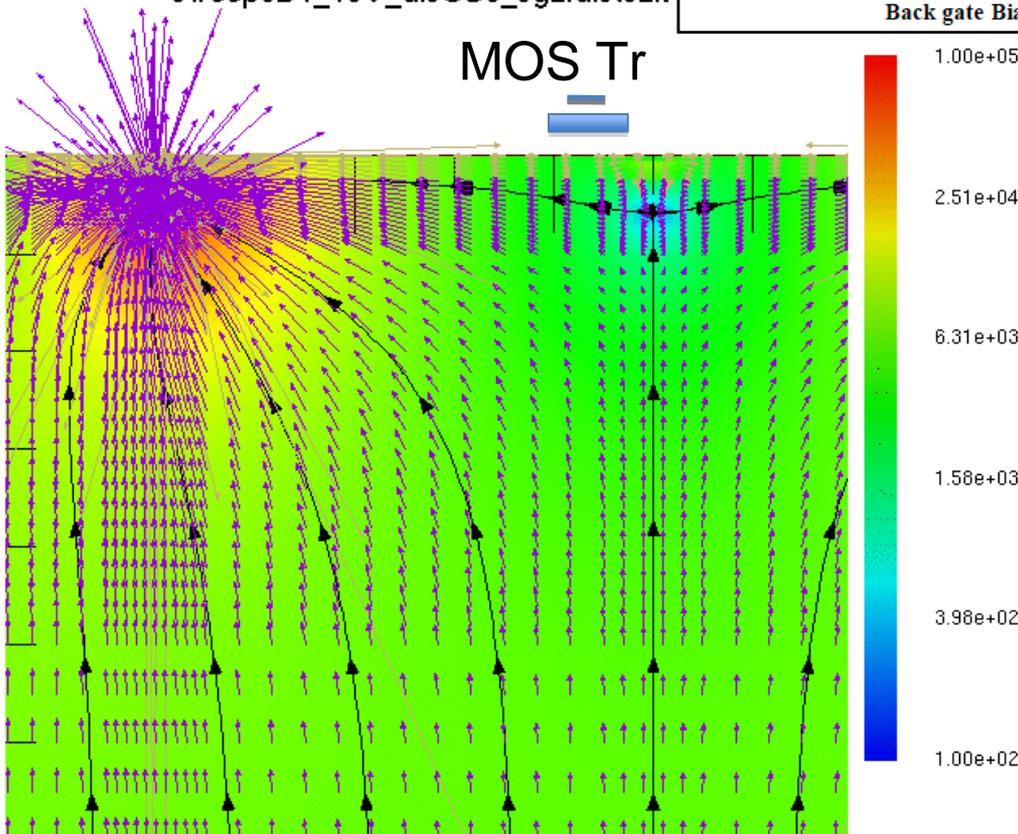
## NMOS Threshold Variation

## PMOS transistor



sweep3D1\_10V\_disCS0\_sg2.dists2.l

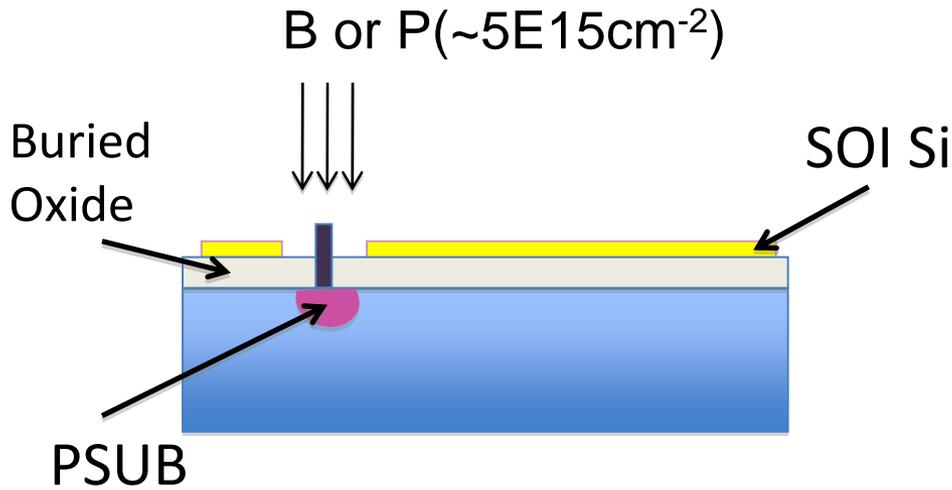
MOS Tr



Copyright 2007 Oki Electric Industry Co.,Ltd

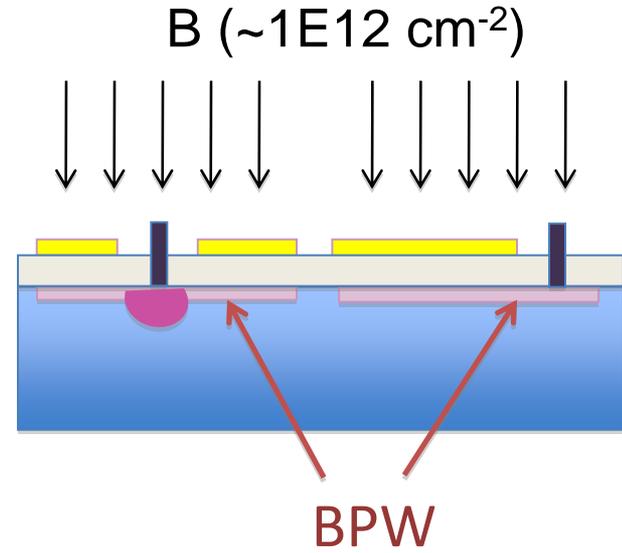
Substrate Voltage act as Back Gate, and change transistor threshold.

# Normal Implantation



- Cut Top Si
- High Dose

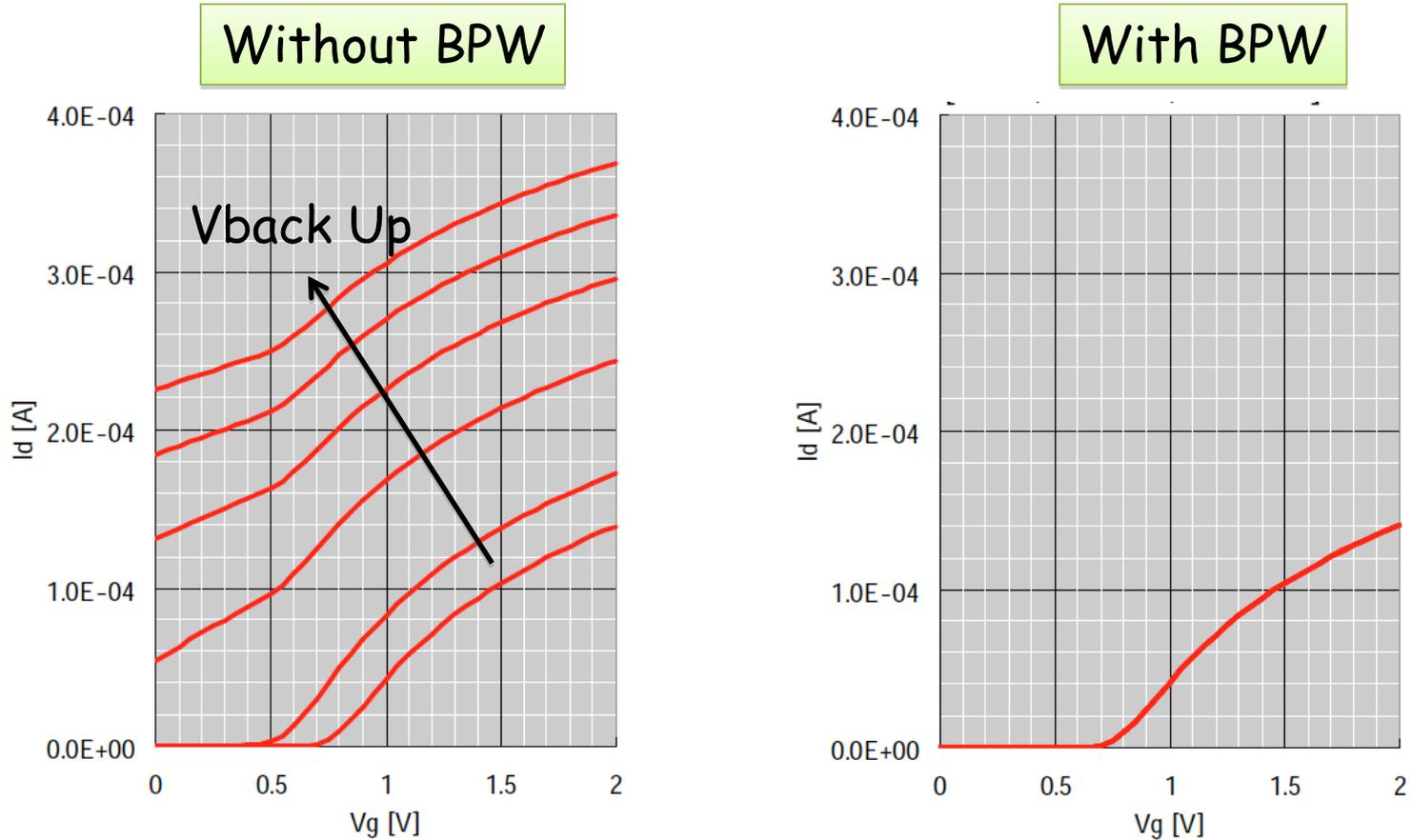
# Buried P-Well (BPW)



- Keep Top Si
- Low Dose

- Suppress back gate effect.
- Reduce electric field around p+ sensor.
- Less electric field in BOX to improve radiation hardness

# Suppression of Back Gate Effect with BPW

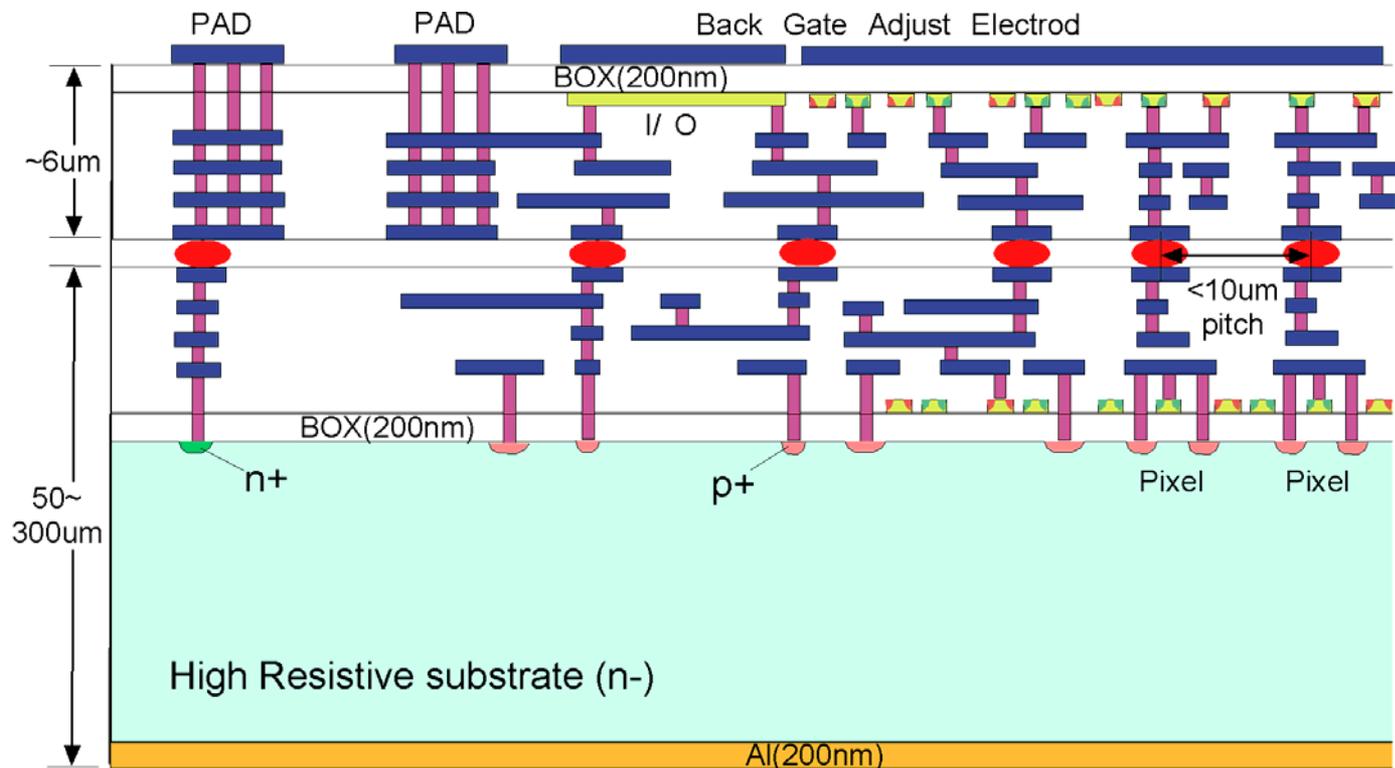


BPW Layer is very effective to suppress back gate effect.

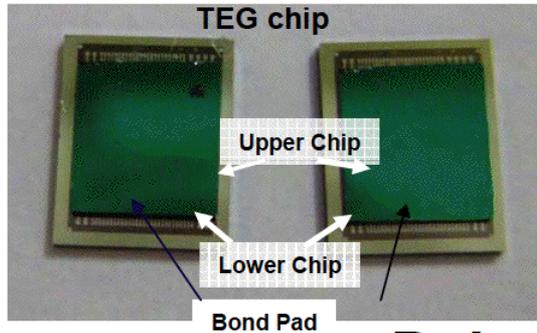
# Vertical (3D) Integration

ZyCube(Tohoku Univ.)  
+ OKI + KEK/LBNL

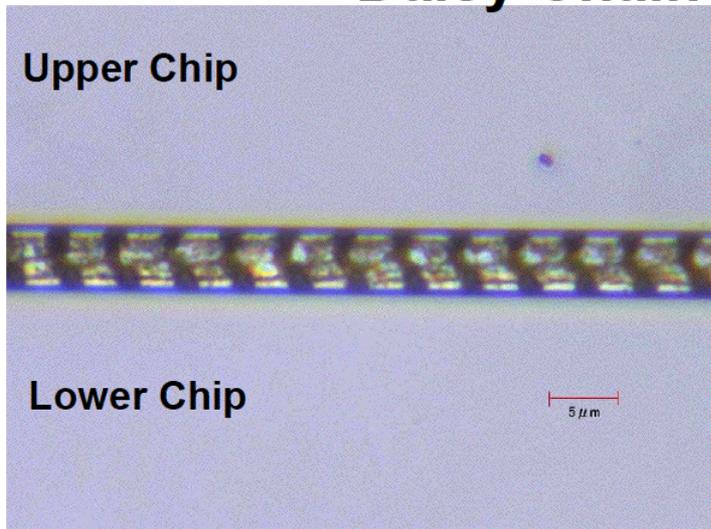
ZyCube社の $\mu$ -bump bonding ( $\sim 5 \mu\text{m}$  pitch) 技術を使って、さらに高集積化の研究も行っている。



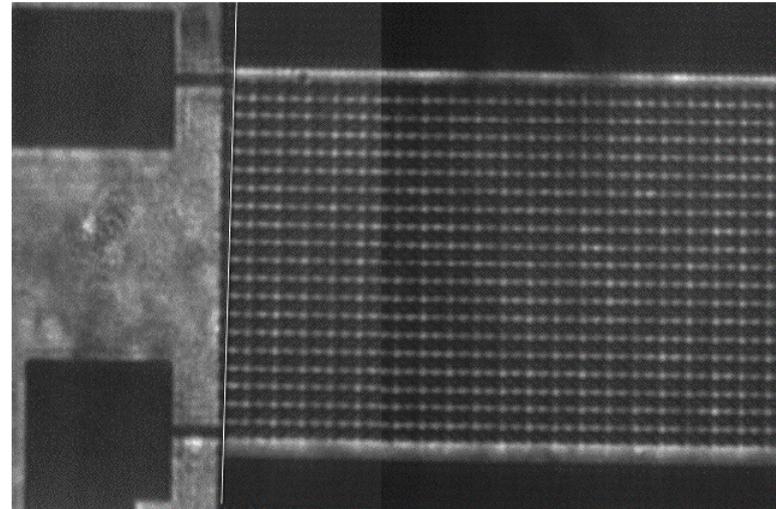
# 5 $\mu$ m pitch $\mu$ -bump



## Daisy Chain with 10<sup>4</sup> m-bumps



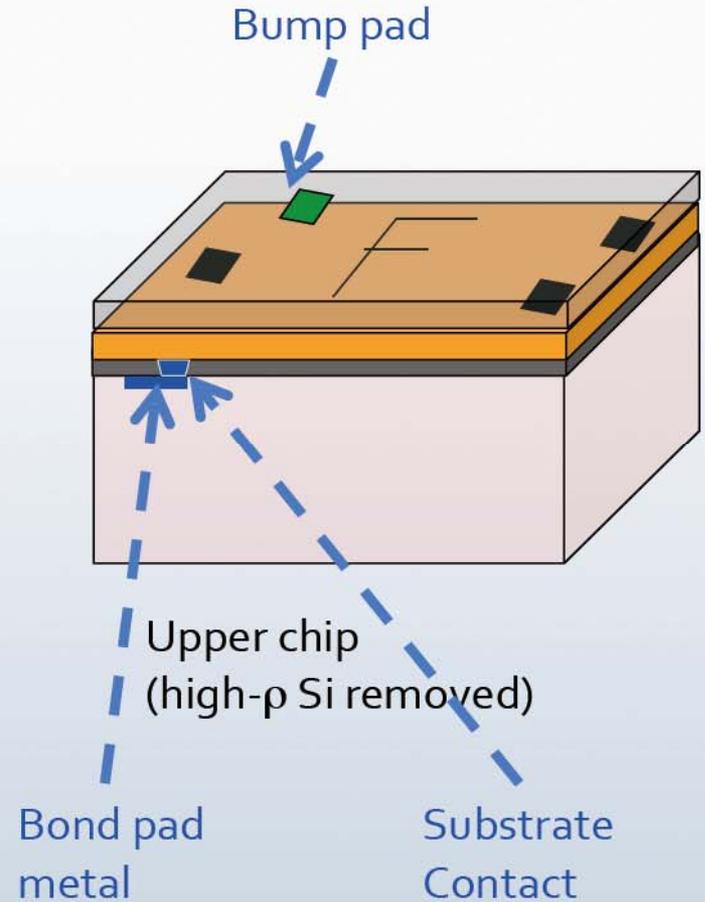
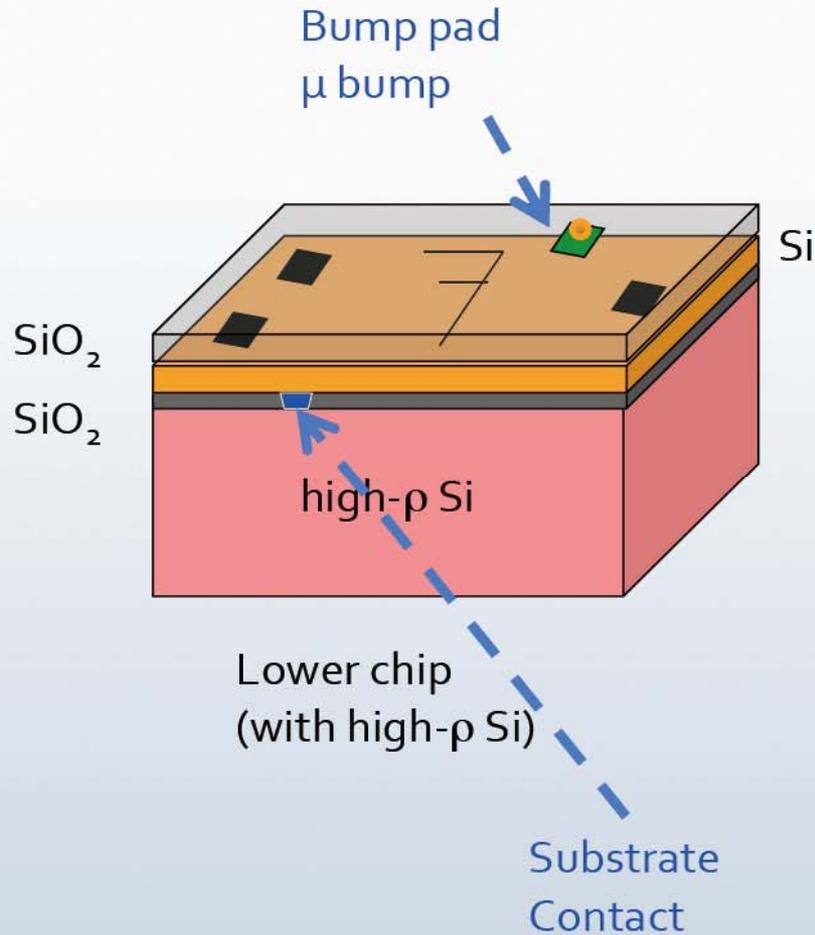
Cross section



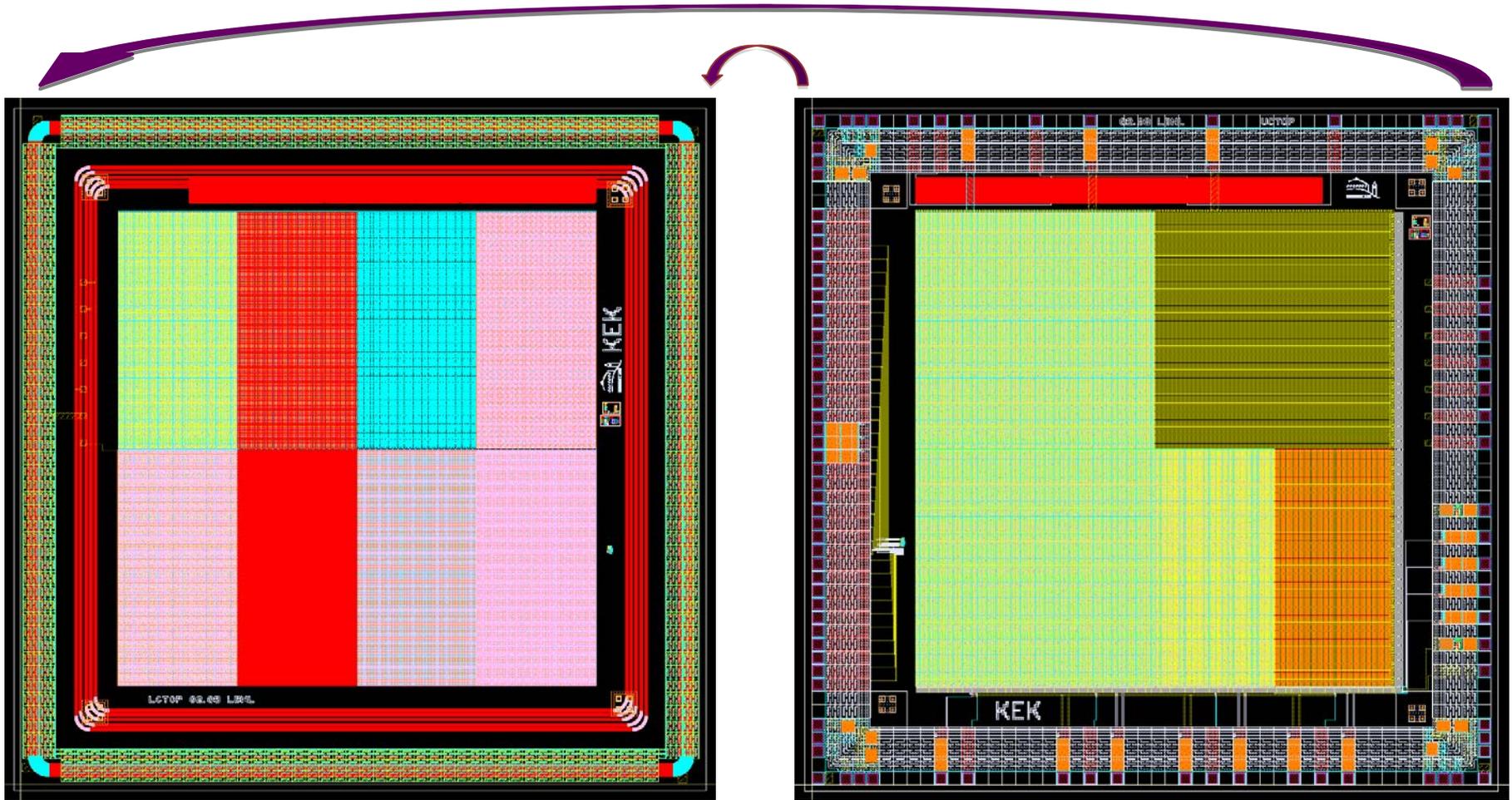
Plain View (IR microscope)

Tohoku Univ. / ZyCube

# 3D (on this submission)



# Vertical Integration

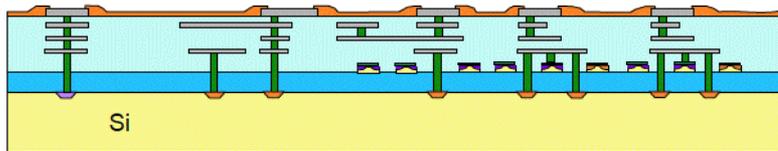


Lower Chip

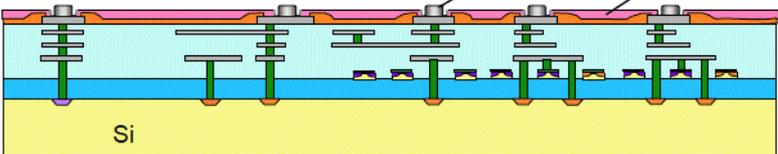
Upper Chip

# (1) Stack Process Flow (after finishing wafer process)

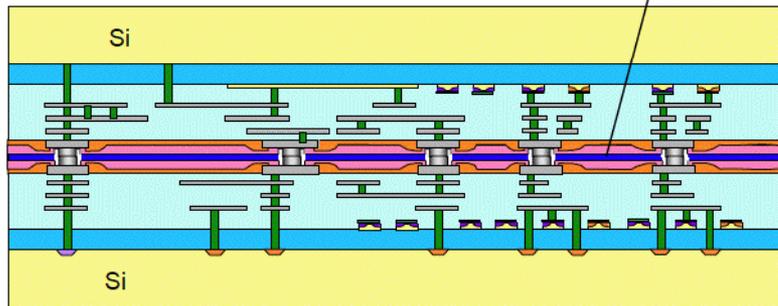
## Lower Chip



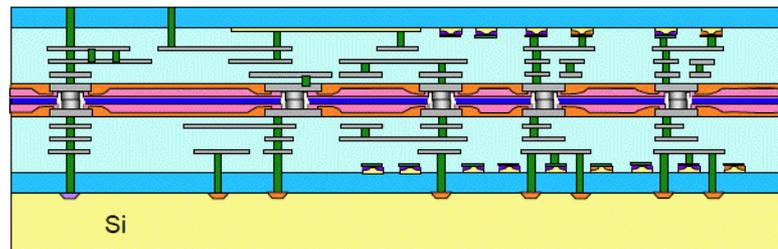
Form  $\mu$ -bump



-Stack wafer with  $\mu$ -bump and adhesive

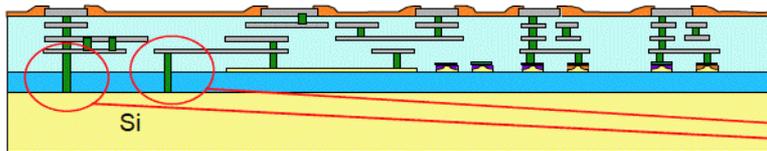


-Si etch  
-SiO2 slight etch

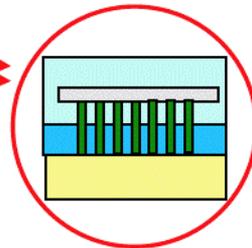
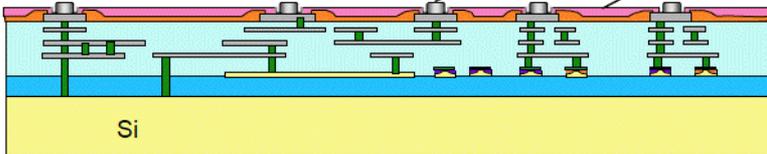


## Upper Chip

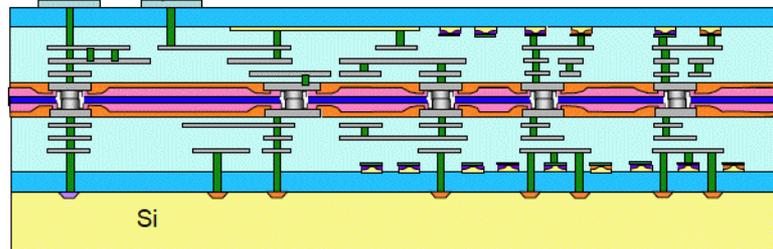
(Layout must be done with mirror inverted)



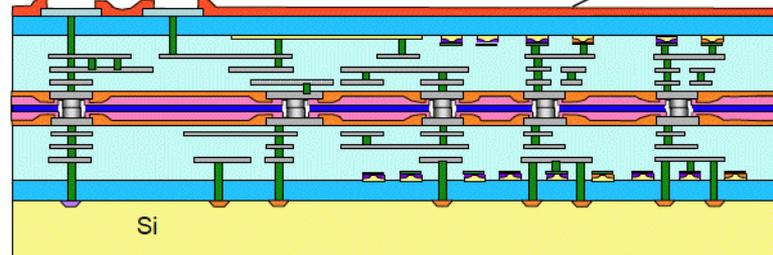
Form  $\mu$ -bump



-Ti/TiN/Al sputter  
-Metal Pad Litho.



-P-SiN deposition  
-Pad Litho.



## まとめ

- 高エネルギー実験では、微少な領域を探查する為に、エネルギーを常に高くしていく必要がある。
- エネルギーが高くなると発生粒子が増え、センサーの数を増やさないといけないので、読み出しにLSIが必要となる。
- ADCは市販品があるが、TDCはほとんどないので自前で開発を行っている。
- さらに、センサー密度を上げるため、放射線センサーと読出しエレクトロニクスを一体化したSOIピクセルの開発を行っている。
- ピクセル毎に高機能なデータ処理回路を搭載出来、従来不可能であったような計測が可能になる。
- 検出器の性能を引き出す為には、高性能なアナログLSIが必要です。興味のある方はぜひご協力下さい。