

# パワーデバイス開発の経緯 と 将来技術

中川 明夫

# 謝辞

**本報告で、出典等の表示のない部分の資料は、筆者が東芝在籍中に外部発表で使用した資料に基づいて再構成し、作成したものです。  
関係する方々に感謝の意を表します。**

# 概要

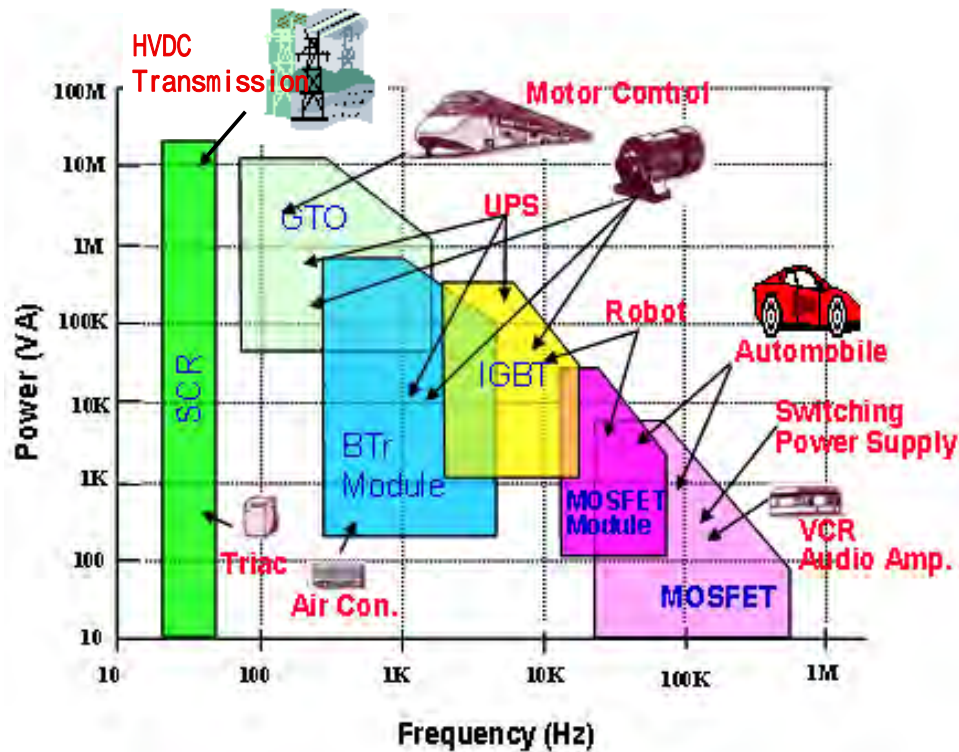
## 1. パワーデバイス開発の経緯

## 2. 将来技術

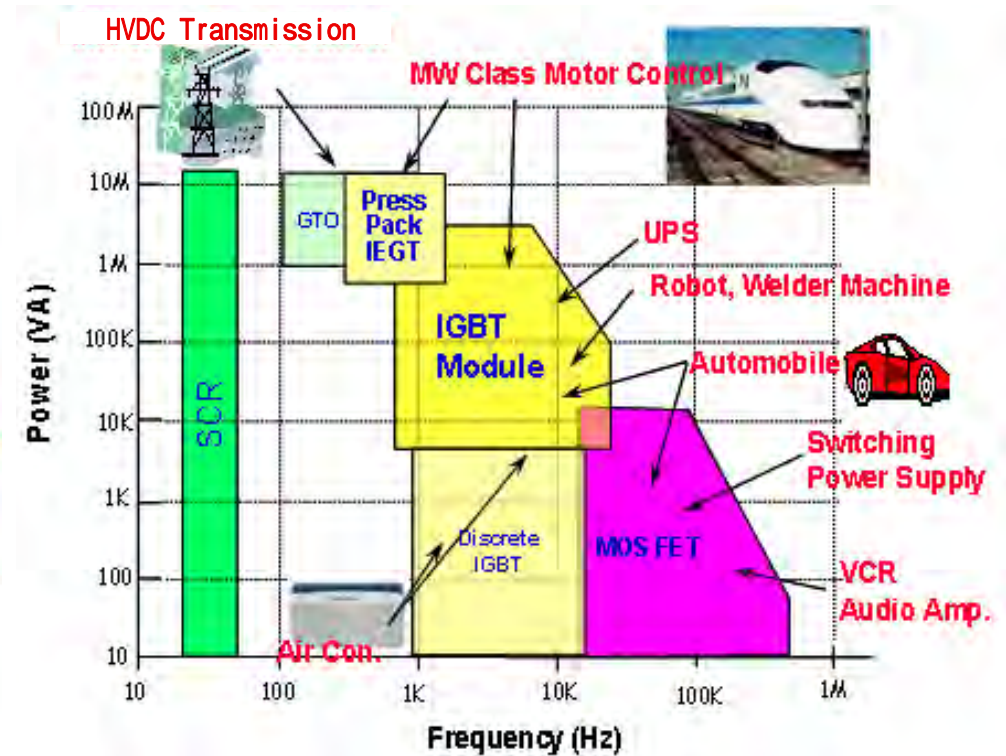
- ・ Silicon limit characteristics of IGBT
- ・ Ideal switching in power MOSFET
- ・ 20A single chip DCDC converter
- ・ デジタル電源

# Application fields of Power Devices

1997

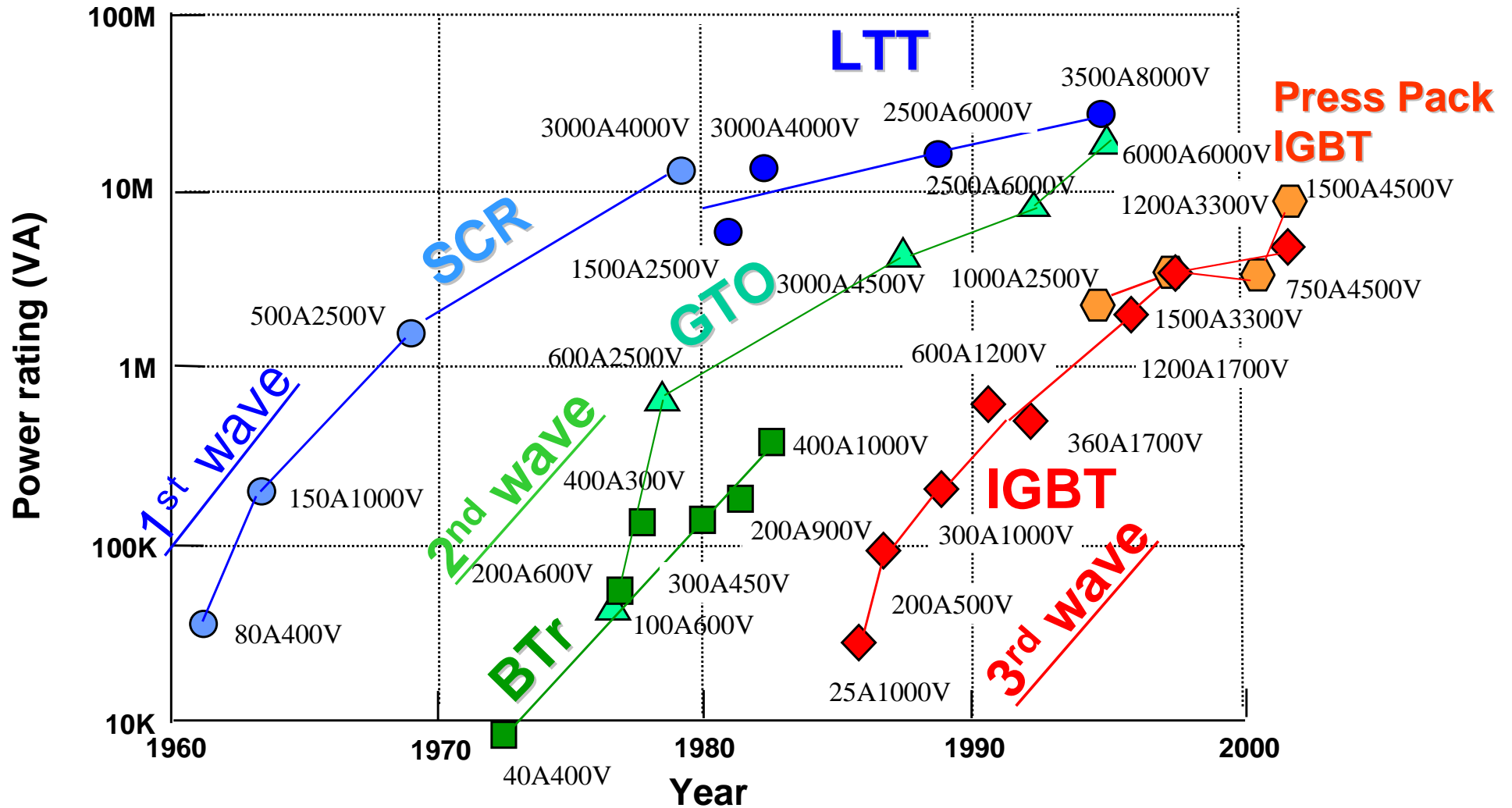


2005



# Evolution of high power devices in Toshiba

## Three waves in device development



# IGBT Family



**Power Module**



**IPM**



**TM-IPM**



**Press Pack IGBT**



**One Chip Inverter ICs**



# GTOを置き換えたIGBT (IEGT)



JR東海 300系(1990)



JR東海・西日本700系  
(1999,2002)



SG3000GXH24



ST1000EX21



MG1200FXF1US53

GTO

⇒

IGBT

⇒ IEGT





# でんきの礎

—振り返れば未来が見える—

One Step on Electro-Technology

- Look Back to the Future -

電気学会は、本年、創立120周年を迎えます。その間、日本の電気工学は多くの革新的技術を送り出し、人類社会の文化・文明に多大の貢献をしてきました。また、これらは将来の人間社会を導く発展の礎です。

この機会に、日本の電気工学の過去120年を振り返り、歴史的に記念される“モノ”、“場所”、“こと”、“人”を顕彰し、われわれの科学技術の未来への糧とすることにいたしました。

これまで100年余の科学技術は、「何ができるか」という数値目標を争ってきました。すなわち「いかに早く新幹線を走らすか」、「いかに小さい半導体をつくるか」などです。

今日、21世紀の科学技術は、そのような「何ができるか」を数値で争う時代ではなく「何をしたいか」、「何をすべきか」あるいは「何をしてはいけないか」を選択する時代になりました。研ぎ澄まされた科学技術が、人間の感性によって評価される時代が来しました。まさに、人類の文化の進歩です。

今後、電気工学は、“環境問題を解決し、美しい地球の上で、科学技術に支えられた知的かつ健康な生活を送ることができる社会をつくる”という人類共通の目標に向かって一層の貢献を続けていくでしょう。

電気学会は、創立120周年を記念して、清新な感性のもとに未来への一步を踏み出します。

平成20年5月

顕彰委員会 委員長

原島文雄



でんぎの礎

—観るだけでは本当が見えない—

のんらっちあっぶあいのじーびーていー  
ノンラッチアップIGBT

Non-Latch-Up IGBT

モノ



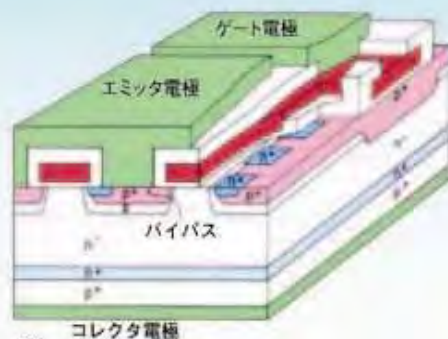
①

IGBTは、微小なゲート電流でオンオフができるオン抵抗の小さな新しいトランジスタとして1980年代に開発が進められました。素子の概念はRCAが1980年に特許出願し、1983年にGEから試作品が発売されました。しかし、GEの素子は、少し高い電圧をかけると簡単に破壊され実用に耐え得るものではありませんでした。

1984年、東芝は新規素子構造を採用した破壊に強いノンラッチアップ構造のIGBTを開発し、半導体素子で最も権威ある国際会議で発表すると共に翌年製品として発売しました。ノンラッチアップIGBTは、「ラッチアップ電流を飽和電流より高く設計する」という新しい概念の採用により素子破壊を防ぐ画期的なものであり、IGBTのパワーエレクトロニクス分野への適用が一気に加速すると共に、その設計指針はIGBTの世界標準となりました。今日では家電から電気自動車、電車、電力向け変換機に至るまで幅広くパワーエレクトロニクス分野への適用が進められ、パワーエレクトロニクス機器の省エネに向けた性能向上に大いに貢献しています。

このようにIGBT実用化の端緒となったノンラッチアップIGBTは、今日のパワーエレクトロニクス分野発展の極めて重要な立役者であるといえます。

- ☆開発先 : 株式会社東芝
- ☆展示場所 : 株式会社東芝府中事業所 26号館展示エリア  
〒183-8511  
東京都府中市東芝町1
- ☆ホームページ : <http://www.toshiba.co.jp/>
- ☆アクセス (最寄駅) : JR北府中駅より徒歩1分



②



③



④

(写真提供: 株式会社東芝)

- ① 市場に出た最初のノンラッチアップIGBT (1985年)
- ② 国際会議で発表したノンラッチアップIGBTの構造 (1984年)
- ③ 展示風景: 現物の右横に置かれているのはIGBT開発の歴史を紹介した電気学会出版図書「世界を動かすパワー半導体 —IGBTがなければ電車も自動車も動かない—」
- ④ 電車、機関車に用いられる高耐圧モジュール型および圧接型IGBTと並んで展示

## 1970-80年代 初頭

米国との技術の差は非常に大きかった。  
当時は米国に追いつけ、追い越せが合言葉だった。

まず始めたことは米国技術の追随だった。  
それはGTOの開発と  
デバイスシミュレータの開発であった。

# 最大遮断電流をあげるにはゲインを上げるべきという固定観念

$$I_{ATO} = G_{\max} \cdot I_g$$

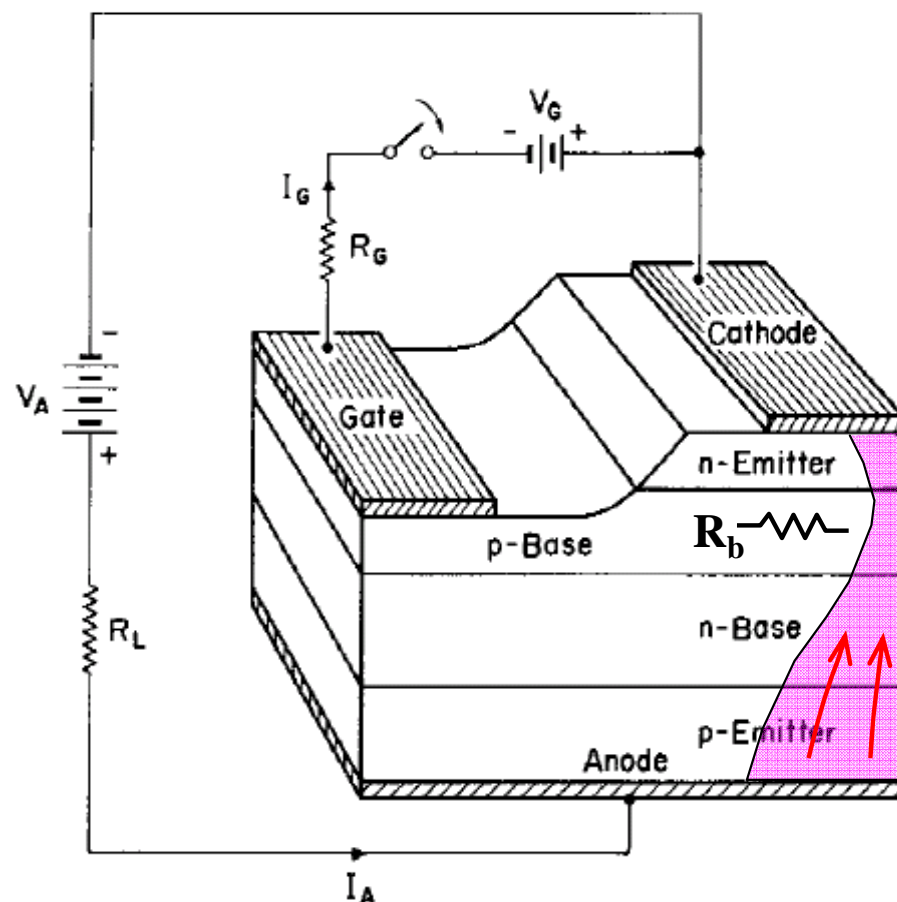
$$G_{\max} = \frac{\alpha_{npn}}{\alpha_{npn} + \alpha_{pnp} - 1}$$

$$I_{ATO} = G_{\max} \cdot I_g (\max)$$

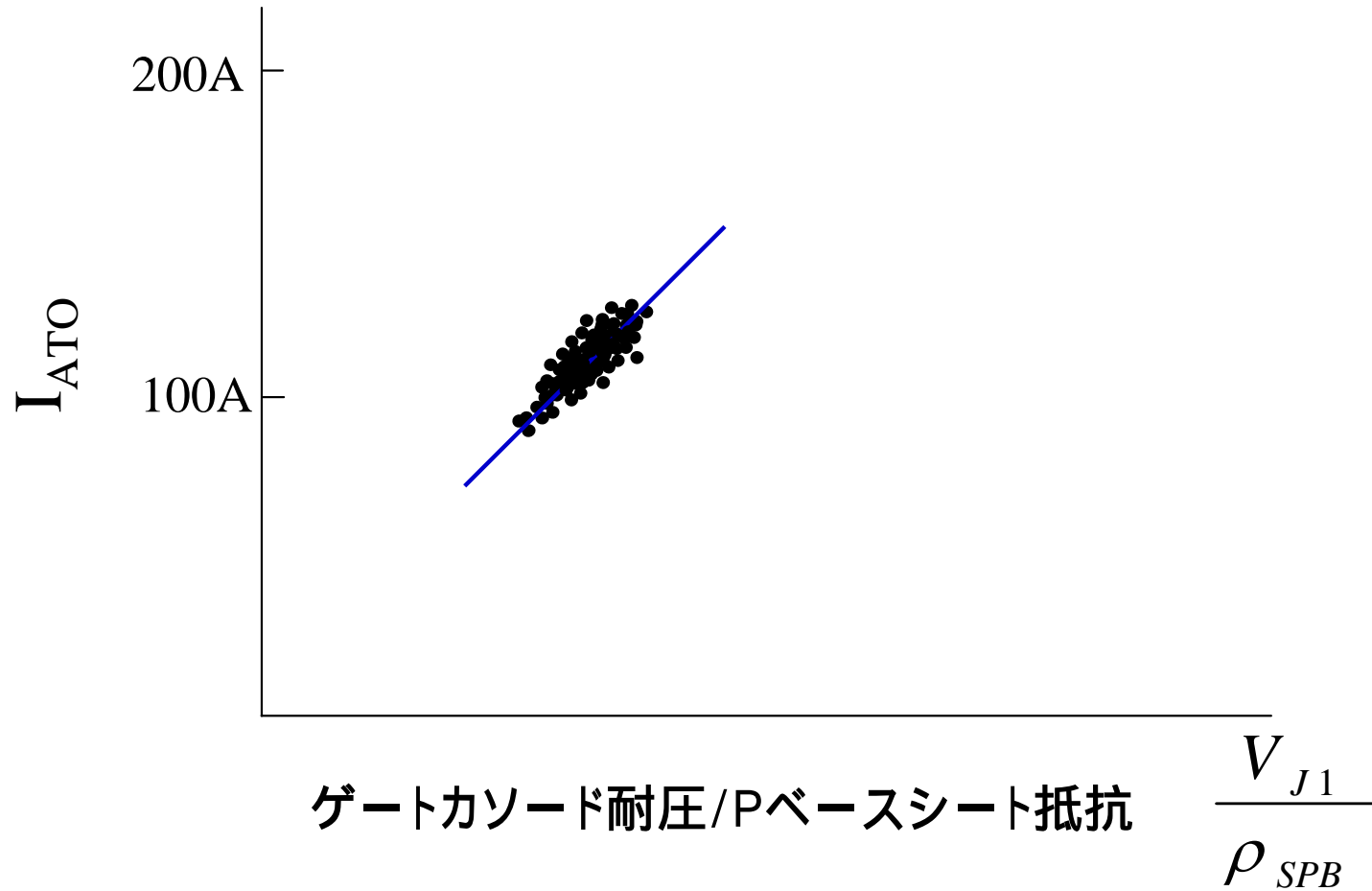
$$= 2 G_{\max} \cdot \frac{V_{J1}}{R_b}$$

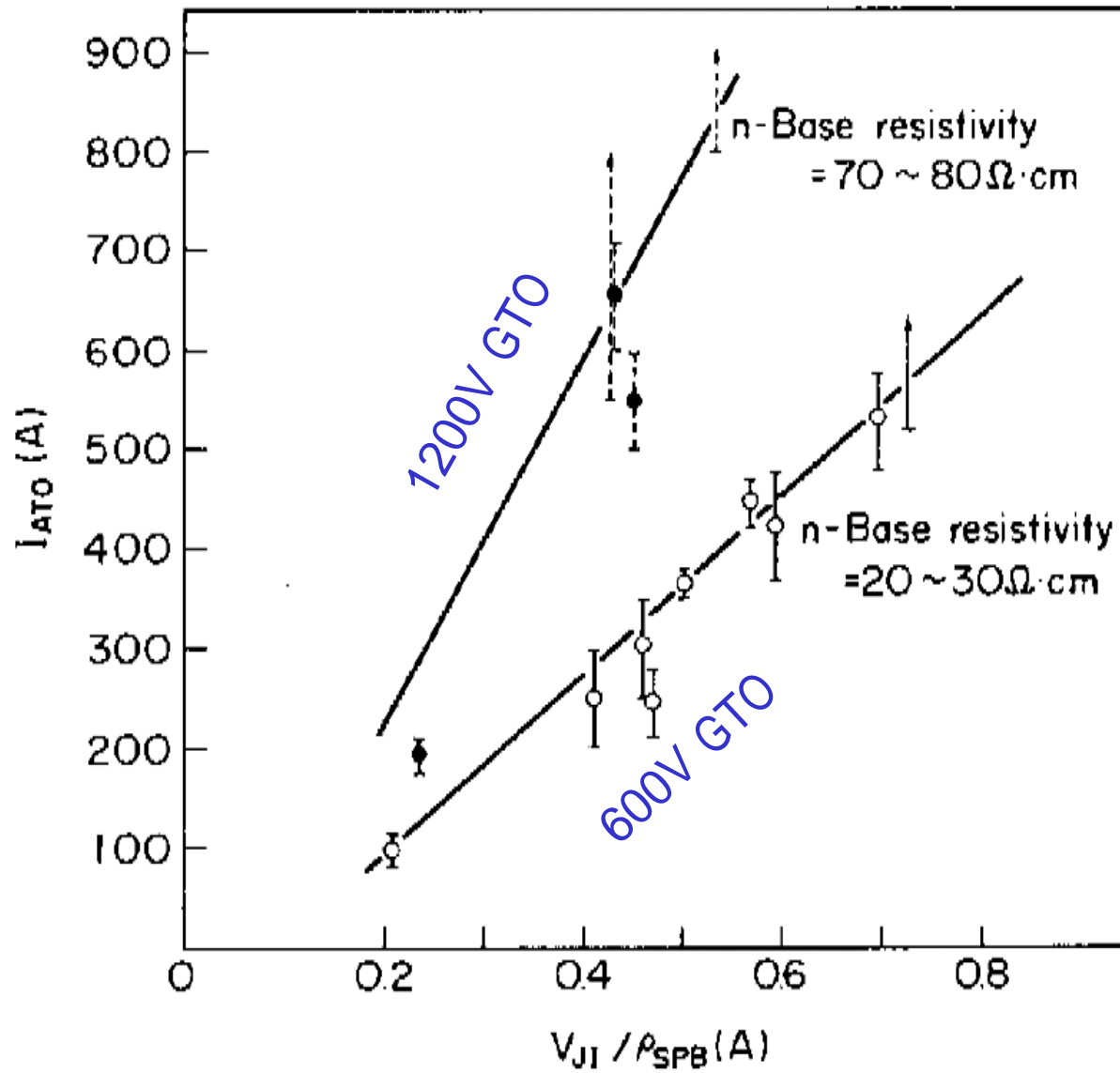
$$\propto \frac{V_{J1}}{\rho_{SPB}}$$

$$V_{J1} \geq \frac{I_g}{2} \cdot R_b$$



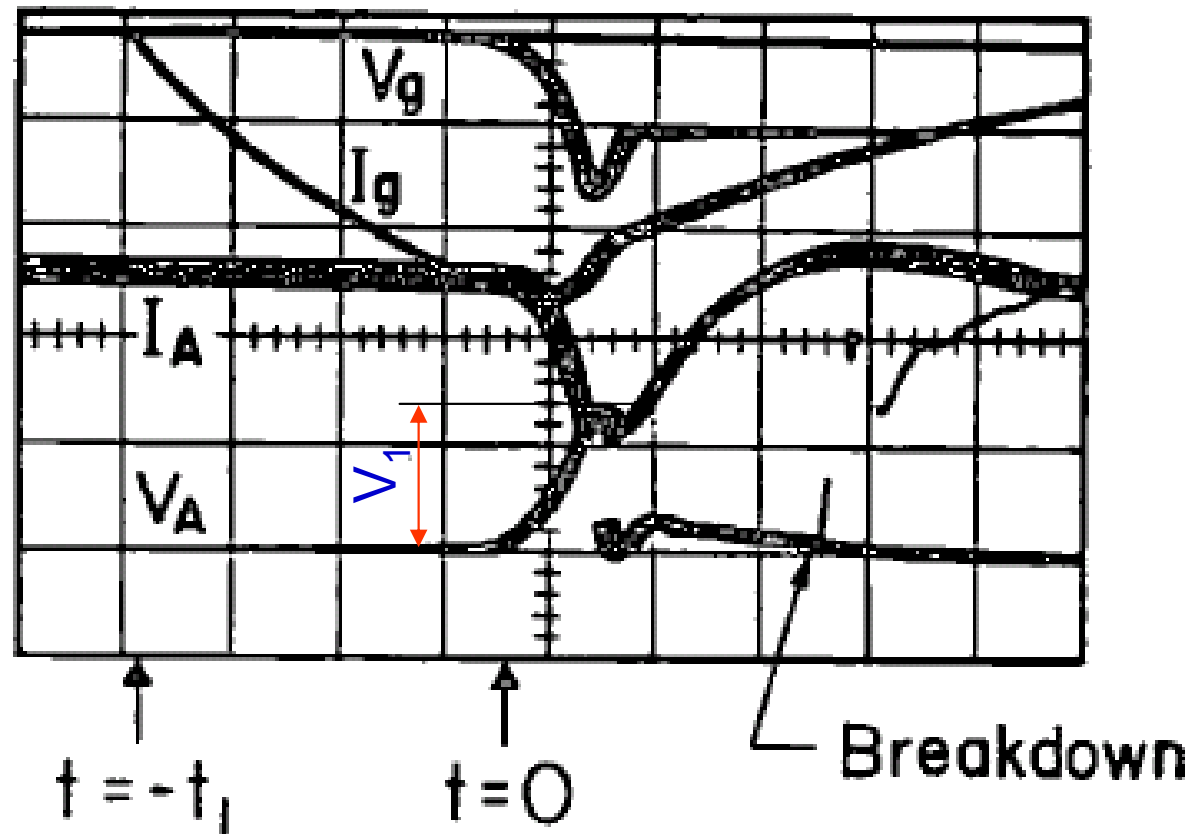
# ばらつきをプロット



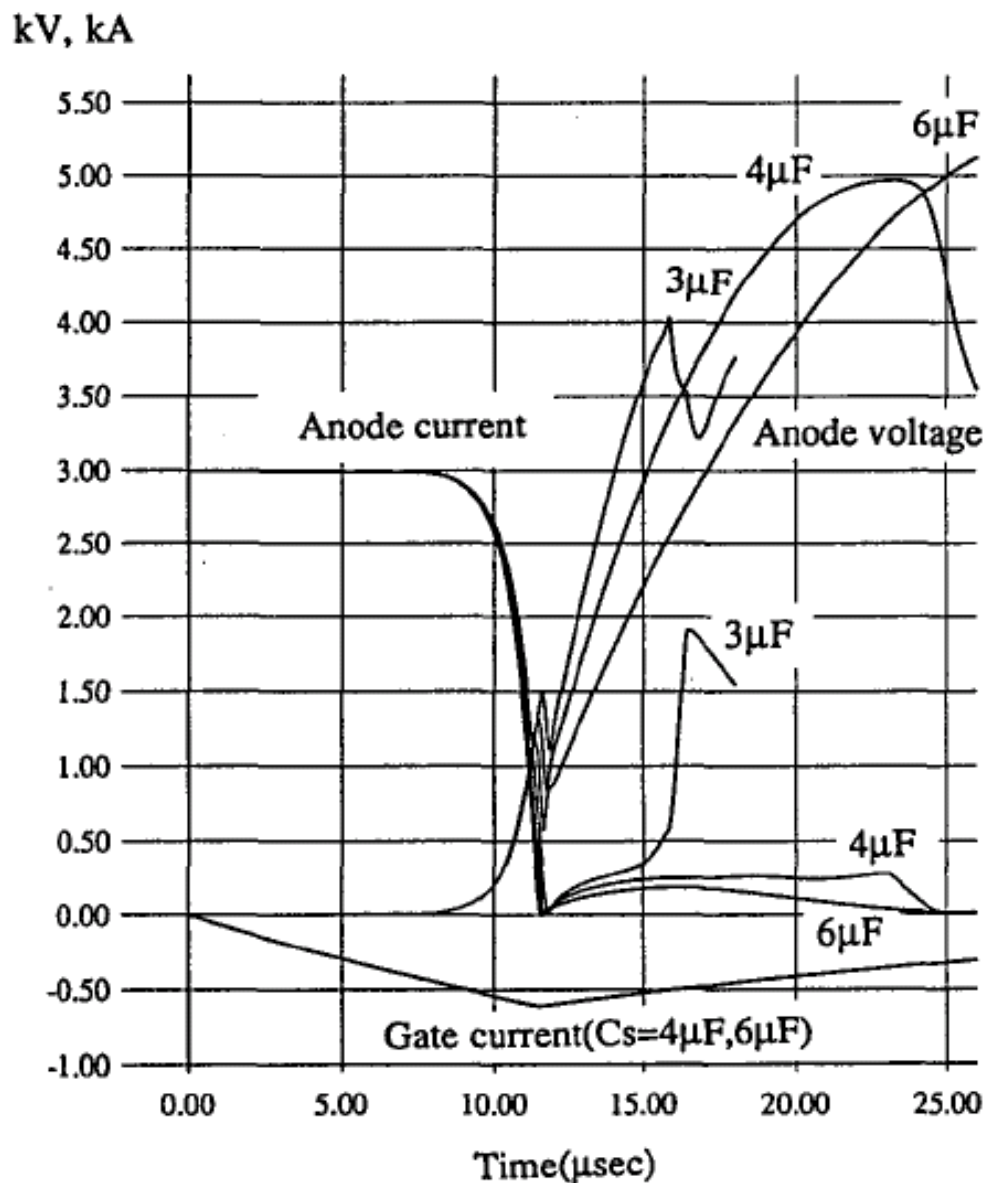
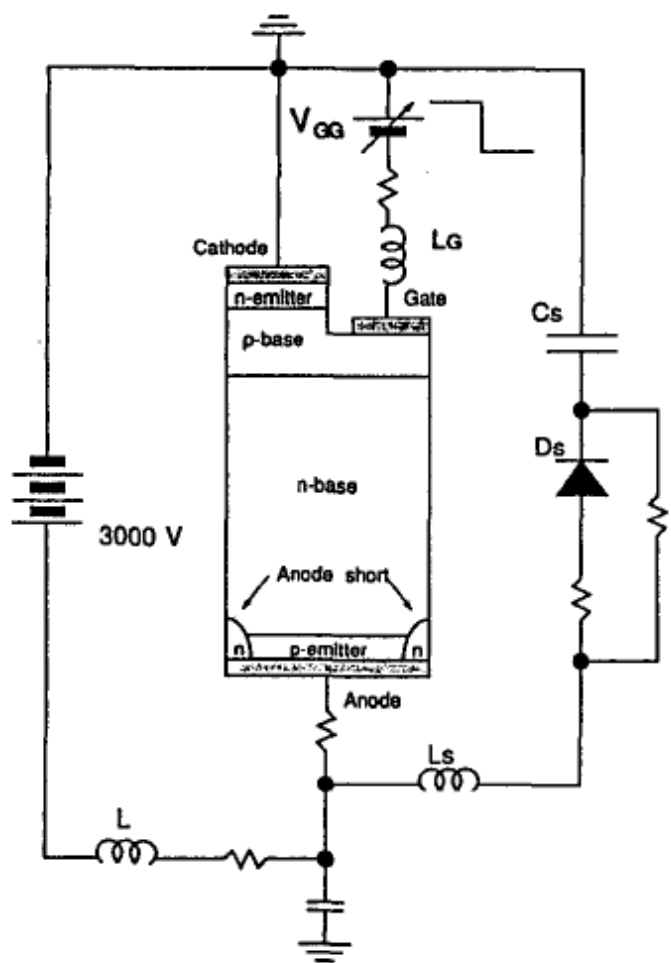


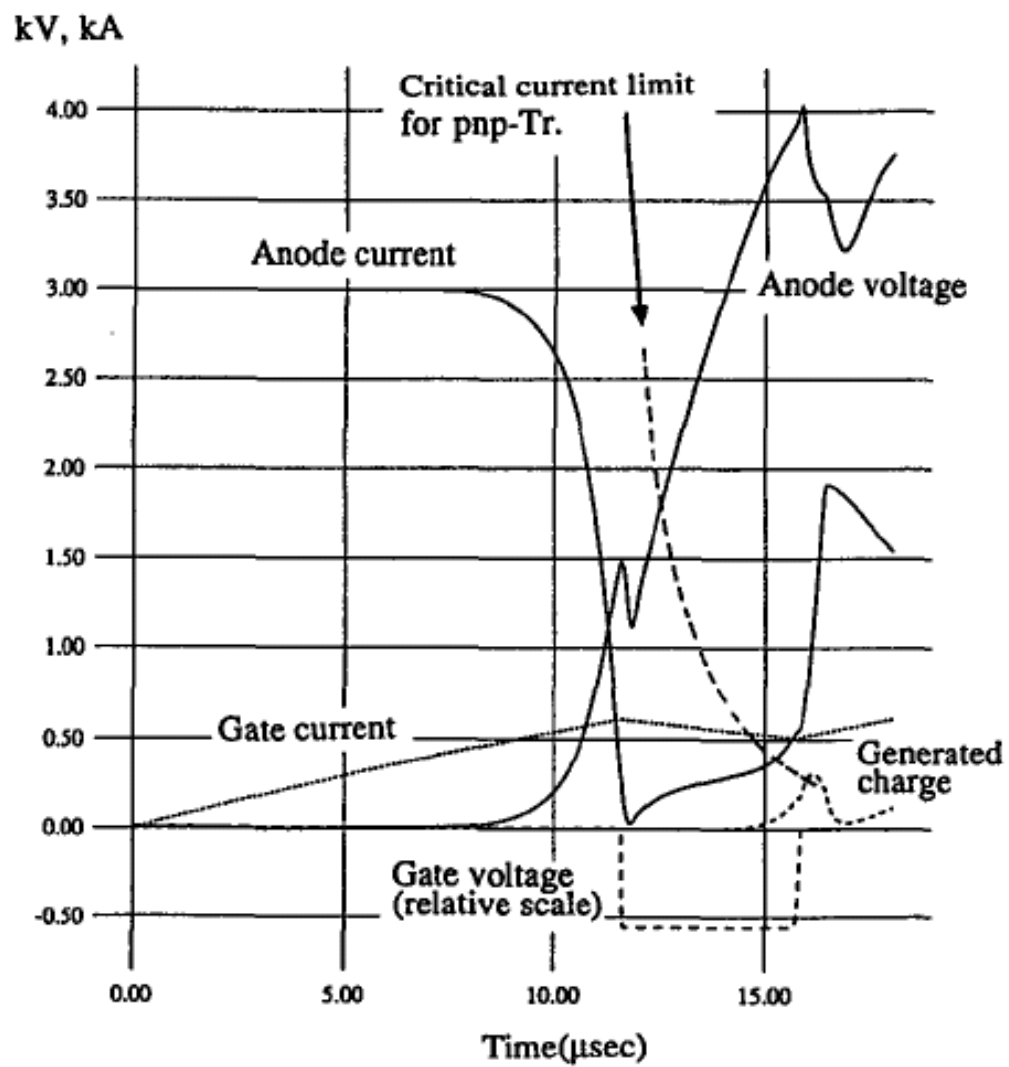


# GTOの破壊現象



$I_g$  : 60A/div.  
 $V_g$  : 20V/div.  
 $I_A$  : 200A/div.  
 $V_A$  : 200V/div.  
 $t$  : 2  $\mu$ s/div.





# 1970年代

## シミュレータは本当に役に立つのか？

シミュレータで設計したとあるが実際は真実でない



## 二次元デバイスシミュレータ開発へ

# IGBTとの出会いのいきさつ

米国留学1981年9月 - 1983年2月

UMASSで二次元パワーデバイスシミュレータの開発に従事。

10×100の格子のパワー素子を解くことに挑戦!!!

電子・正孔電流の式 & ポアッソン方程式

反復法はすべて破綻!!

常識外のガウスの消去法を試す。

2次元TONADDE基本完成

GTOターンオフシミュレーションに成功

IEDM発表



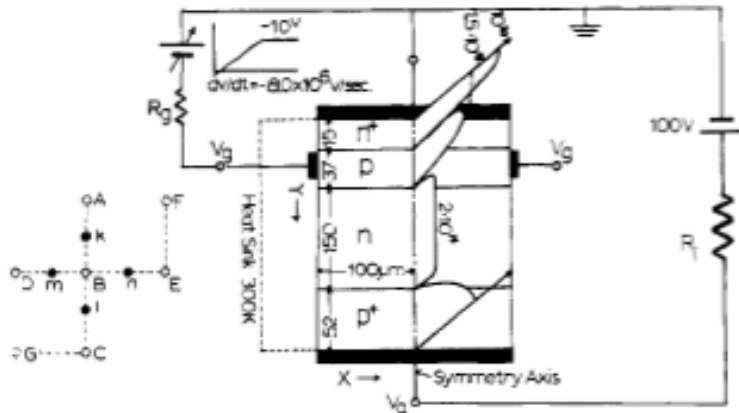


Fig. 1 Schematic diagram for the analyzed system

A Time- and Temperature-Dependent Simulation of the GTO Turn-Off Process

Akio Nakagawa\*\*

David H. Navon

\*\*Toshiba Research & Development Center, 1 Komukai Toshibacho, Saiwai-ku, Kawasaki, 210, Japan  
 Department of Electrical & Computer Engineering, UMASS, Amherst, MA

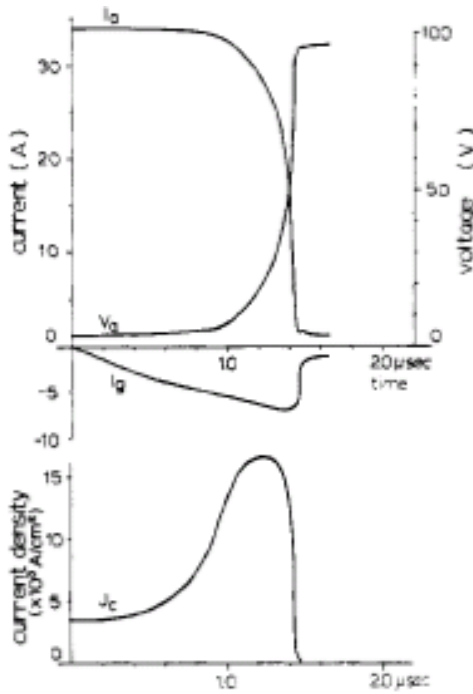


Fig. 2 Calculated current-voltage waveforms and current density change at device center

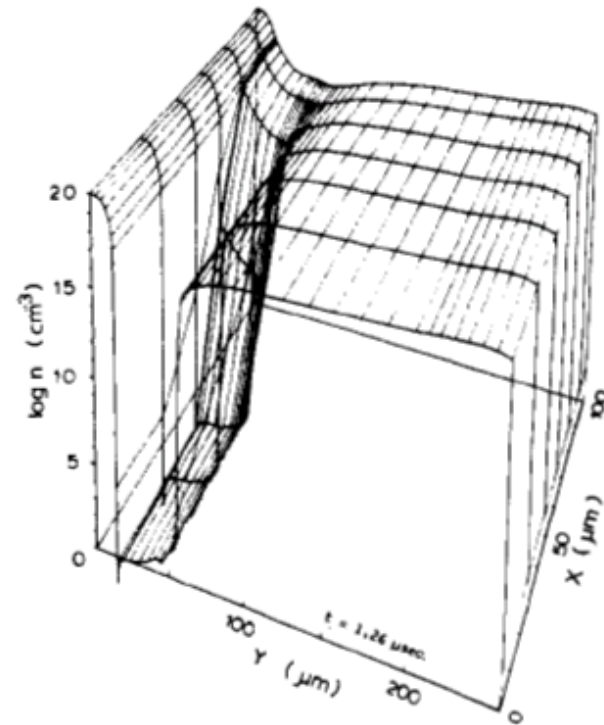


Fig. 3 Electron density distribution (t=1.26μsec.)

# 偶然出会ったBaligaの論文!!!

THE INSULATED GATE RECTIFIER (IGR):

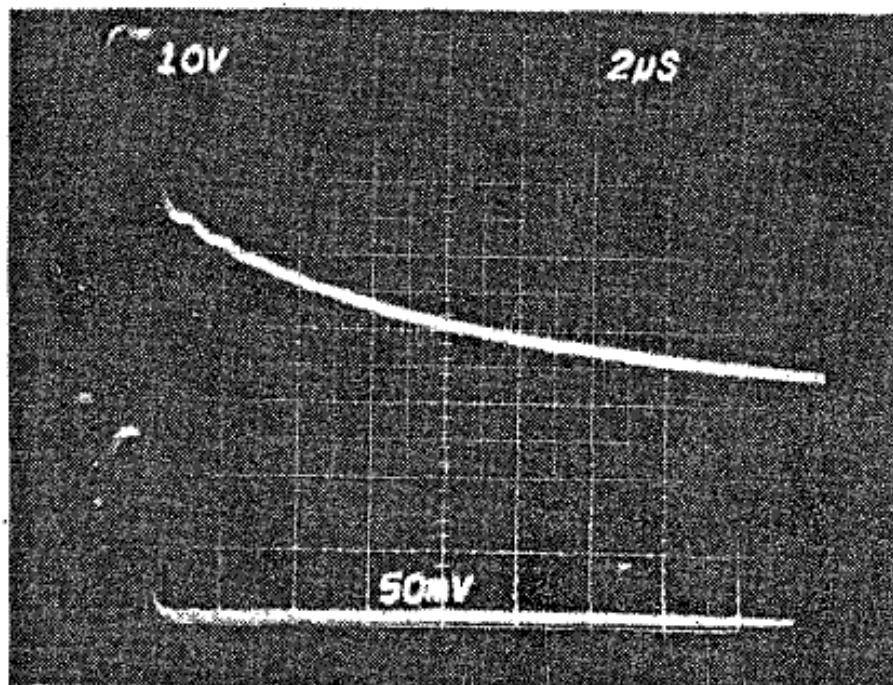
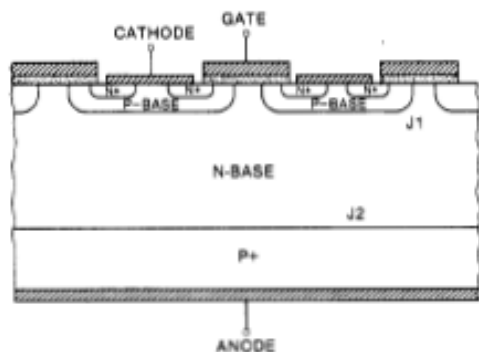
A NEW POWER SWITCHING DEVICE

B.J. Baliga, M.S. Adler, P.V. Gray, R.P. Love

Nathan Zommer

General Electric Company  
Corporate Research and Development Center  
Schenectady, NY

Intersil Inc.  
Cupertino, CA



スイッチング時間: 10 $\mu$ sec

新規性はあるが、  
「何故このような遅い素子を発表するのか」  
「良くこのような素子を実証して見せたものだ」という驚き

# IGBT開発前夜

- 1980年初頭、米国でBiMOSの検討

BiMOSとは:

バイポーラTrとMOSFETの組み合わせ

バイポーラトランジスタのMOSゲート化

バイポーラトランジスタ並み電流能力のMOSゲート素子

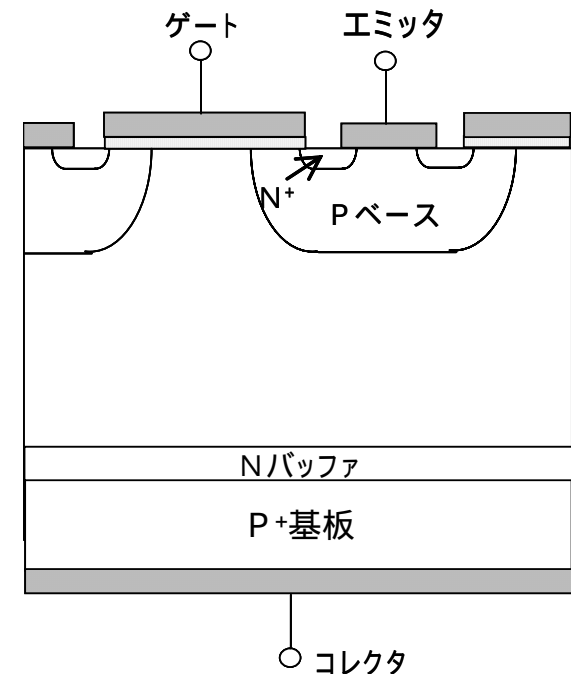
# BiMOSの一候補として登場したIGBT

1980 Hans Beckeが基本動作原理の特許を申請

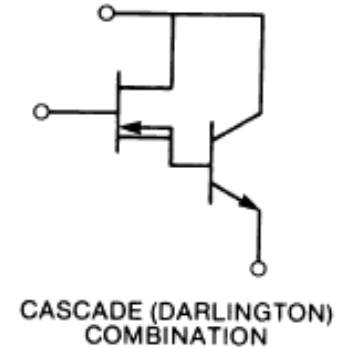
1982 Baligaが最初の素子の試作結果をIEDMで発表

1983 J.P. RusselがEDLに論文発表

GE	IGR、IGT
RCA	COMFET
モトローラ	GEMFET
東芝	Bipolar-mode MOSFET



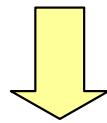
# 1983年2月帰国 MOSトップバイポーラTrの 1チップ化開発依頼



→ BTrは1400Vが限界

NPN + PNP = サイリスタ

NMOS + PNP = IGBT 高耐圧化が可能!!!

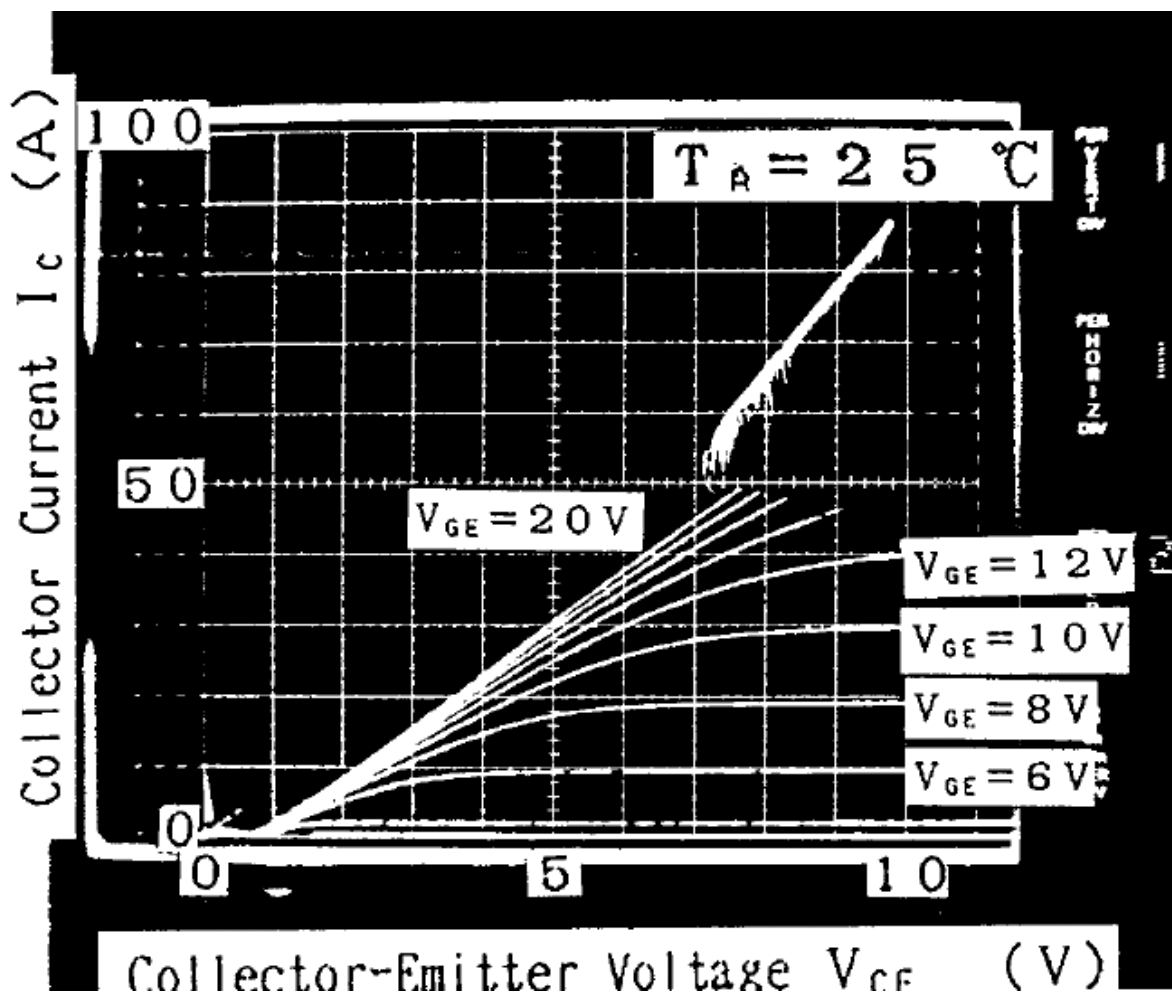


**IGBTを選択!!!**

--- BTr置き換えには負荷短絡耐量は必須!!!  
(応用サイドからの注文)



ラッチアップを防ぐことは不可能に近いと考えられていた!!!



# ところが Non-Latch-Up IGBTができてしまうと、

## 実現したNon-Latch-up IGBTは 思った以上に良い素性を持っていた!!!

Non-Latch-Up 1200V 75A Bipolar-Mode MOSFET with Large ASO

Akio Nakagawa, Hiromichi Ohashi, Mamoru Kurata  
Hoshihiro Yamaguchi, Kiminori Watanabe

Toshiba R&D Center  
1 Komukai Toshibacho, Saiwaiku  
Kawasaki, Japan

In 1984 ICSSDM, Kobe, we already reported the development of 1200V, 75A bipolar-mode MOSFETs (BIFET[1], or called IGT, COMFET [2,3]), which could turn-off 75Amps drain current with 1000V applied drain voltage at the elevated temperature, 125°C (see Fig. 1).

This paper presents improved BIFETs with non-latch-up structure as well as a large ASO. Figure 2 shows a cross section of a new BIFET. A part of the source layer is periodically eliminated, providing a low resistance bypass for holes to the source electrode without biasing the source-base junction. The maximum drain current was substantially limited by the channel pinch-off effect before  $t_i$  reached the increased latch-up current level, which was attained by the vertical BIFET structure and the optimized source pattern. Thus, the latch-up mode was not observed under any driving conditions unless gate voltage exceeds 20V.

It was found that the latch-up current density  $J_L$  depends gate width  $L_G$  through the following equation [1]:

$$J_L = V_{b1} / (L_G R_b) \quad \text{---- } L_G: \text{gate width; } V_{b1}: \text{built-in voltage for source-base junct.;}$$

$$R_b: \text{channel to source electrode p-base resistance for unit channel width.}$$

New BIFET structure provides a lower  $R_b$ , which enables to use a larger  $L_G$  than the original BIFET with attaining a high latch-up current density. Thus, new BIFETs exhibit low forward voltage regardless of reduced channel width.

BIFETs should have a sufficiently large ASO so that BIFETs can be used as a key switching device in place of bipolar transistors in a power application system. If the external load is caused to be short-circuited due to system failure, drain current is limited only by the device resistance itself with the drain voltage being the same as the external power supply voltage. The device should dissipate a large heat until a protection circuit works, reducing gate voltage to zero. Figure 3 shows the measured 25  $\mu$ sec forward conduction ASO limit. The improved BIFETs can sustain more than 65Amps drain current with 600V forward voltage drop and 20V gate voltage during 25  $\mu$ sec, which is sufficient for sensing and device protection. Measured switching ASO is also included in Fig. 3. Voltage and current density product exceeds  $3 \times 10^5 \text{VA/cm}^2$ , which suggests avalanche multiplication for a failure cause.

Neither snubber nor clamp circuit is necessary for the inductive load switching. Figure 4 shows 48Amps switching waveforms, wherein voltage surge is clamped by the device itself. The electrical characteristics for the improved BIFETs are given in Table. BIFETs are now ready for applications.

- References [1] A. Nakagawa et al, in Extended Abstracts of the 16th (1984 International) Conference on Solid State Devices and Materials, Kobe, 1984, pp.309-312
- [2] M.F. Chang et al, 1983 IEEE IEDM Tech. Digest, pp. 83
- [3] A.M. Goodman et al, 1983 IEEE IEDM Tech. Digest, pp. 79

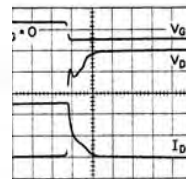


Fig.3 Typical turn-off waveforms for a BIFET.  $I_D: 30A/Div$ ,  $V_G: 200V/Div$ ,  $V_D: 200V/Div$ ,  $t_{me}: 2\mu\text{sec}/Div$ ,  $T_{emp}: 125^\circ\text{C}$ .

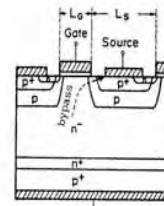


Fig.2 A cross section of a new BIFET

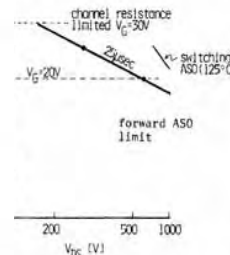


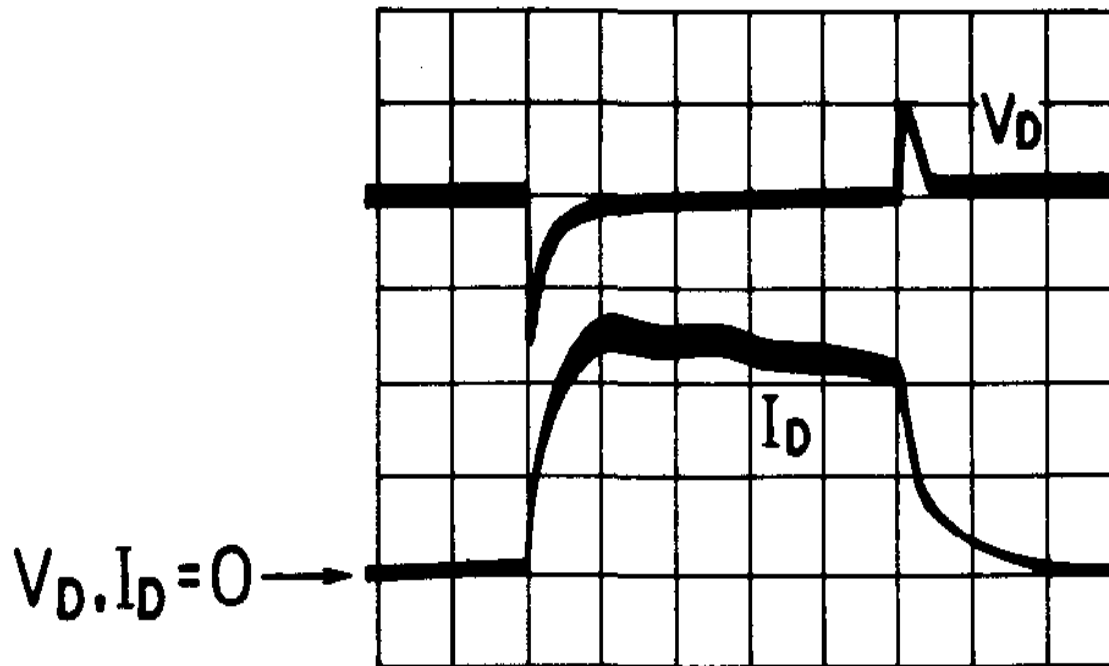
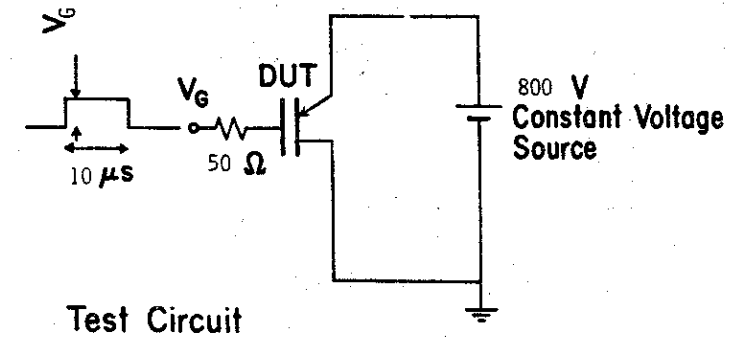
Fig.4 Typical inductive load switching waveform.  $I_D: 12A/Div$ ,  $V_G: 200V/Div$ ,  $V_D: 200V/Div$ ,  $t_{me}: 0.5\mu\text{sec}/Div$ .

Breakdown voltage	1200V	Turn-off delay time	0.3 $\mu$ sec
Continuous drain current	20A	fall-time	1.9 $\mu$ sec
Forward voltage drop	3V(20A)	Device active area	20mm <sup>2</sup>
Turn-on time	120nsec	Maximum turn-off current ( $V_G=1000V$ , $T_{emp}=125^\circ\text{C}$ )	more than 75A

Table electrical characteristics

ノンラッチアップ IGBT 最初の論文  
IEDM Late News 1984年12月

# 広い安全動作領域 世界初の負荷短絡耐量

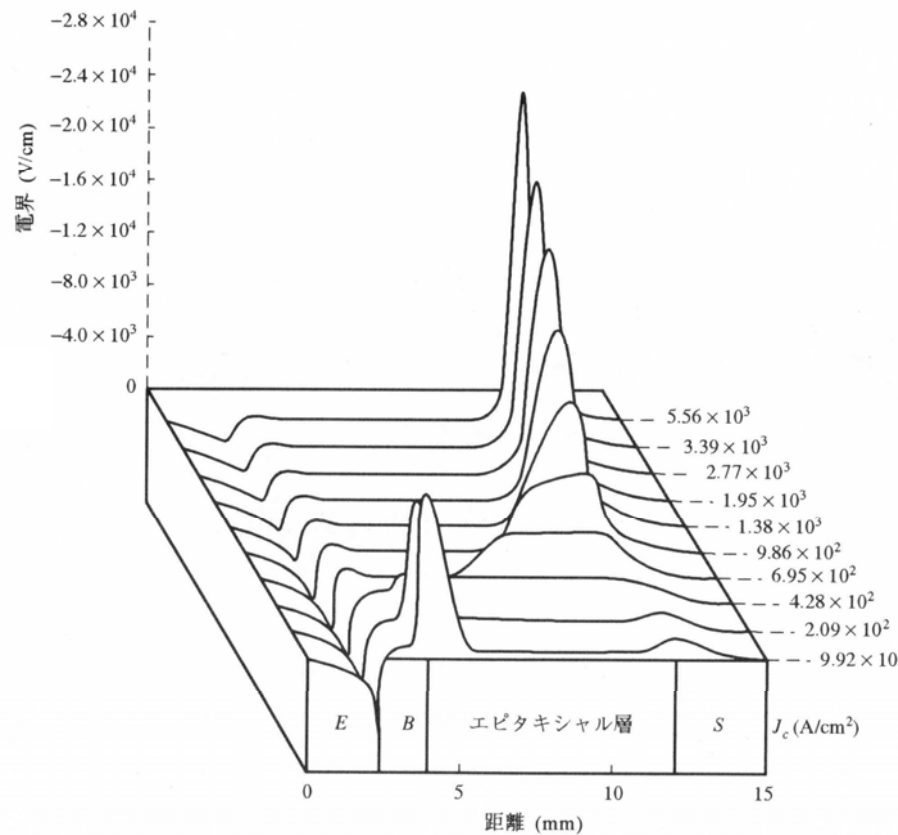


$I_D : 30A/Div$   
 $V_D : 200V/Div$   
Time :  $2\mu s/Div$

パワー損失  $V_C I_C > 300kW/cm^2 @ 125$

# バイポーラTrのパワー損失は2次降伏で制限

$$V_A J_C \leq \frac{1}{2} v_s \epsilon_s E_c^2 \leq 200 \text{ kW/cm}^2$$



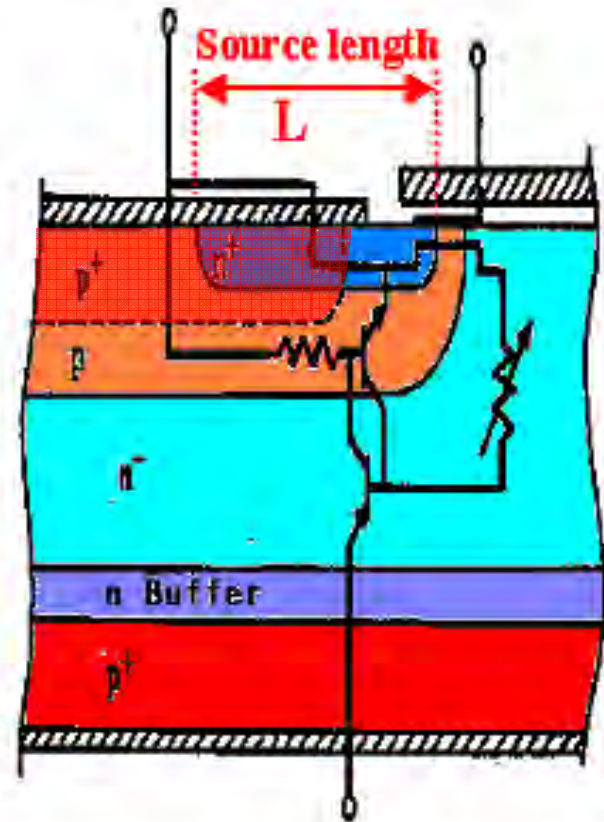
## 開発課題1 特性改善でキャッチアップ狙う

### ラッチアップ電流増大

- ・Nソース層の下に設ける浅いP<sup>+</sup>拡散
- ・最適エミッタパターン

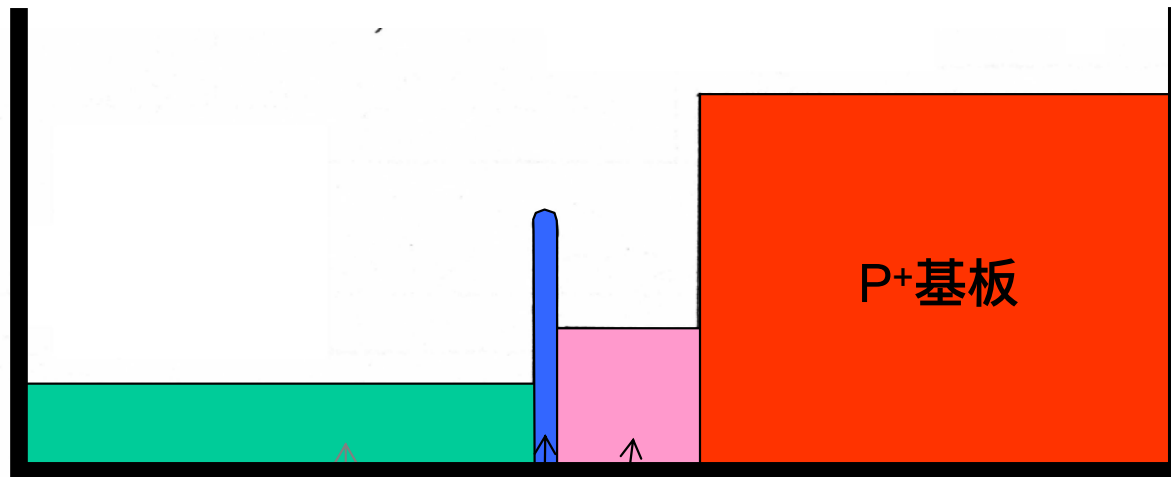
### 高速化

- ・薄いN<sup>+</sup>バッファ構造
- ・電子線照射



## 開発課題2 エピ基板の入手

- ・ P+基板にN層のエピは不可!!!
- ・ 頭をひねる。



$n^-$  epi層

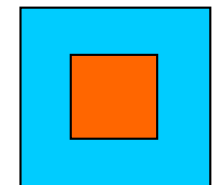
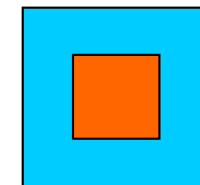
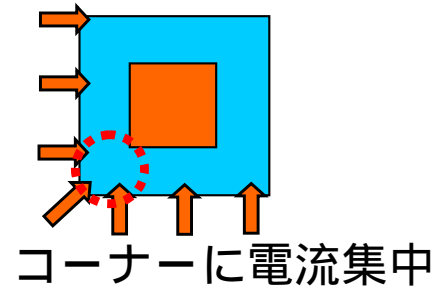
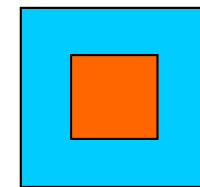
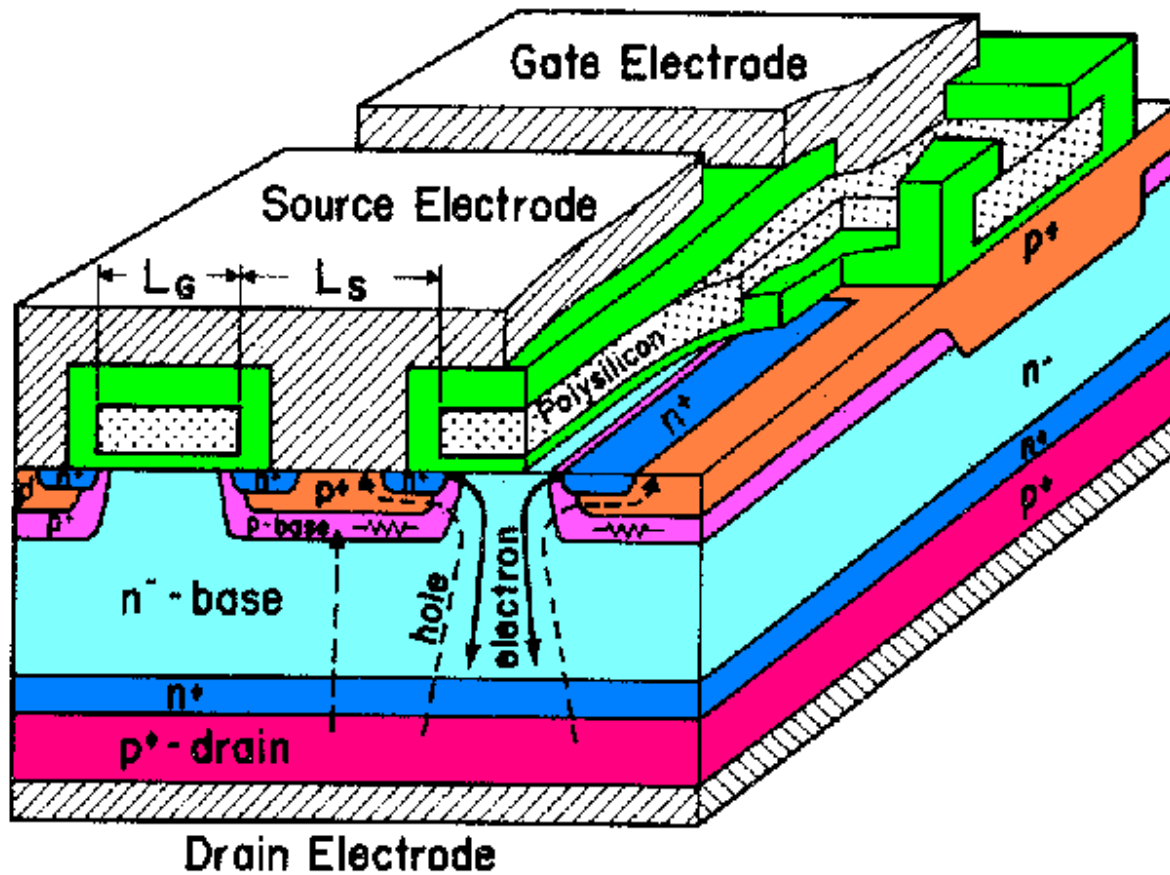
$n^+$  As 12703層 (P-It<sup>o</sup>層の上 = As 12703)  
(1150°C / 210分 P = nC)

P<sup>-</sup> epi層 (0.5 ~ 1 Ω·cm)  
(9 ~ 10 μm)

P<sup>+</sup> 基板

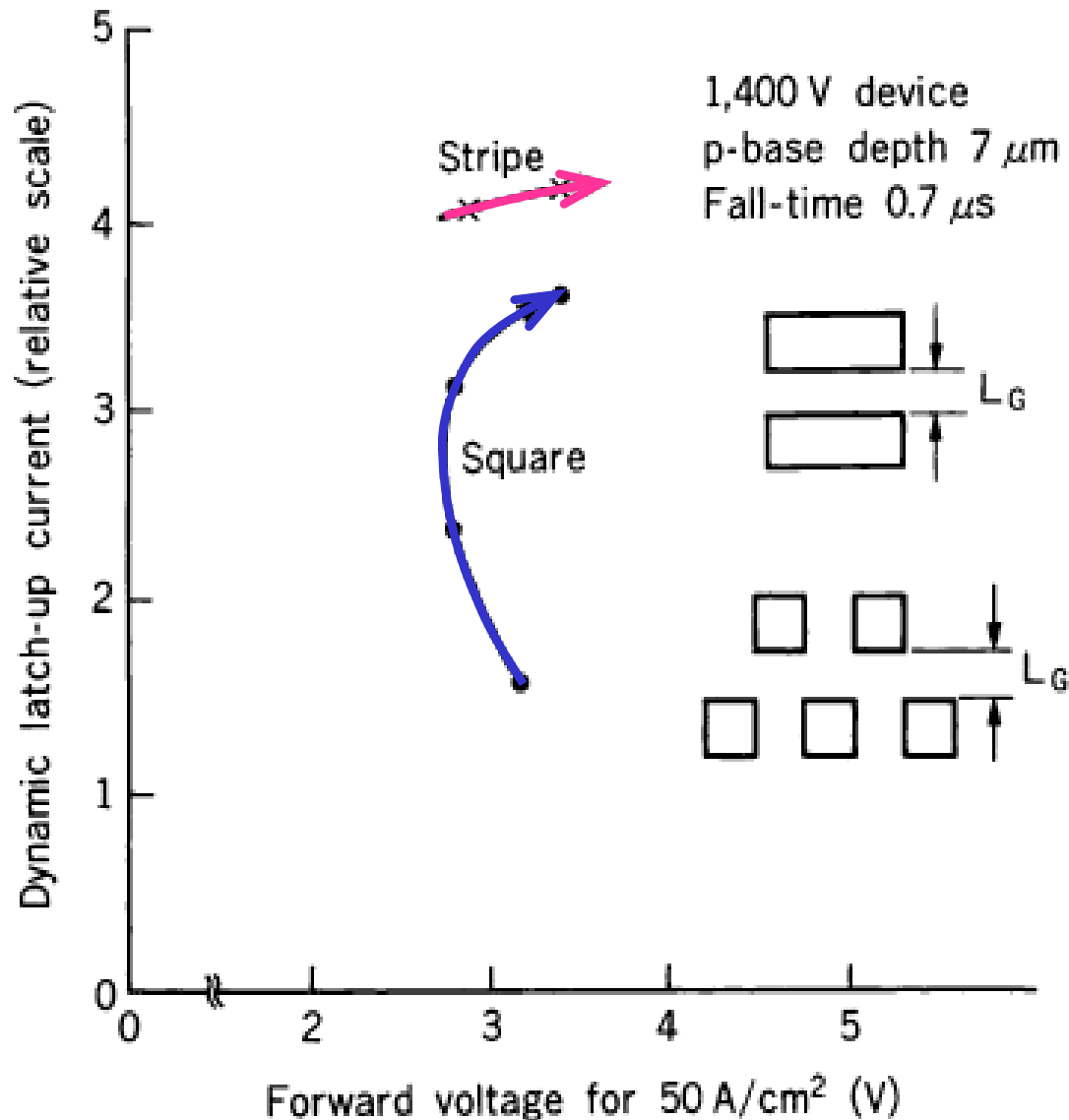
# Stripe Source-Gate Pattern

2次元デバイスシミュレータで解析しやすいので導入。

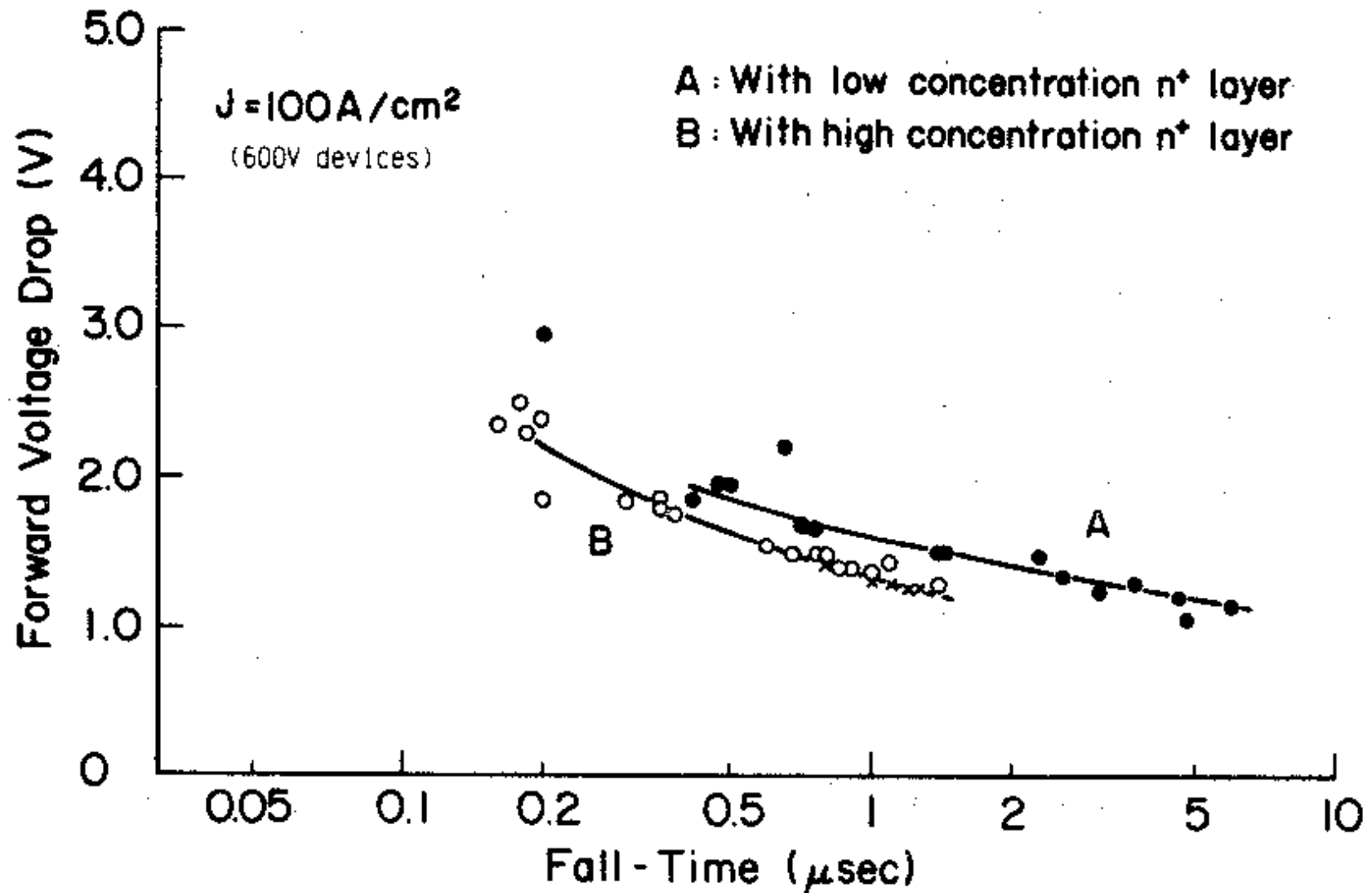




# Stripe Source-Gate Pattern

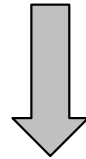


# N<sup>+</sup> バッファ



最初の素子ができた頃にRCAに1983年IEDMで先を越される!!!

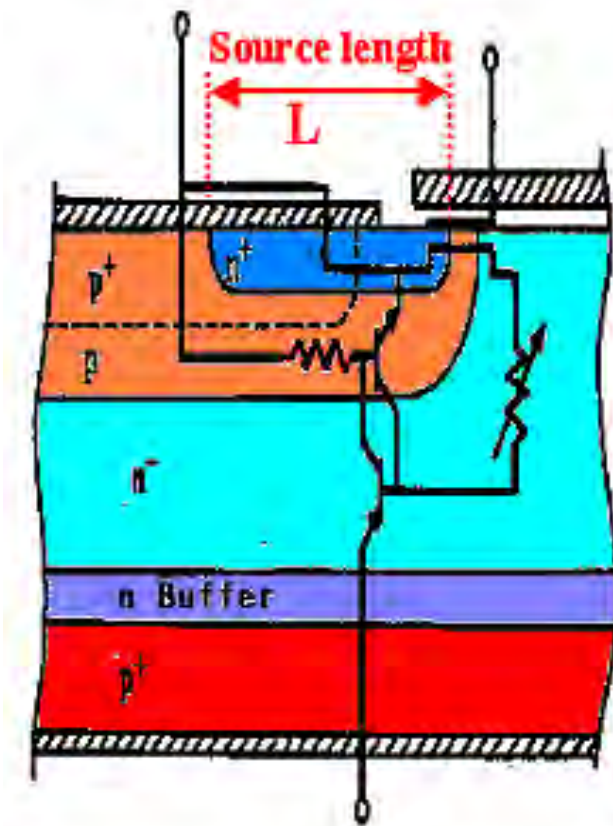
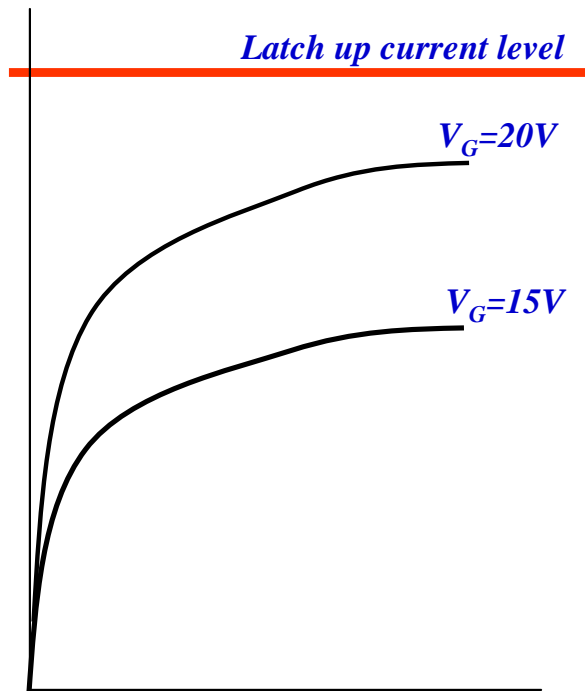
追いつけない!!!



ラッチアップしないIGBT実現を狙う!!!

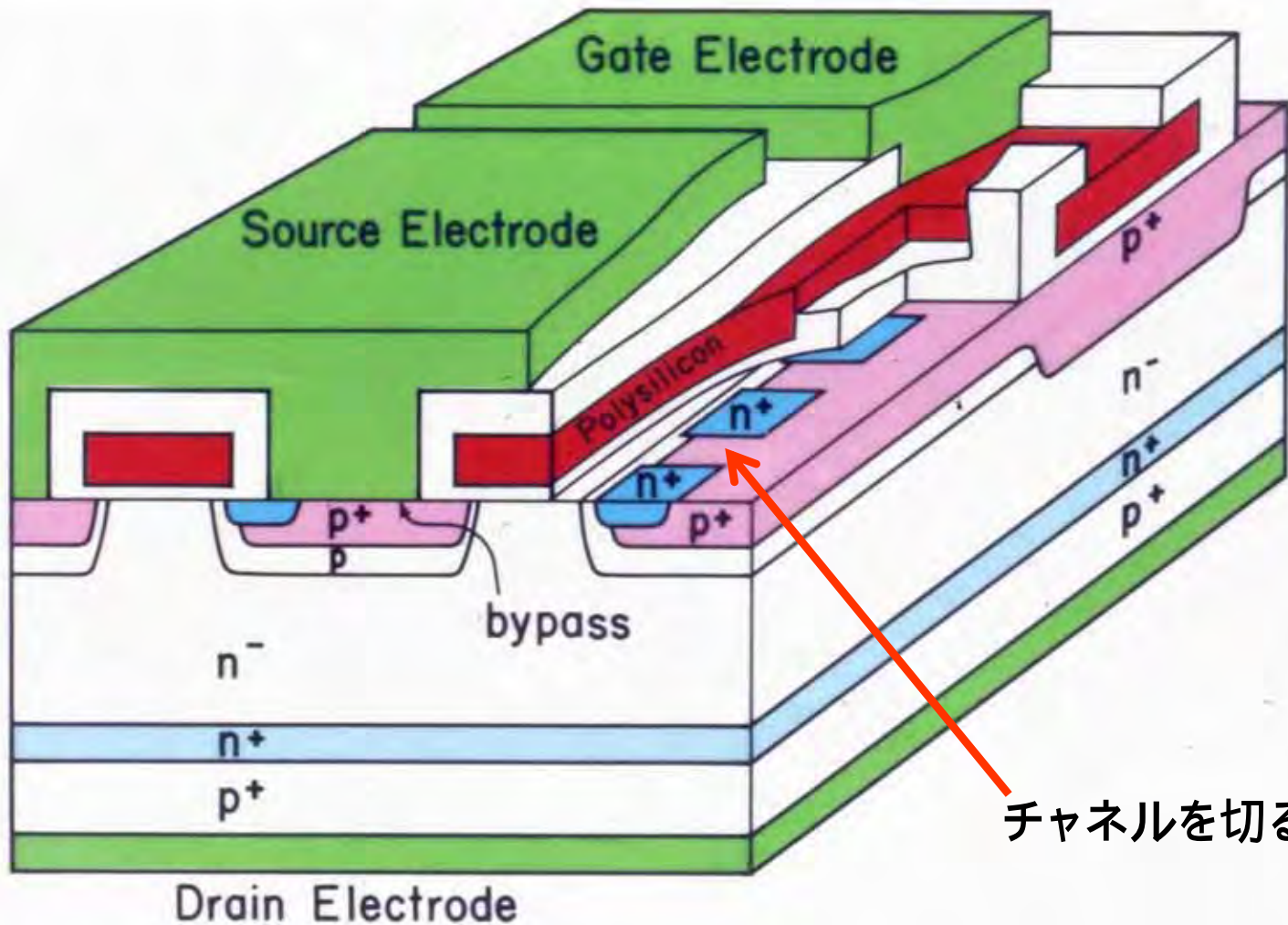
# Non-latch-Up Bipolar-Mode MOSFETの概念

飽和電流(@  $V_G = 20V$ ) < ラッチアップ電流

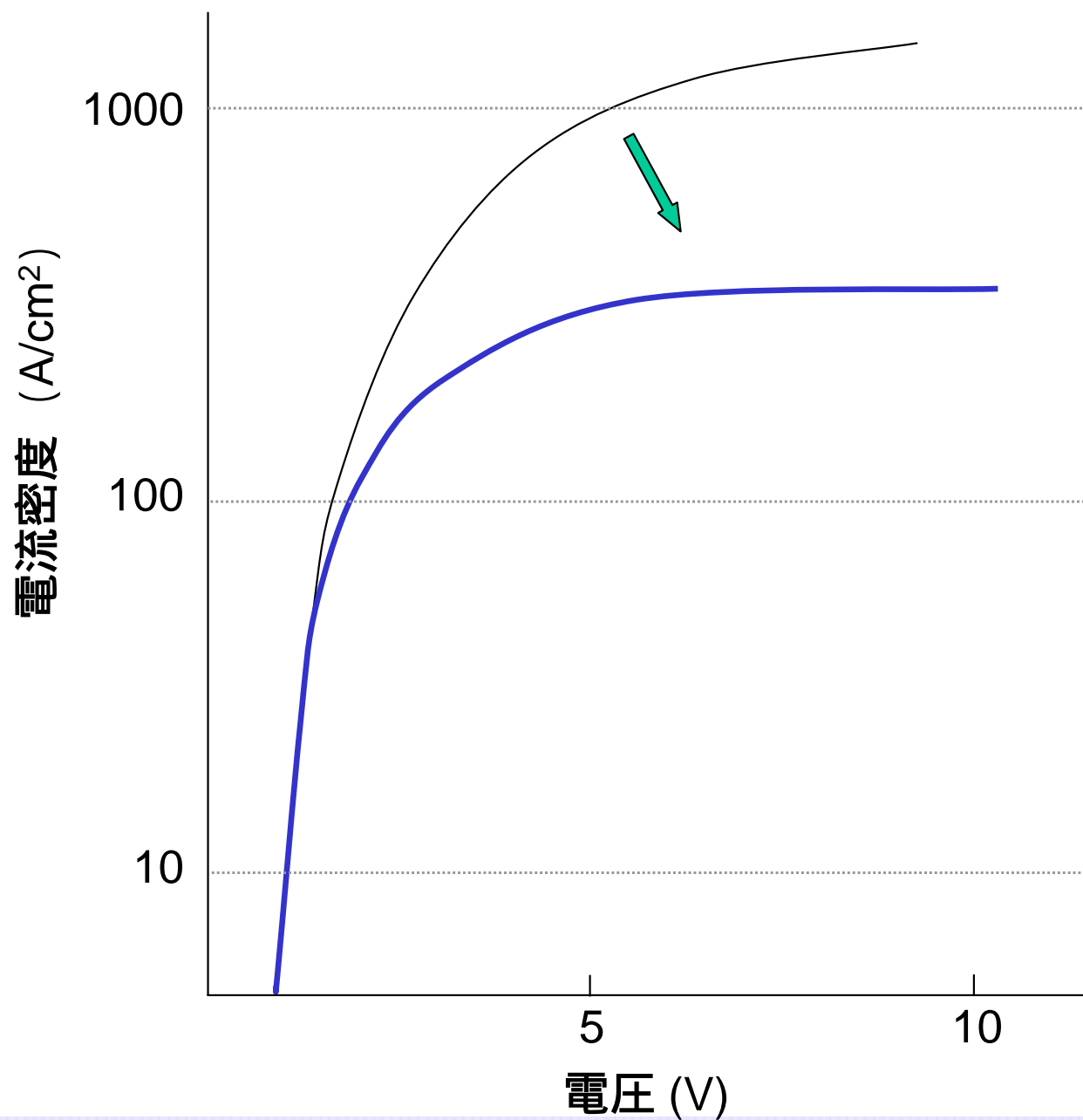


# Non-Latch-Up IGBT構造

Hole Bypass: チャンネルを切って低抵抗の正孔バイパスを形成



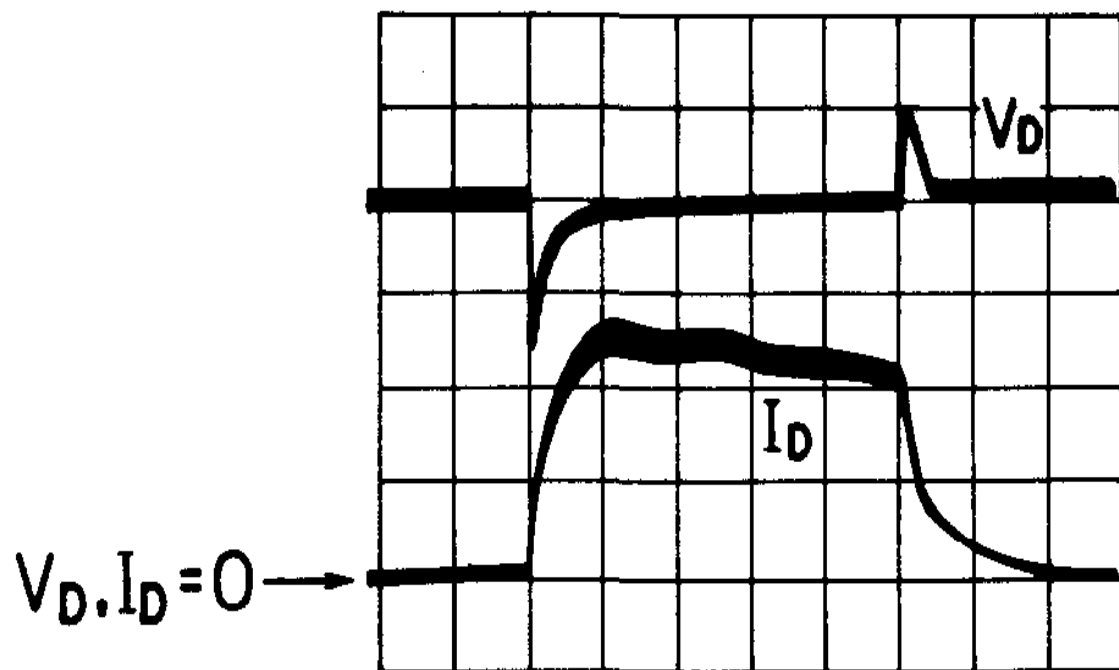
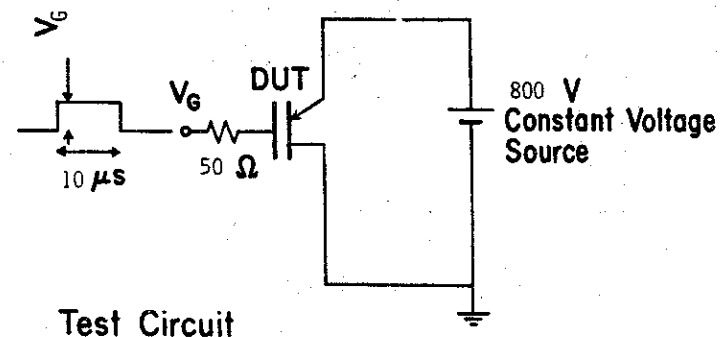
# V - I 特性の変化





# 世界で初めて実現に成功した負荷短絡特性 ( 1984年9月 )

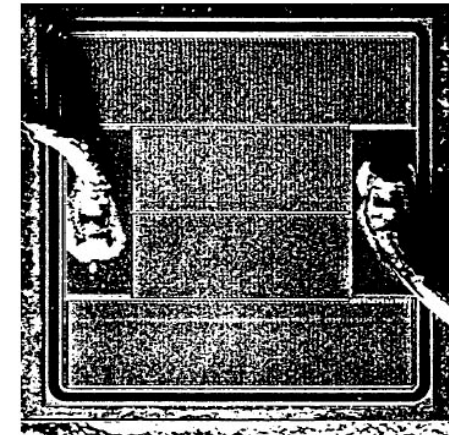
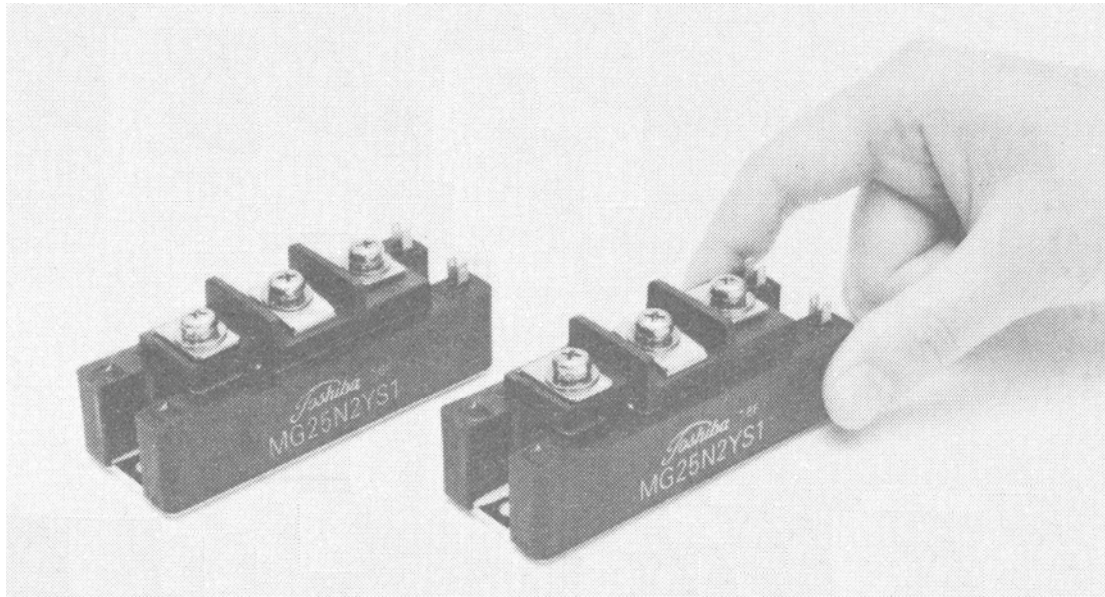
**B Tr 置き換えには不可欠!!!**



$I_D : 30A/Div$   
 $V_D : 200V/Div$   
Time :  $2\mu s/Div$

# 500V25Aモジュールの商品化@1985年

600V25A 6.5mm角



# パワーデバイスシミュレータTONADDEIIの進化

1980年 TONADDE I 1次元モデル開発

1982年 TONADDE II 2次元モデル開発

1987年 効率的な反復解法 ILUBCGの導入

1991年 TONADDE IIC 外部回路機能追加

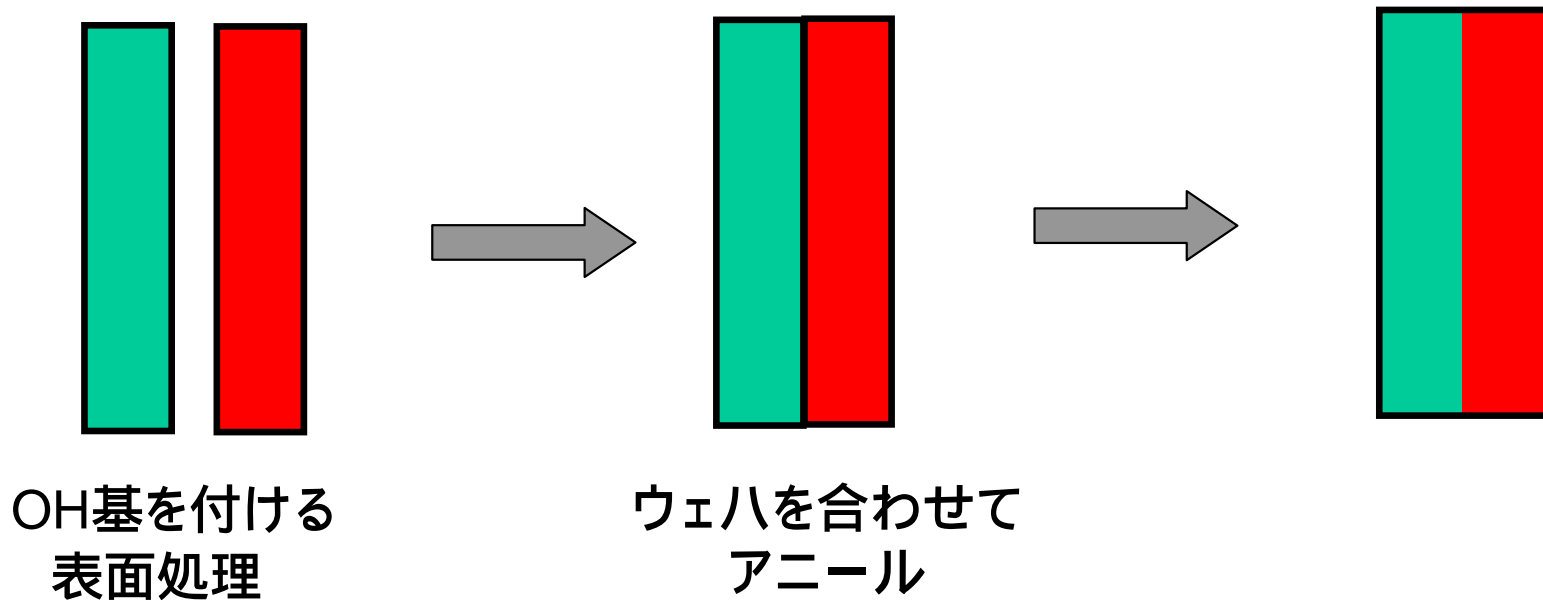
1993年 GUIの導入 自動メッシュ発生、3Dグラフィック表示

# 1985年4月-1987年3月 高耐压化

1700V IGBTを狙う!!

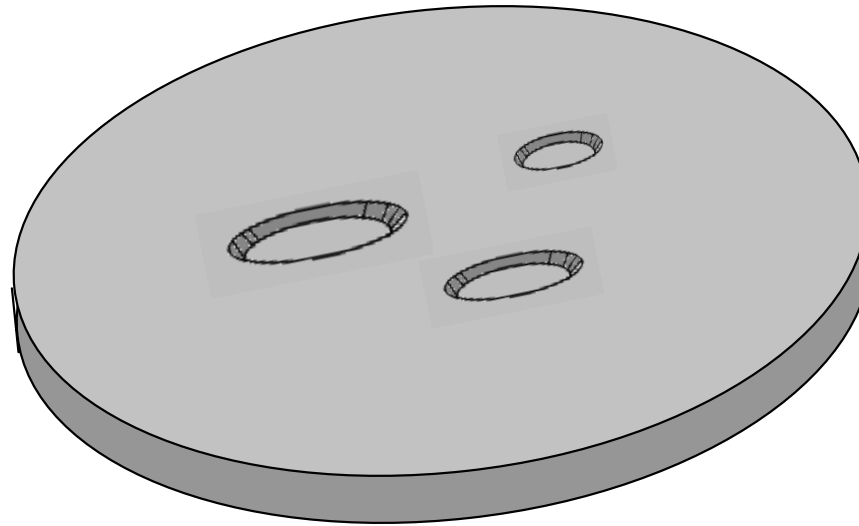
Epiウェハのコストが問題。

当時、東芝でウェハ接着技術が発明され、これを利用。



# 1985年4月-1987年3月 高耐压化

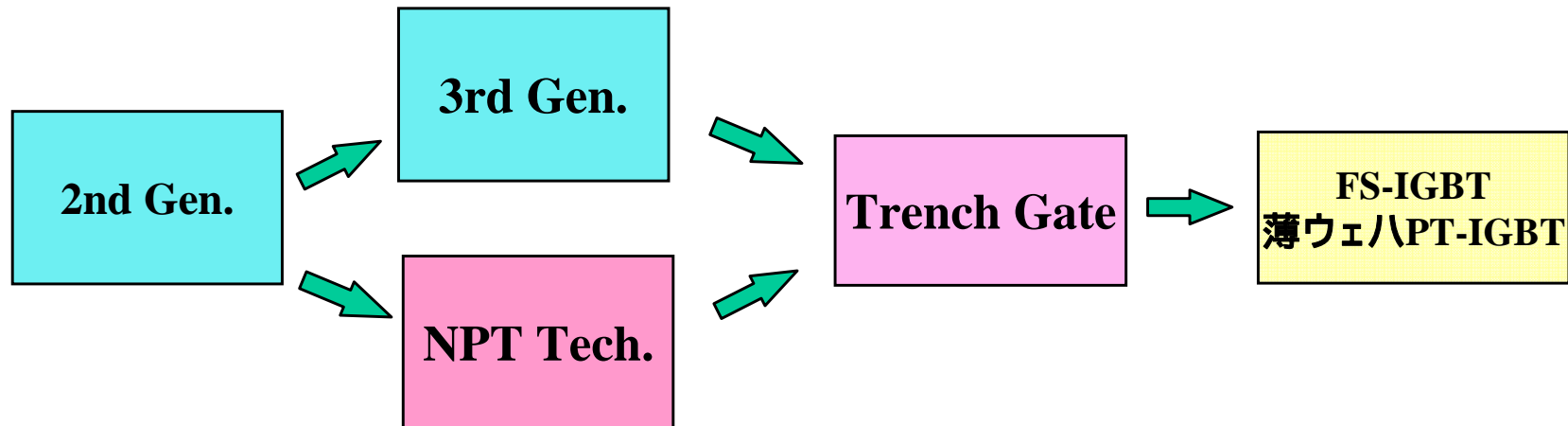
噴火した接着ウェハ この上にIGBTを作成!!!



## 1700V IGBTを開発

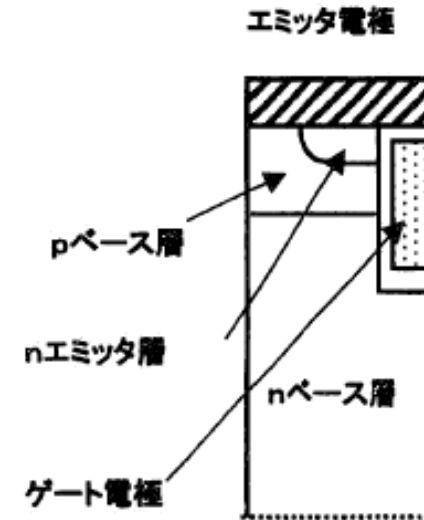
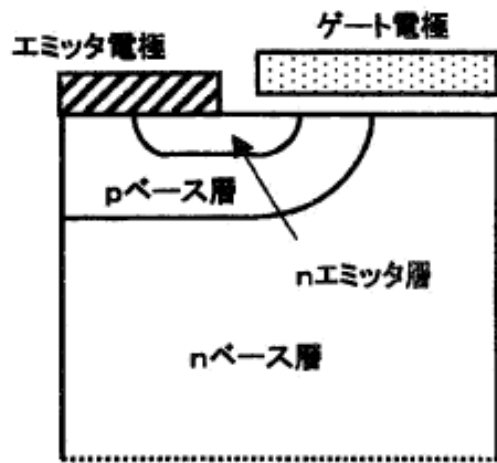
# IGBTの技術トレンド

- ❑ Reduction of chip size  
(Fine patterning & Trench technology)
- ❑ Improvement in  $V_{ce(sat)}$   
(Reduction of Power dissipation)
- ❑ Large RBSOA  
(Soft turn-off)
- ❑ Improved temperature dependency



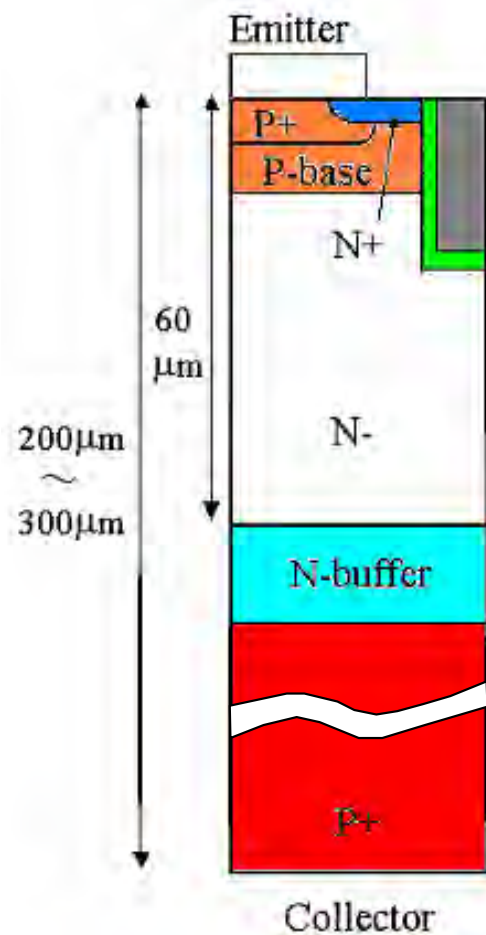


# 性能改善

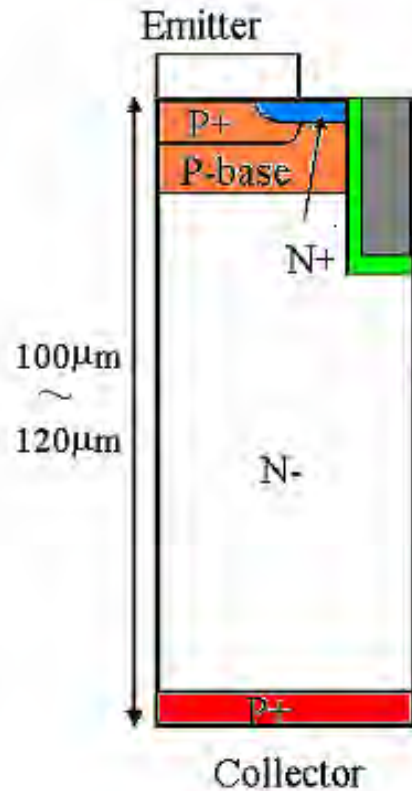


微細化

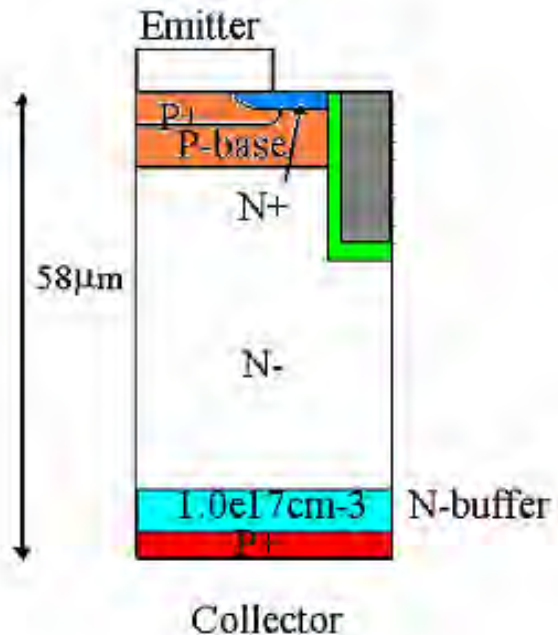
トレンチゲート化



**PT-IGBT**



**NPT-IGBT**



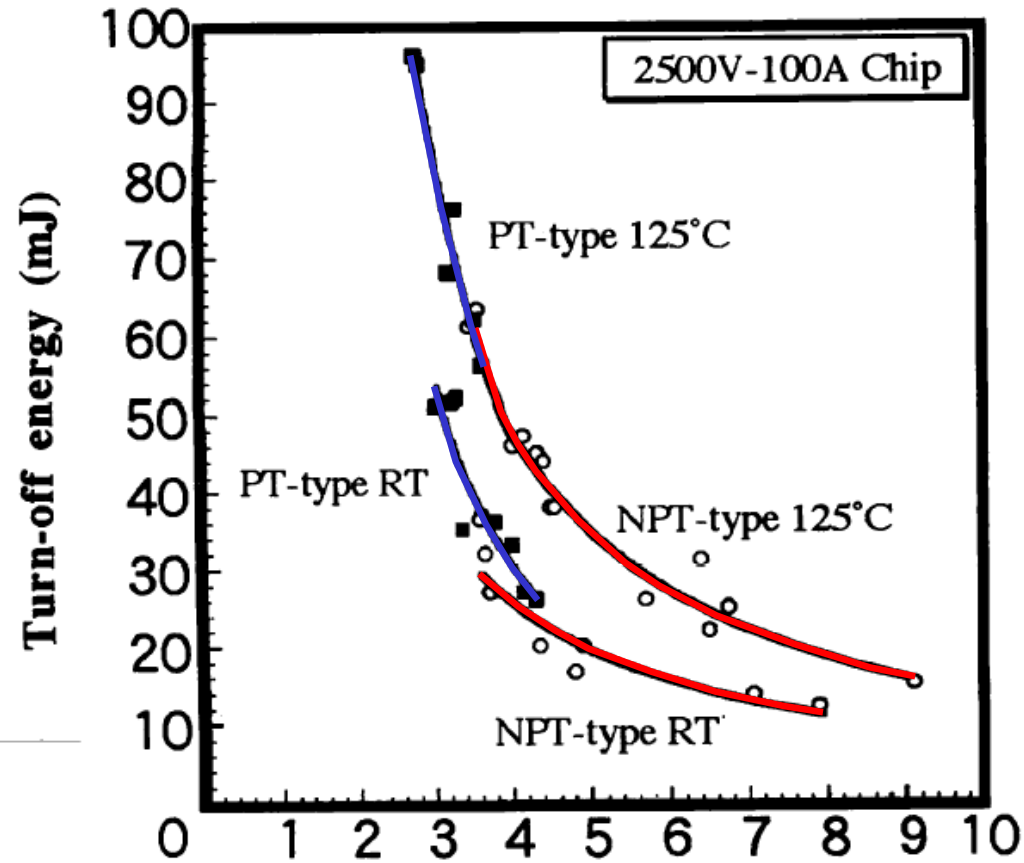
**Very thin wafer  
FS-IGBT**

# 薄ウェハPTIGBT

- (1)高抵抗ドリフト層が薄いPTがNPTより良いはず
- (2)NPTの良い点を残してPT化する

	PT-IGBT	NPT-IGBT	FS-IGBT
p-emitter	high efficiency	low efficiency	low efficiency
n-drift	thin	medium	thin
n-buffer	highly doped	none	lightly doped thin
lifetime	low	high	high

# PT & NPT IGBTの比較

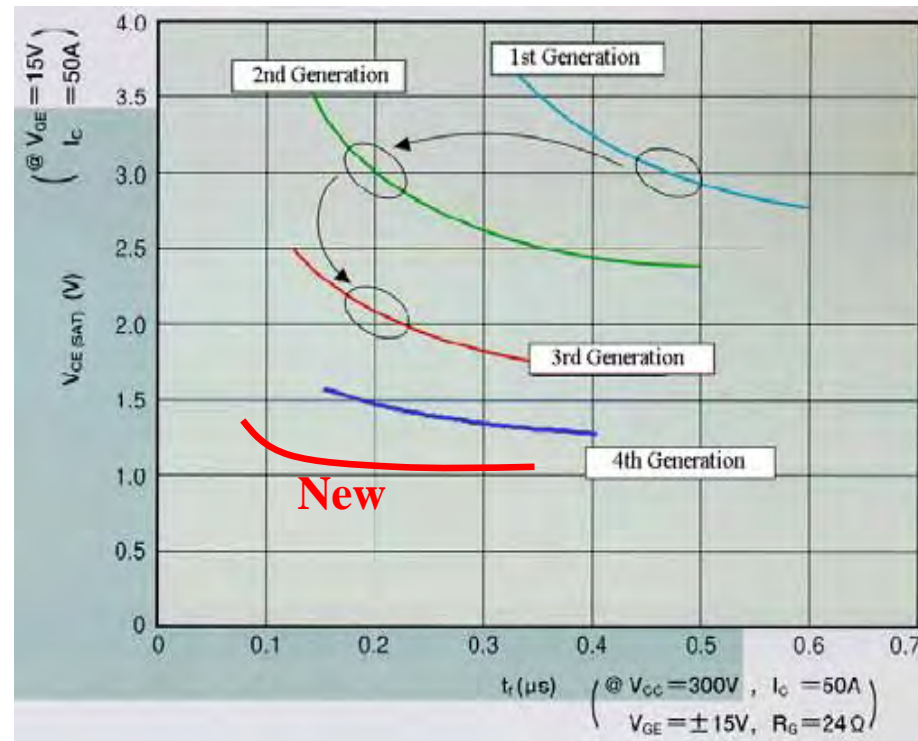
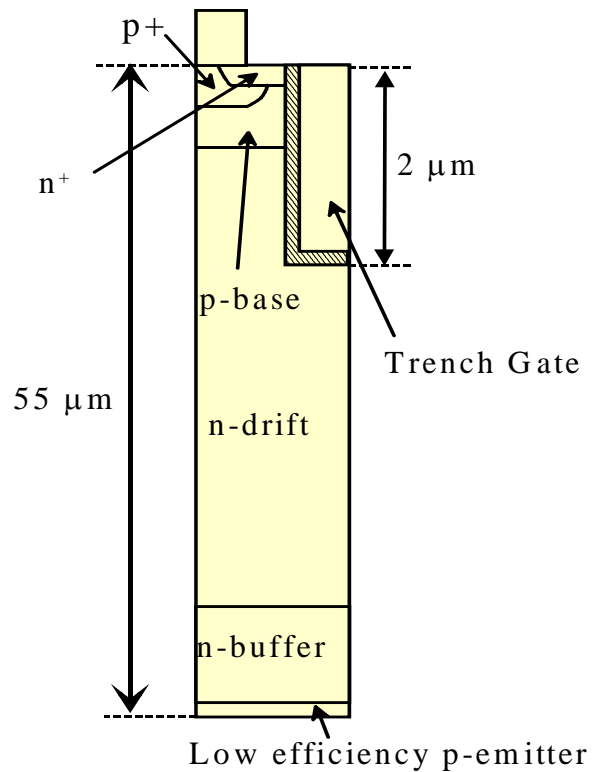


DATA From Fujielectric

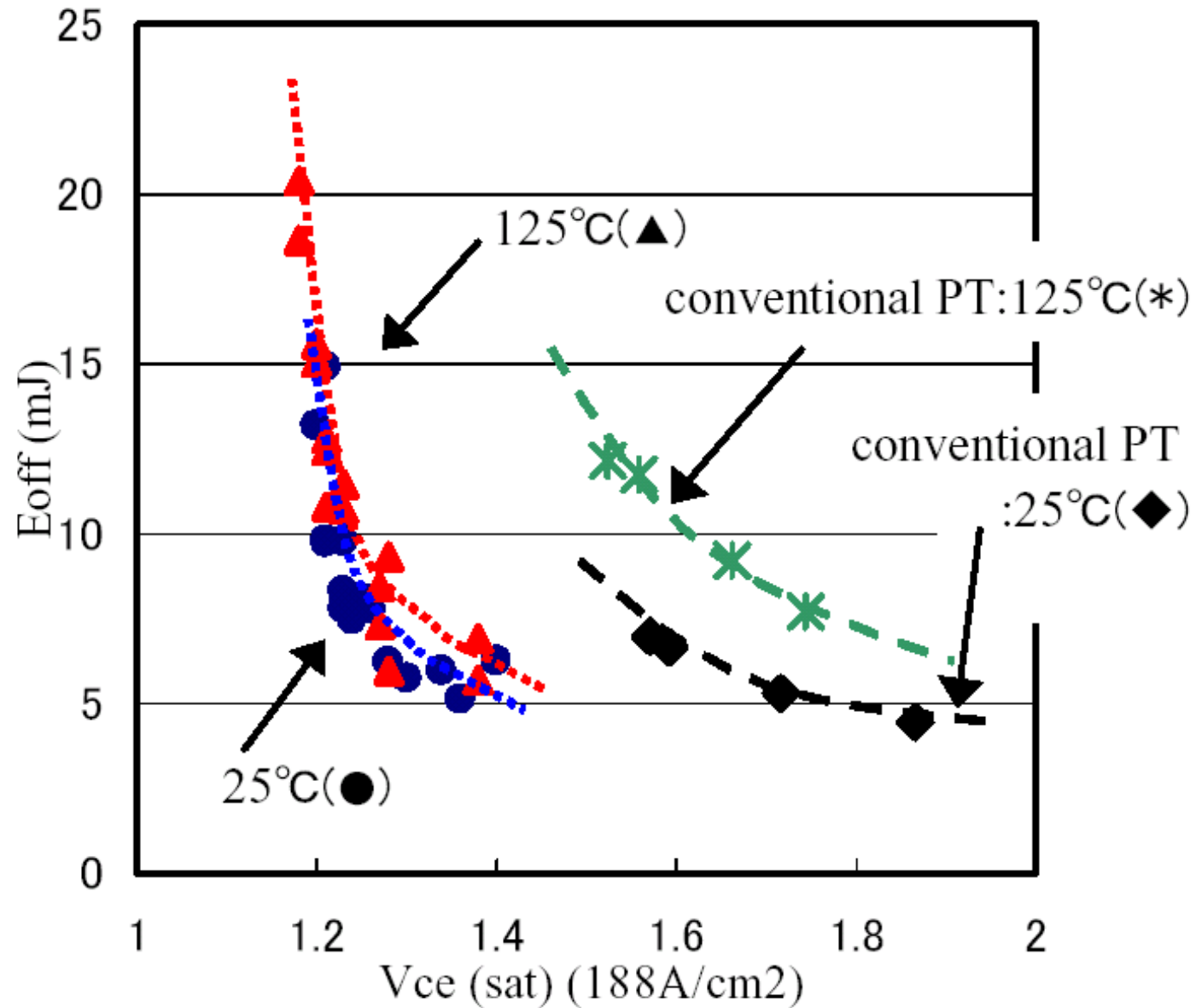
*Temperature dependence of trade-off relation*

# 最新世代IGBT技術

*Punch through & Low efficiency emitter*  
*Thin wafer technology*



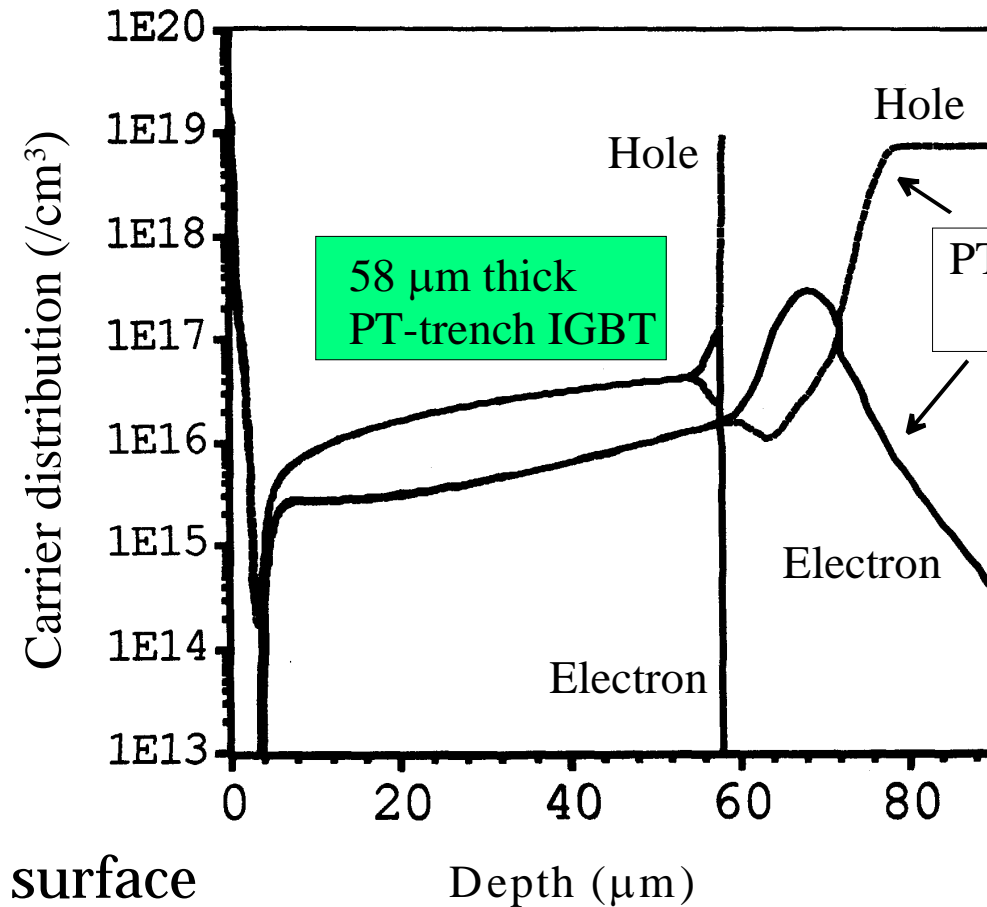
# Trade-Off 特性





# 蓄積電荷の分布

@ 150 A/cm<sup>2</sup>



**Lifetime**

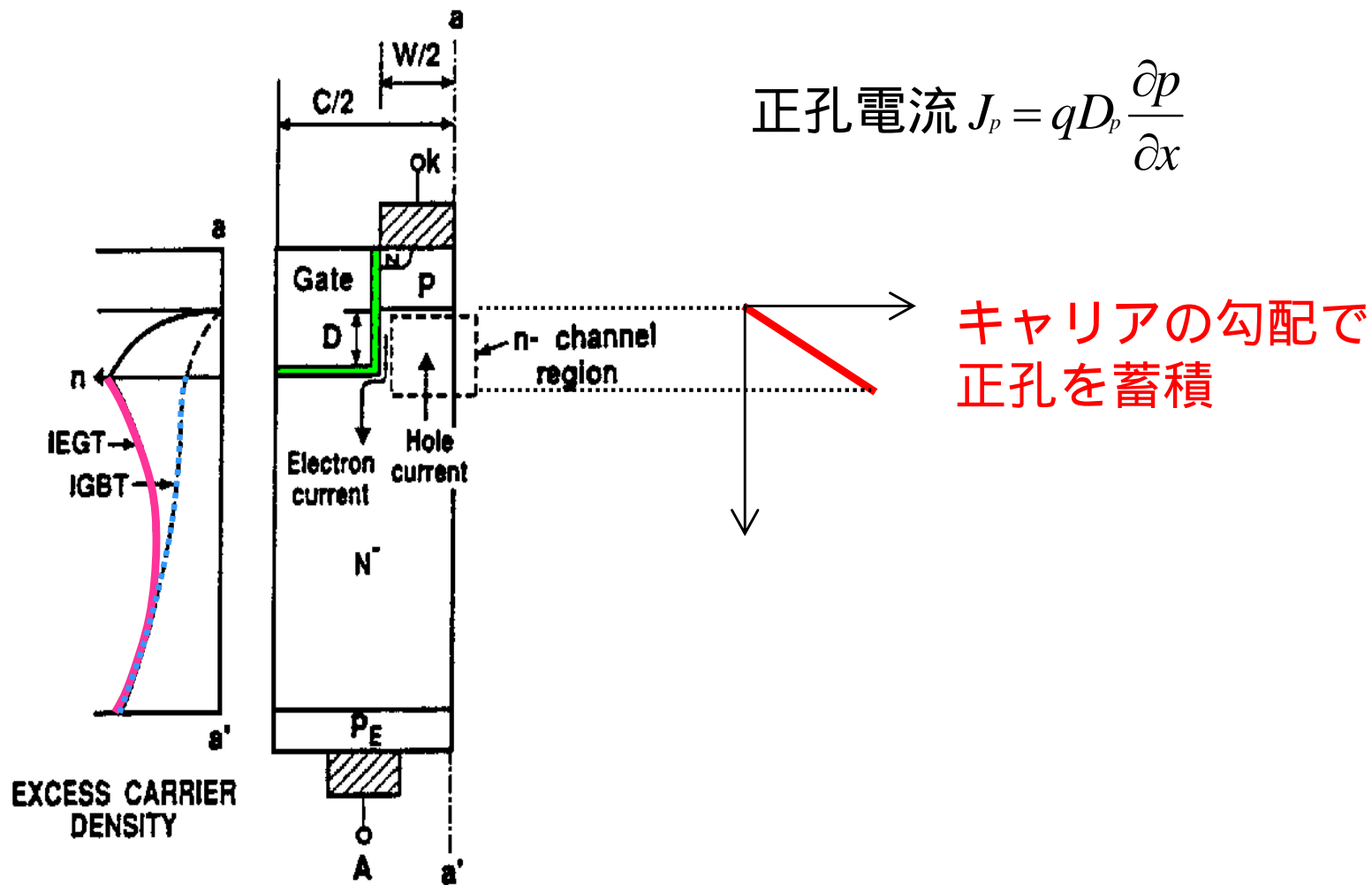
**58 μm thick PT-TIGBT  
=> 10 μsec  
conventional PT-TIGBT  
=> 0.1 μsec**

BTrはIGBT化できた!

次はGTOのMOSゲート化だ!!

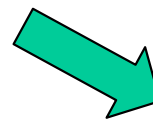
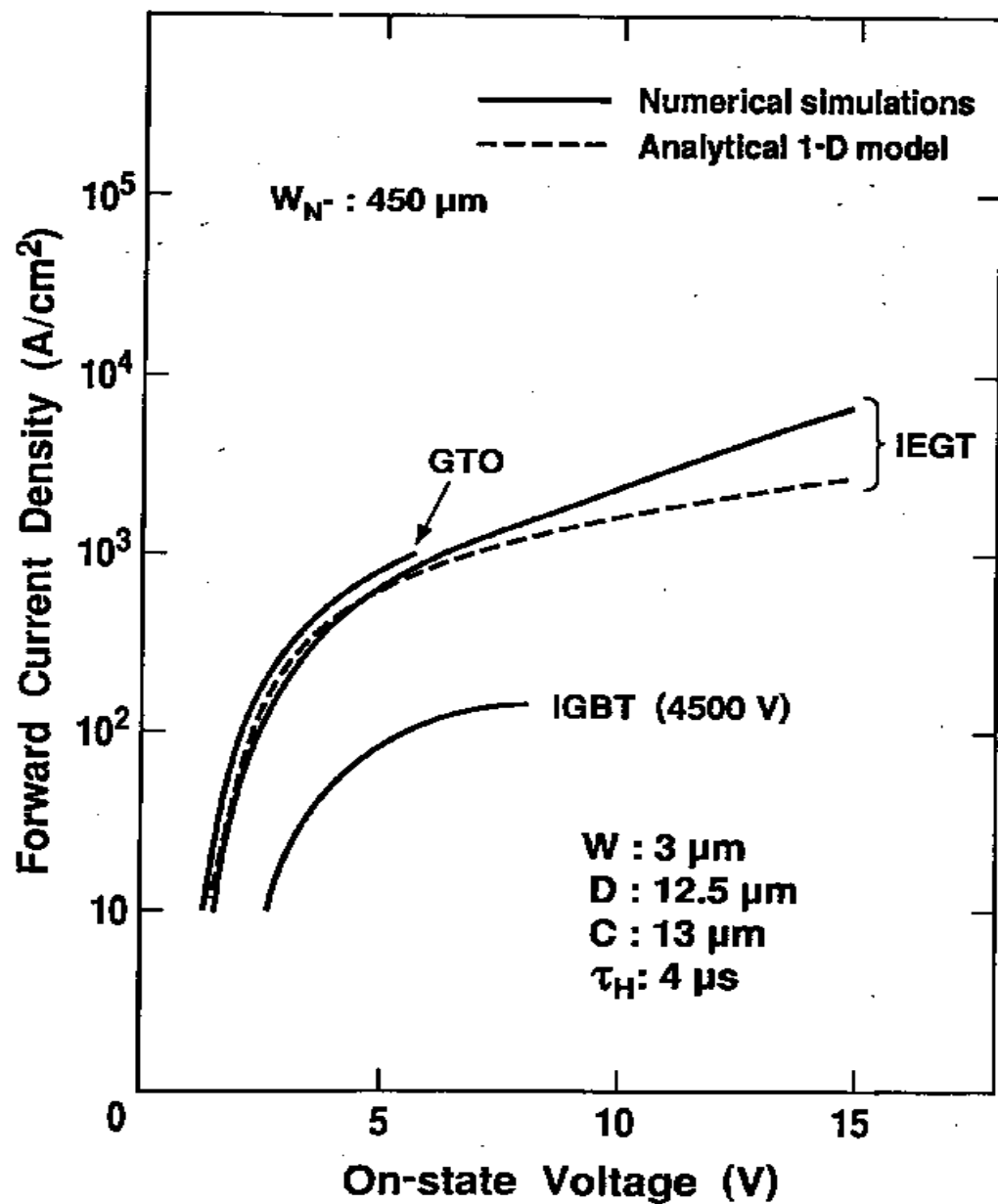
# 1990年 Injection Enhanced IGBT (IE効果) の発見

デバイスシミュレータでの予測 (特許出願1991、発表1993)



サイリスタのキャリア分布を実現

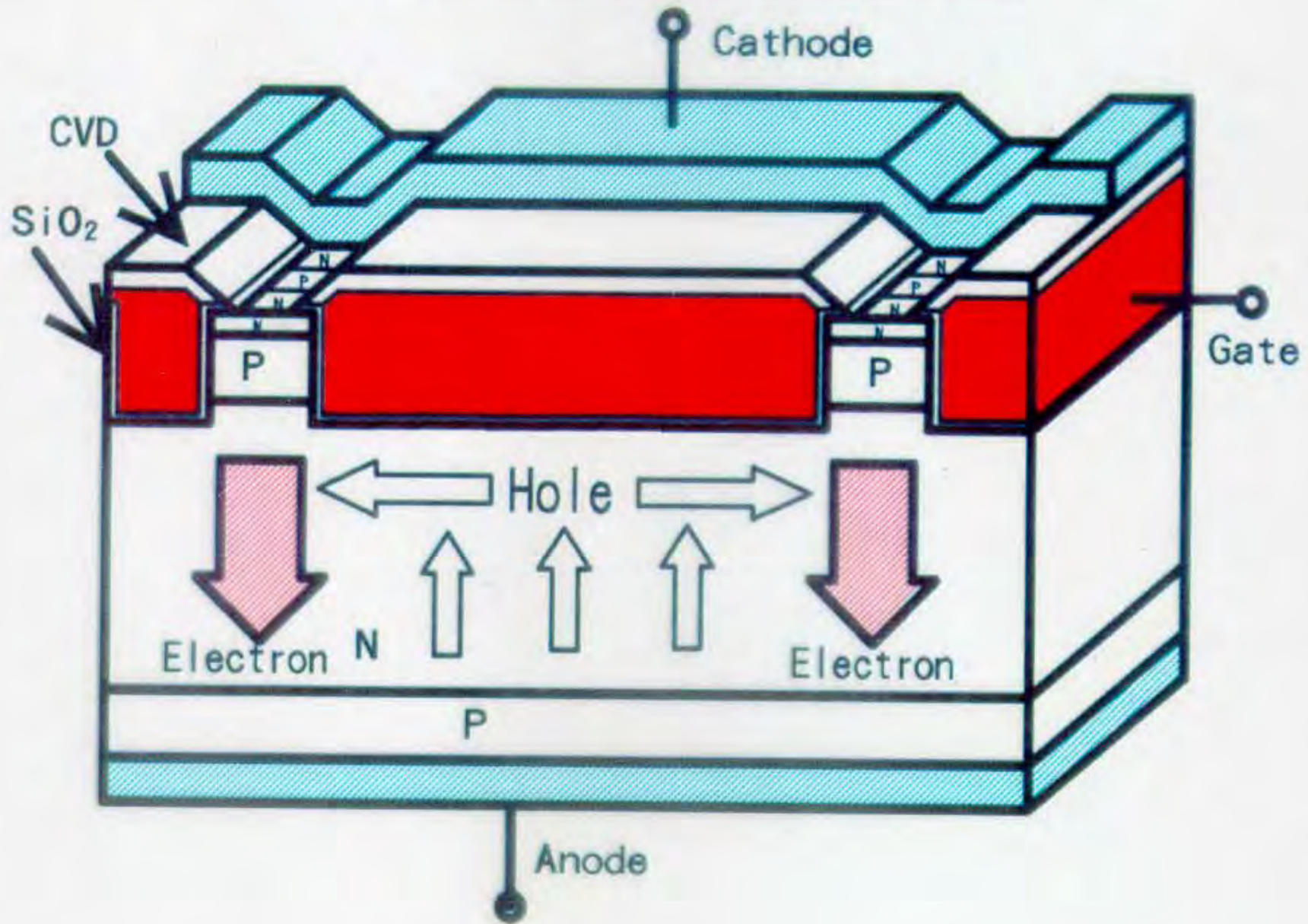
# 2000年 4.5kV IEGTの実現へ



1995年 圧接型パッケージ  
2.5kV圧接型IGBT

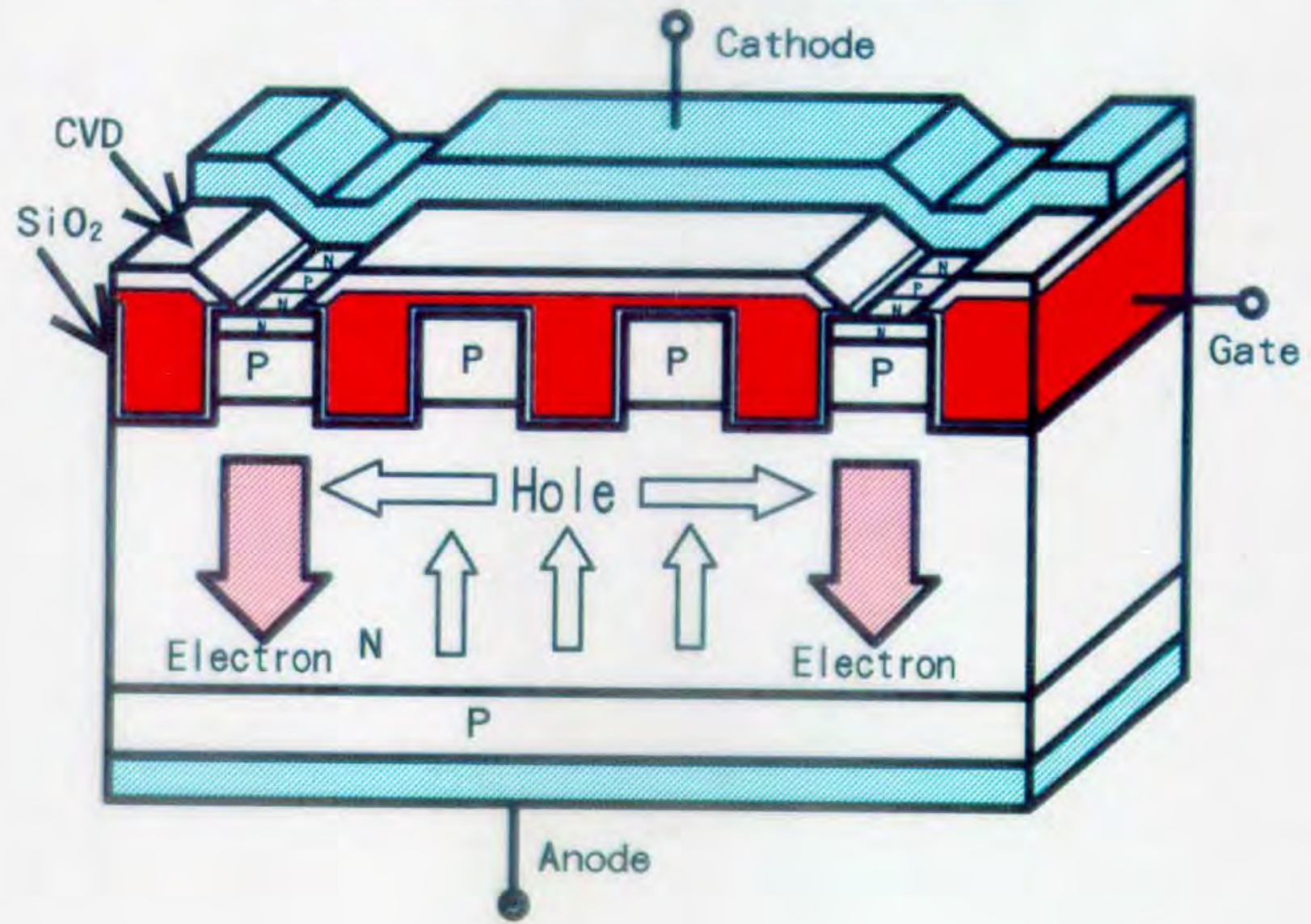
2000年 4.5kV IGBT (IEGT)

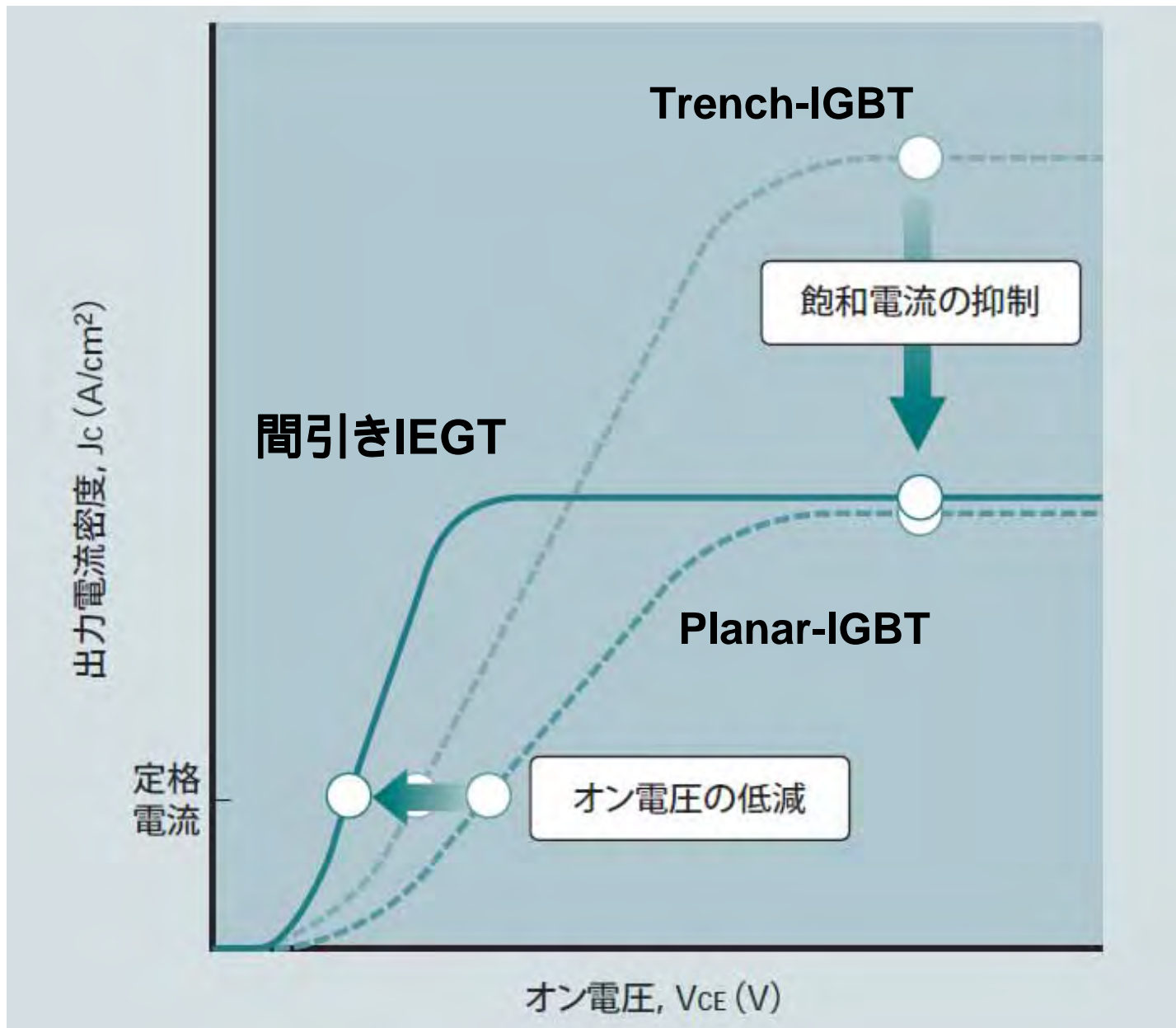
# IEGT Structure Example



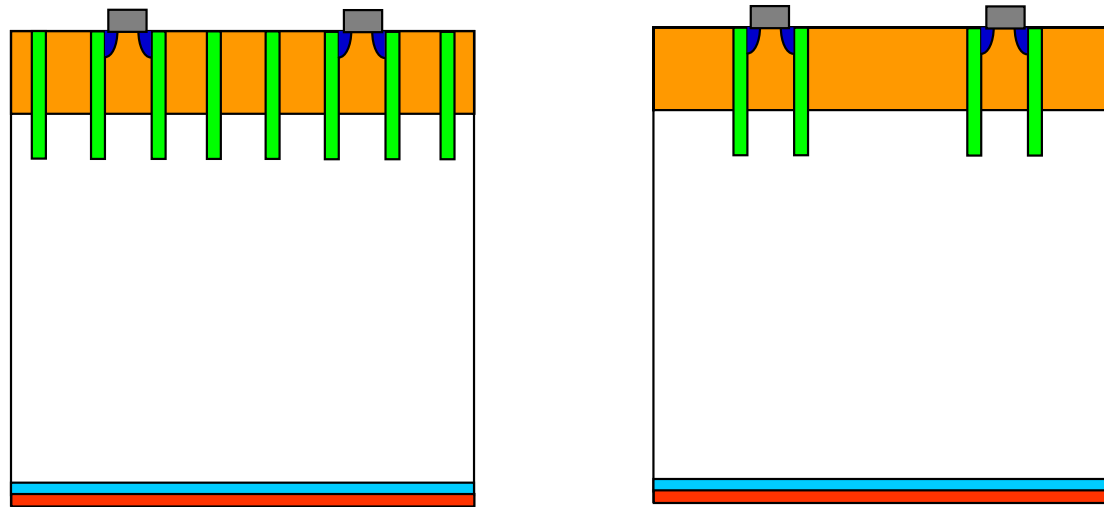


# IEGT Structure Example





# FS + 間引きIEGTが現状最良のIGBT







# IGBTのSOA

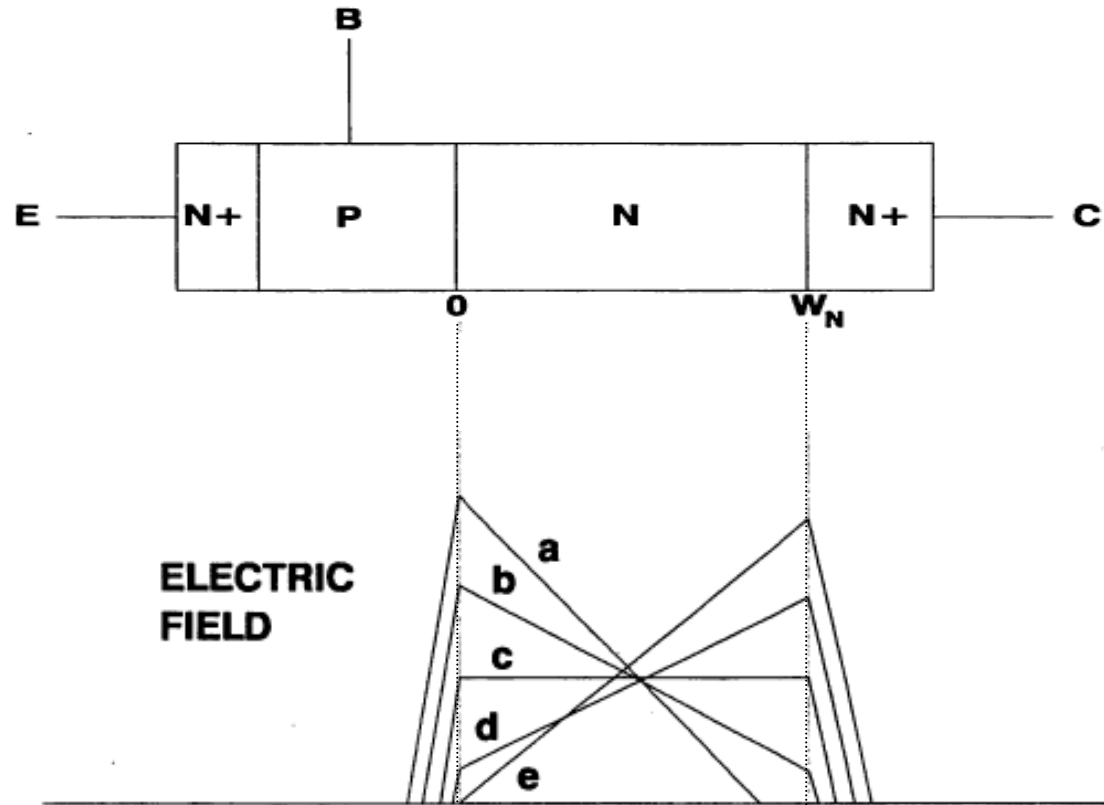
(1)RBSOA

(2)FBSOA

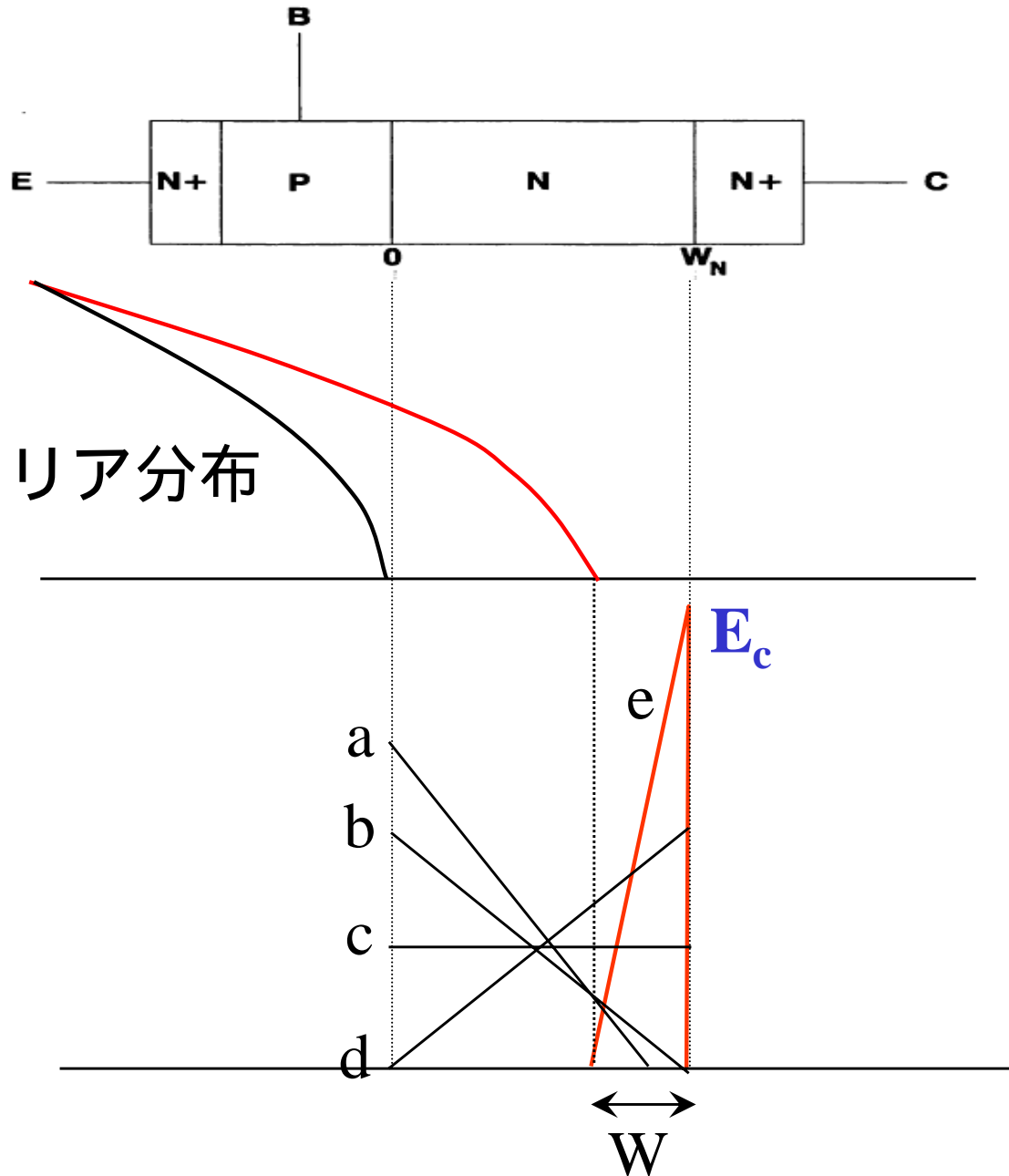
# Bipolar Tr の S O A

$$n = \frac{J_c}{q v_s} \quad \frac{dE(x)}{dx} = -\frac{q}{\epsilon_s} [N_D - n]$$

$$E(x) = E(0) - \frac{q}{\epsilon_s} \left[ N_D - \frac{J_c}{q v_s} \right] x$$



# Bipolar Tr の S O A



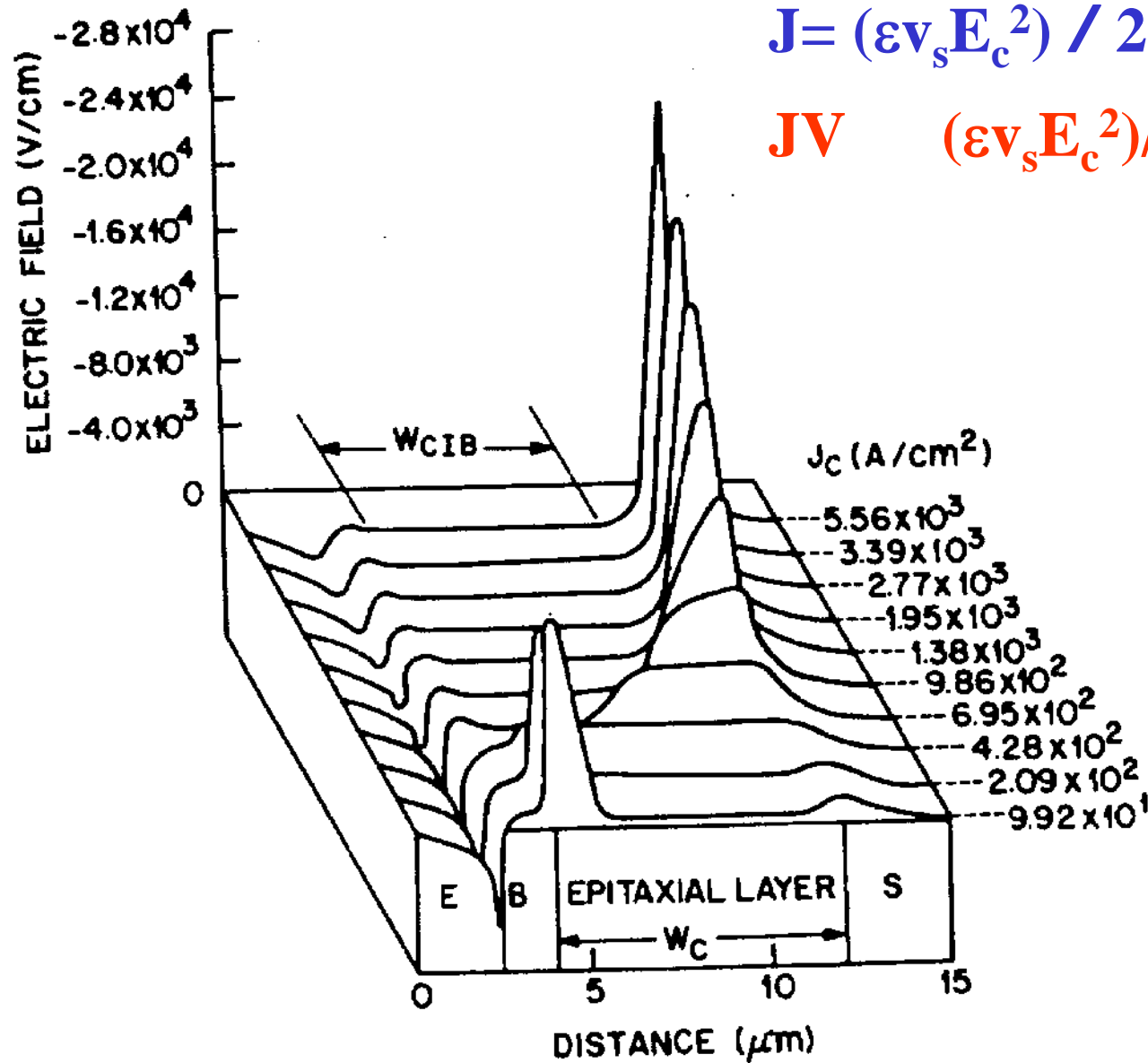
$$E(W) = E_C = -\frac{W}{\epsilon} \left( qN_D - \frac{J}{v_s} \right)$$

$$V = \frac{E_C W}{2}$$

$$J = qv_s N_D + \frac{\epsilon v_s E_C^2}{2V}$$

$$JV = \frac{\epsilon v_s E_C^2}{2} = 2 \times 10^5 W / cm^2$$

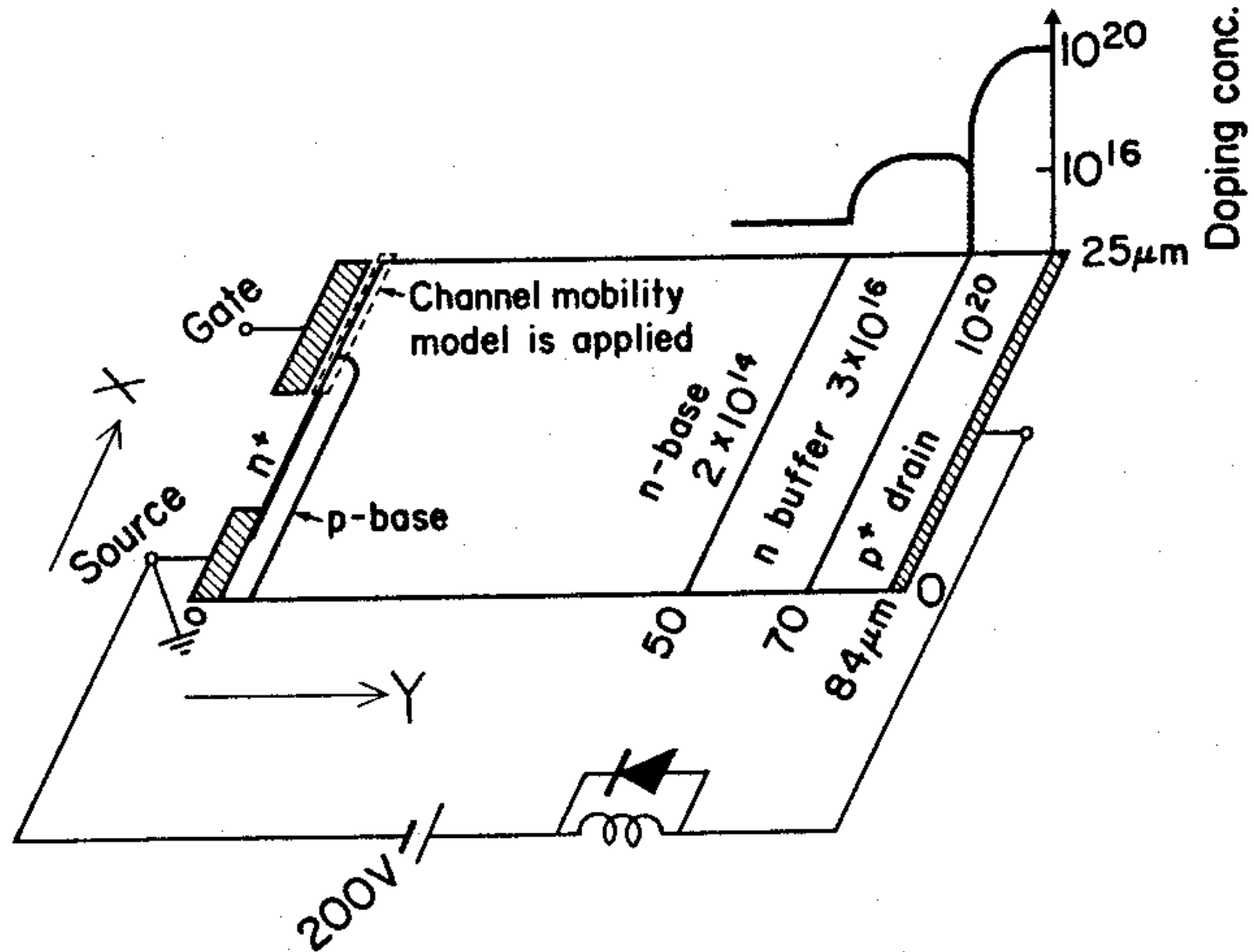
# BTrの電氣的 2 次降伏



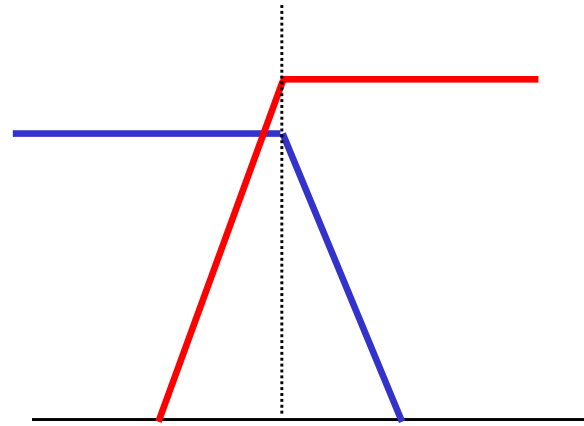
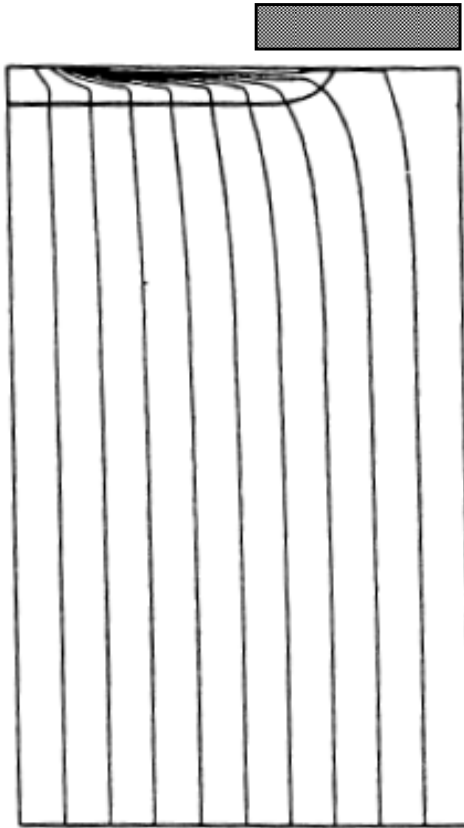
$$J = (\epsilon v_s E_c^2) / 2V + q v_s N_D$$

$$JV = (\epsilon v_s E_c^2) / 2 \quad 2 \times 10^5 \text{ W}/\text{cm}^2$$

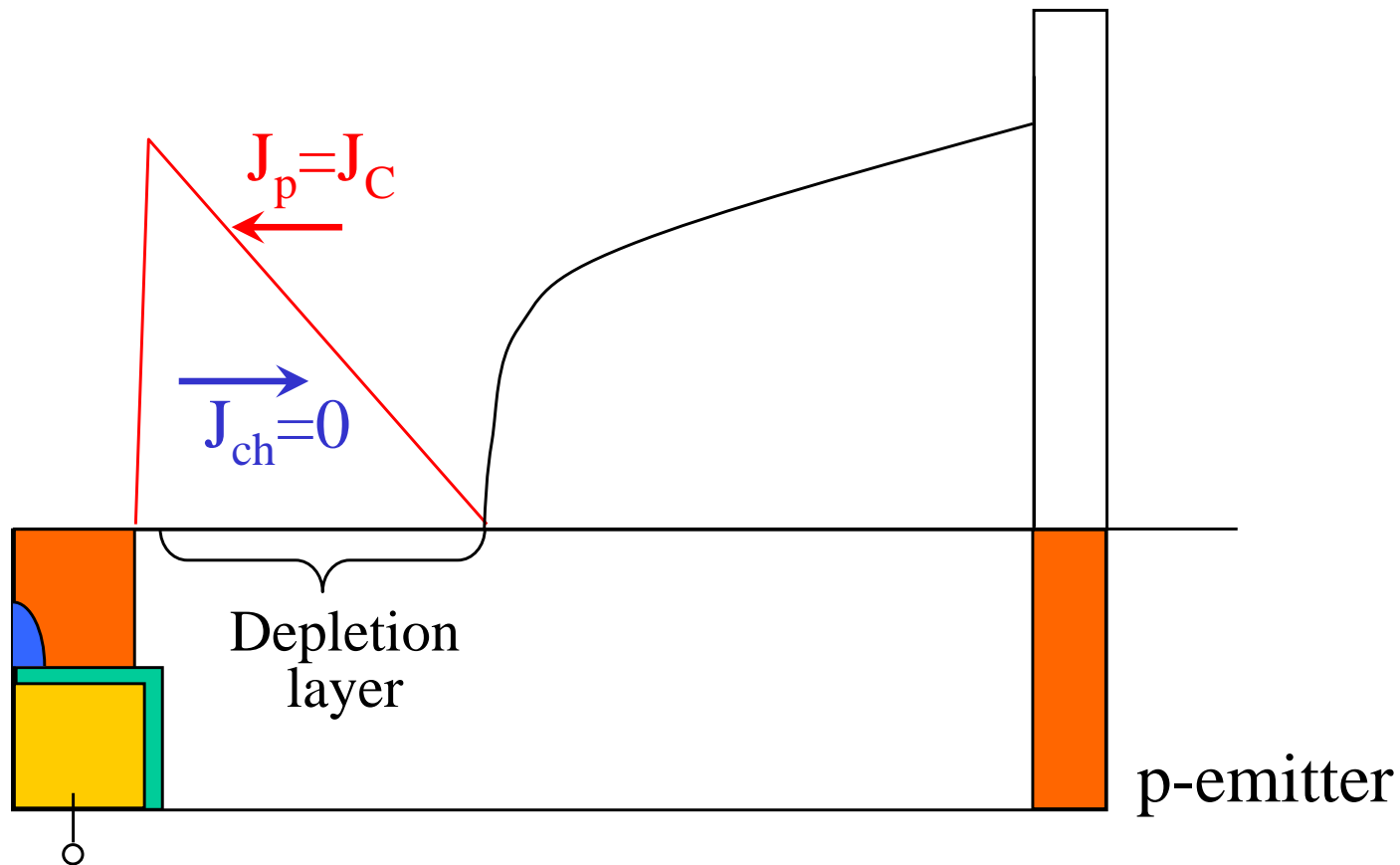
# 計算で用いた構造



# L 負荷でのターンオフ波形

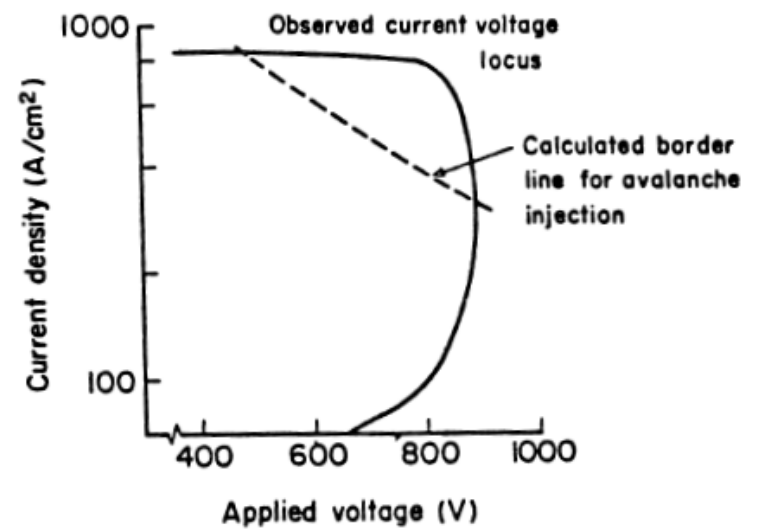
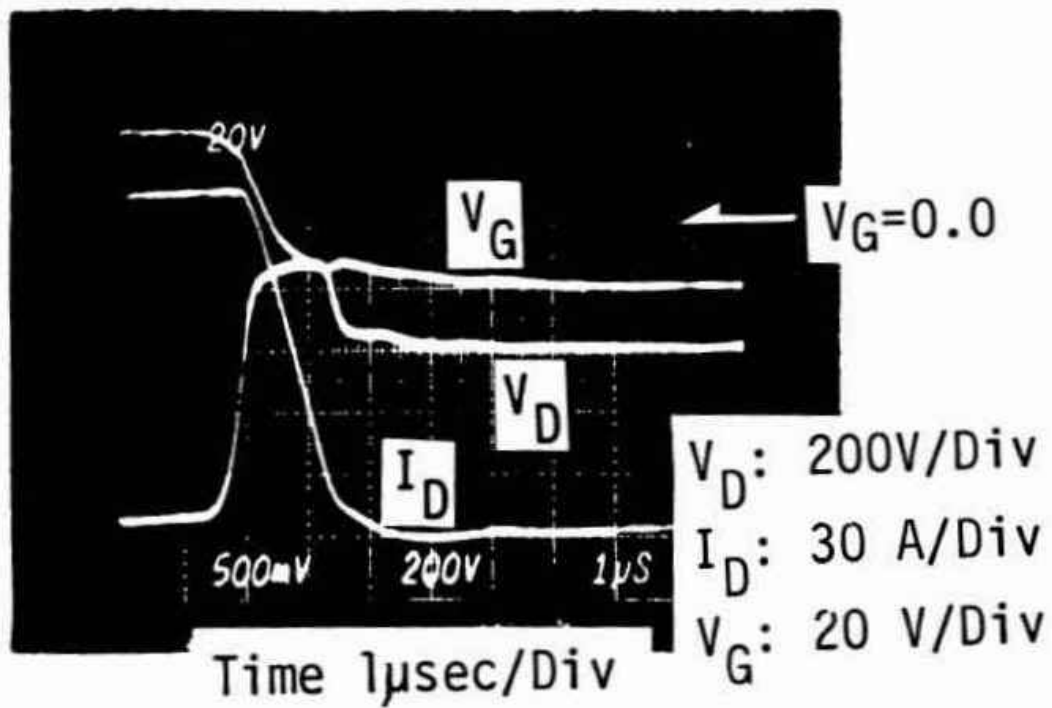


- L 負荷では電流は減らず、電圧が上昇。
- チャネル電流がなくなったらすべて正孔電流になり、一様に流れる。



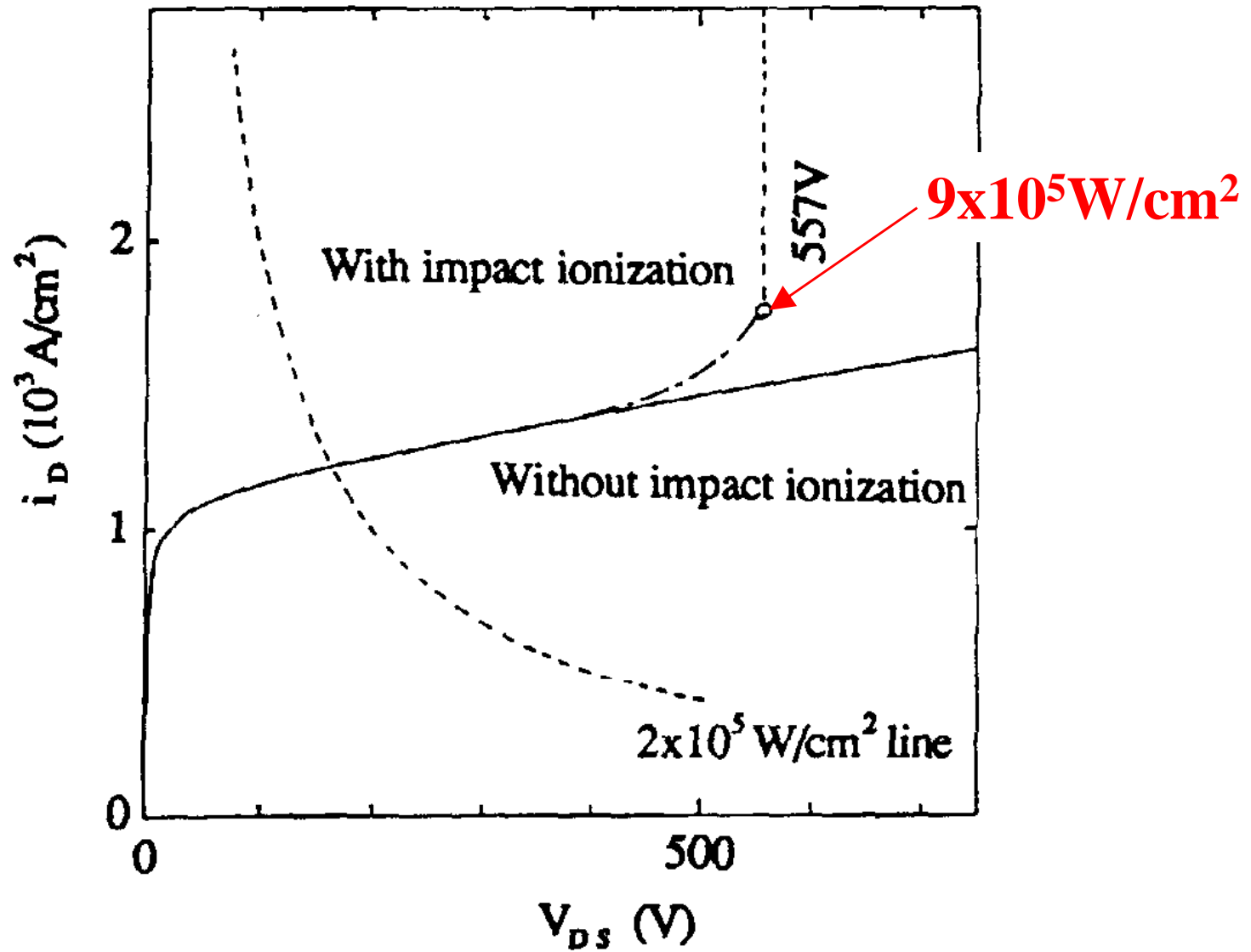
$$\text{正電荷} = N_D + \frac{J_C}{qv_s}$$

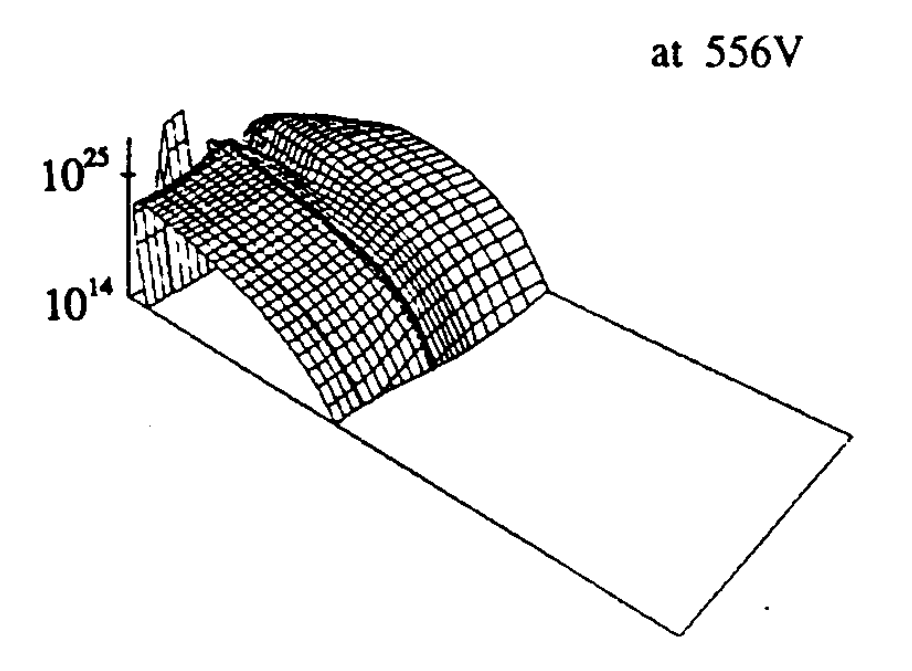
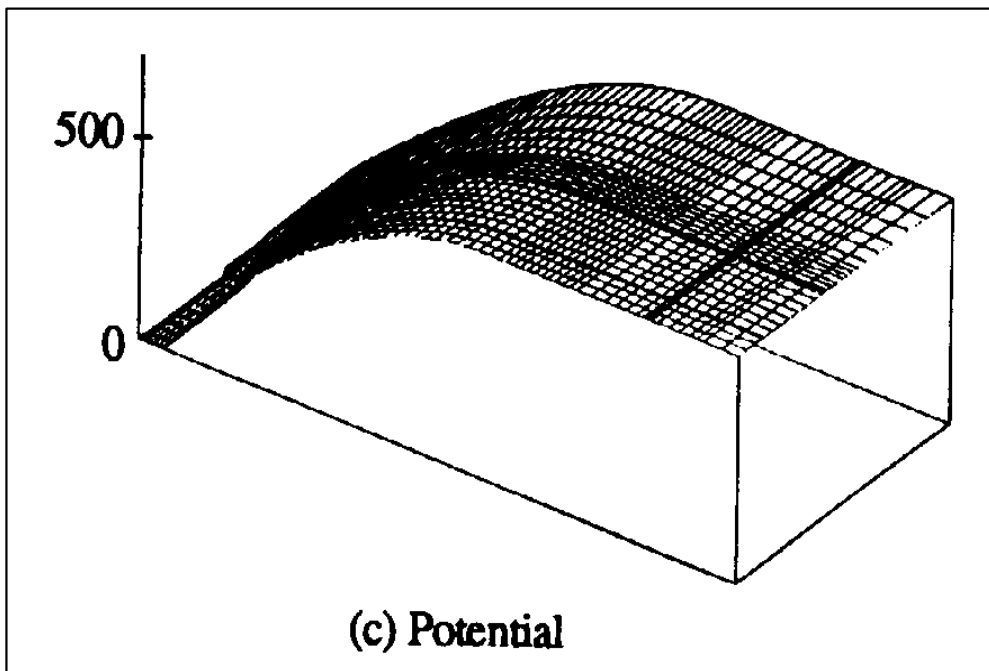
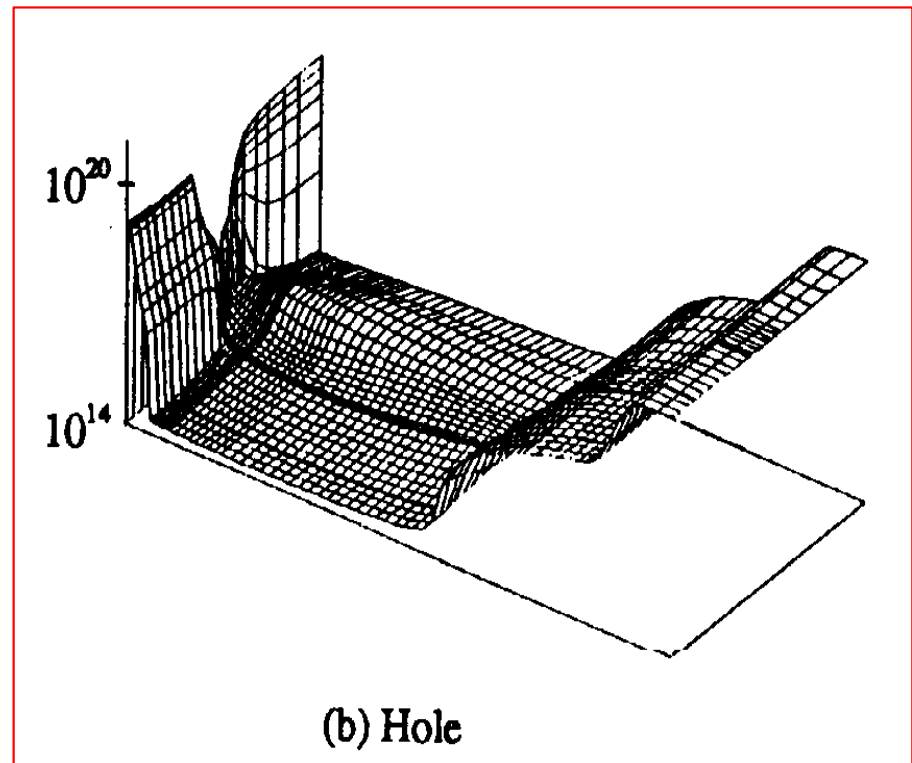
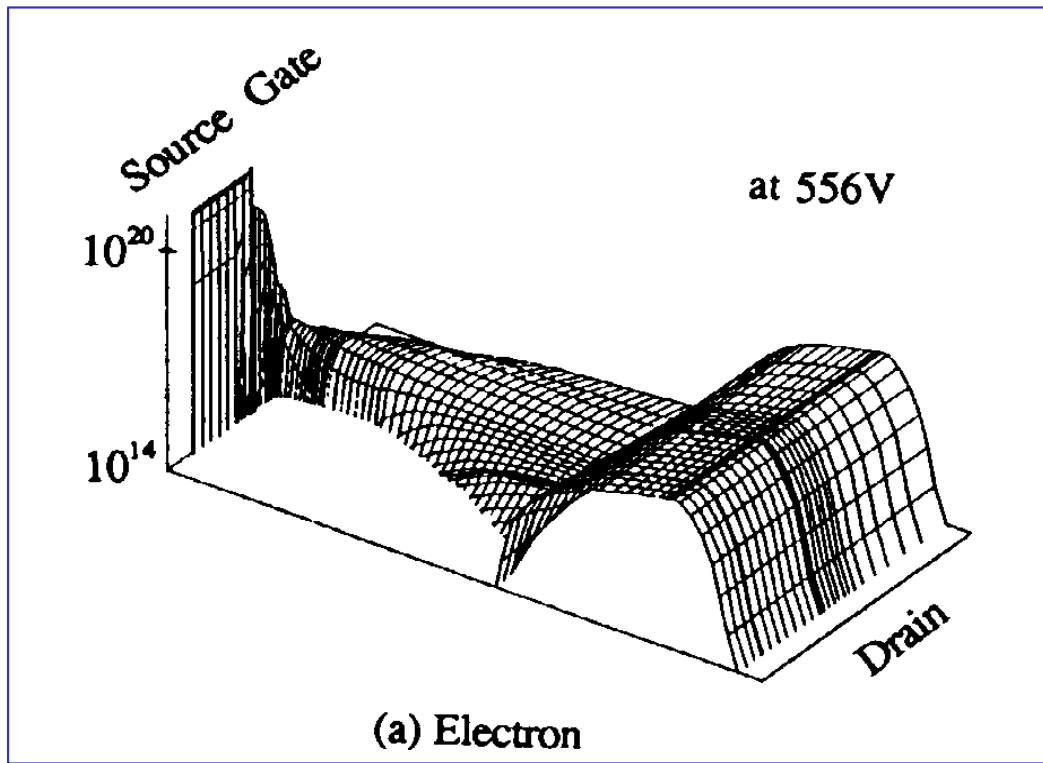
$$V_{BD} = 60 \left( \frac{E_G}{1.1} \right)^{1.5} \left( \frac{N_D + J_C / qv_s}{10^{16}} \right)^{-3/4}$$

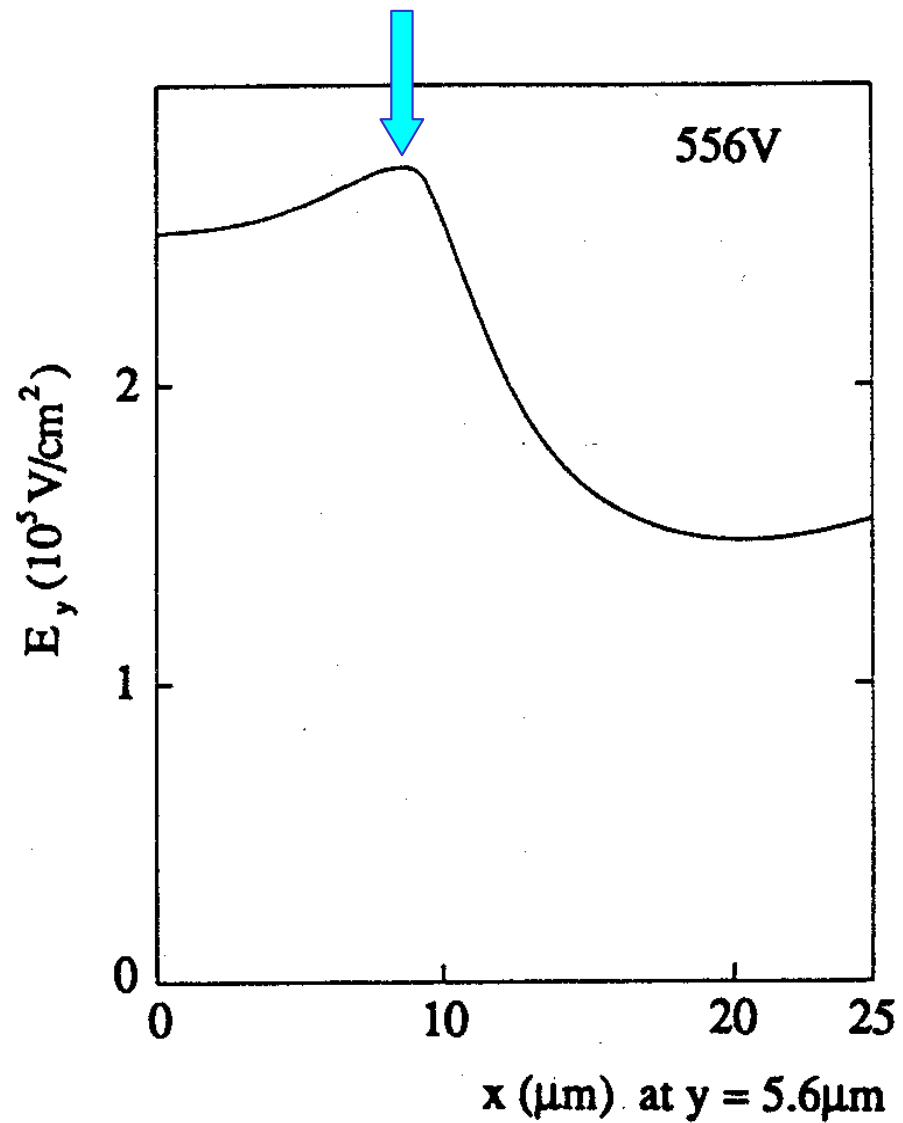
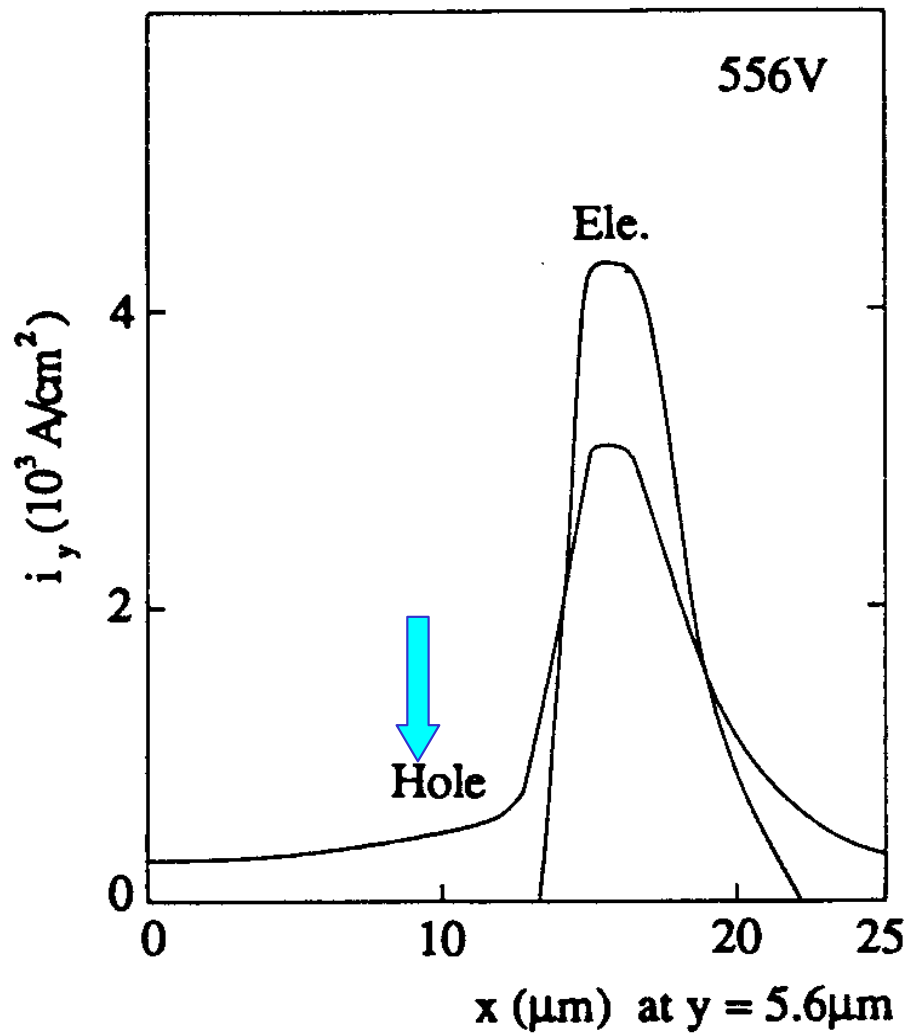


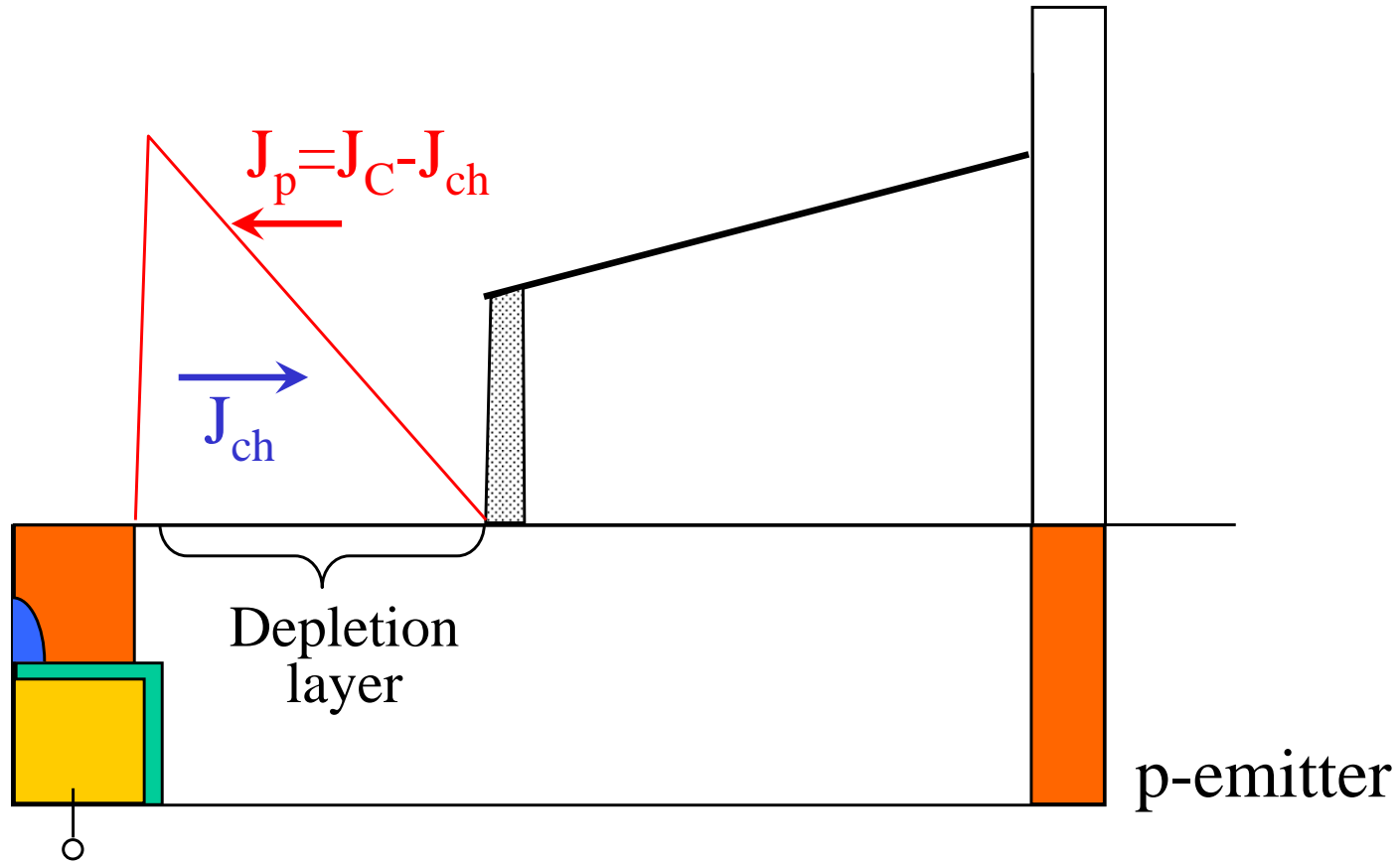


# 負荷短絡 S O A









$$\text{電荷} = N_D + \frac{J_C - J_{ch}}{qv_{ps}} - \frac{J_{ch}}{qv_{ns}} = N_D + \frac{J_C}{qv_s} - \frac{2J_{ch}}{qv_s}$$

$$V_{BD} = 60 \left( \frac{E_G}{1.1} \right)^{1.5} \left( \frac{N_D + J_C / qv_s - 2J_{ch} / qv_s}{10^{16}} \right)^{-3/4}$$

# Space charge in N-base

$$Q = qN_D + q(p - n) = qN_D + J\{\gamma/v_h + (\gamma - 1)/v_e\} = 0$$

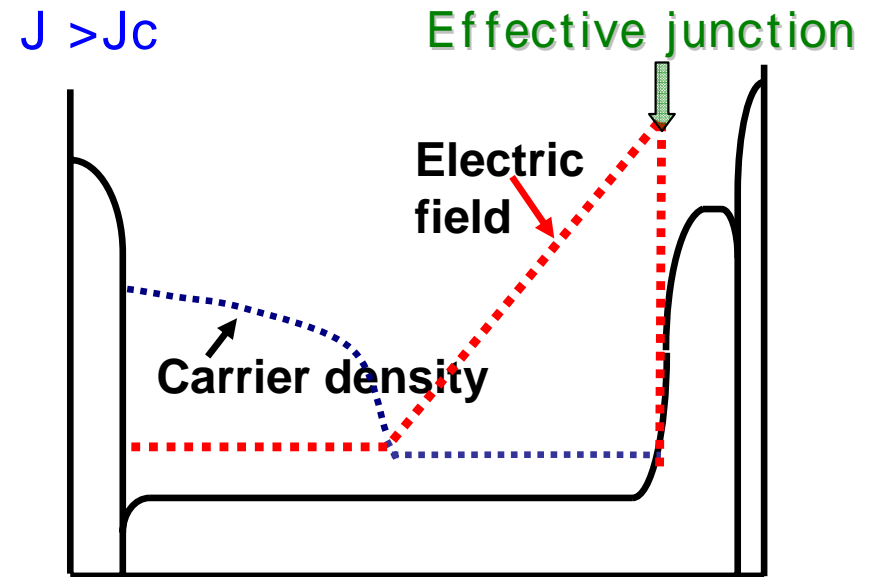
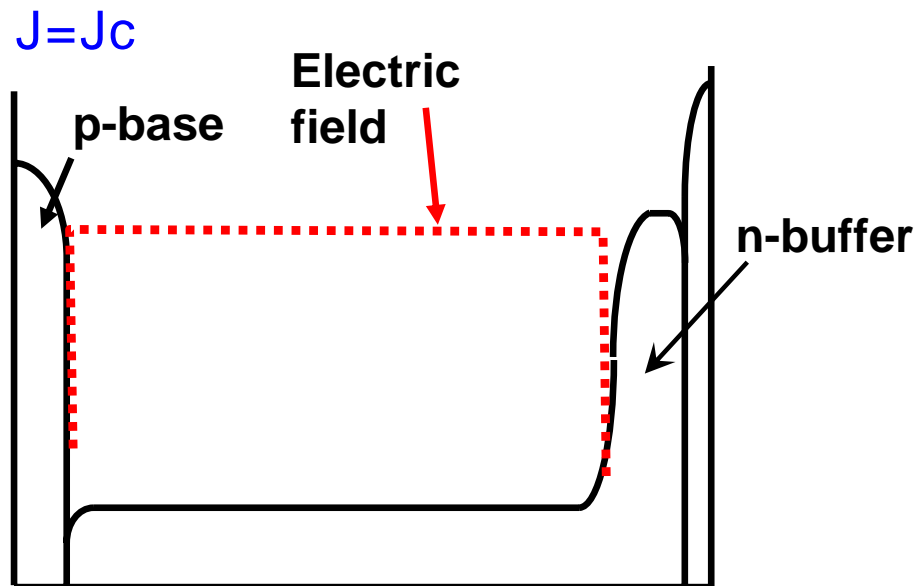
$$\text{if } \gamma < \frac{v_h}{v_e + v_h}$$

$$p = \frac{J_p}{qv_h} \quad n = \frac{J_p}{qv_e} \quad \gamma = \frac{J_p}{J}$$

$$J_c = qN_D / \left\{ \frac{(1 - \gamma)}{v_e} - \frac{\gamma}{v_h} \right\}$$

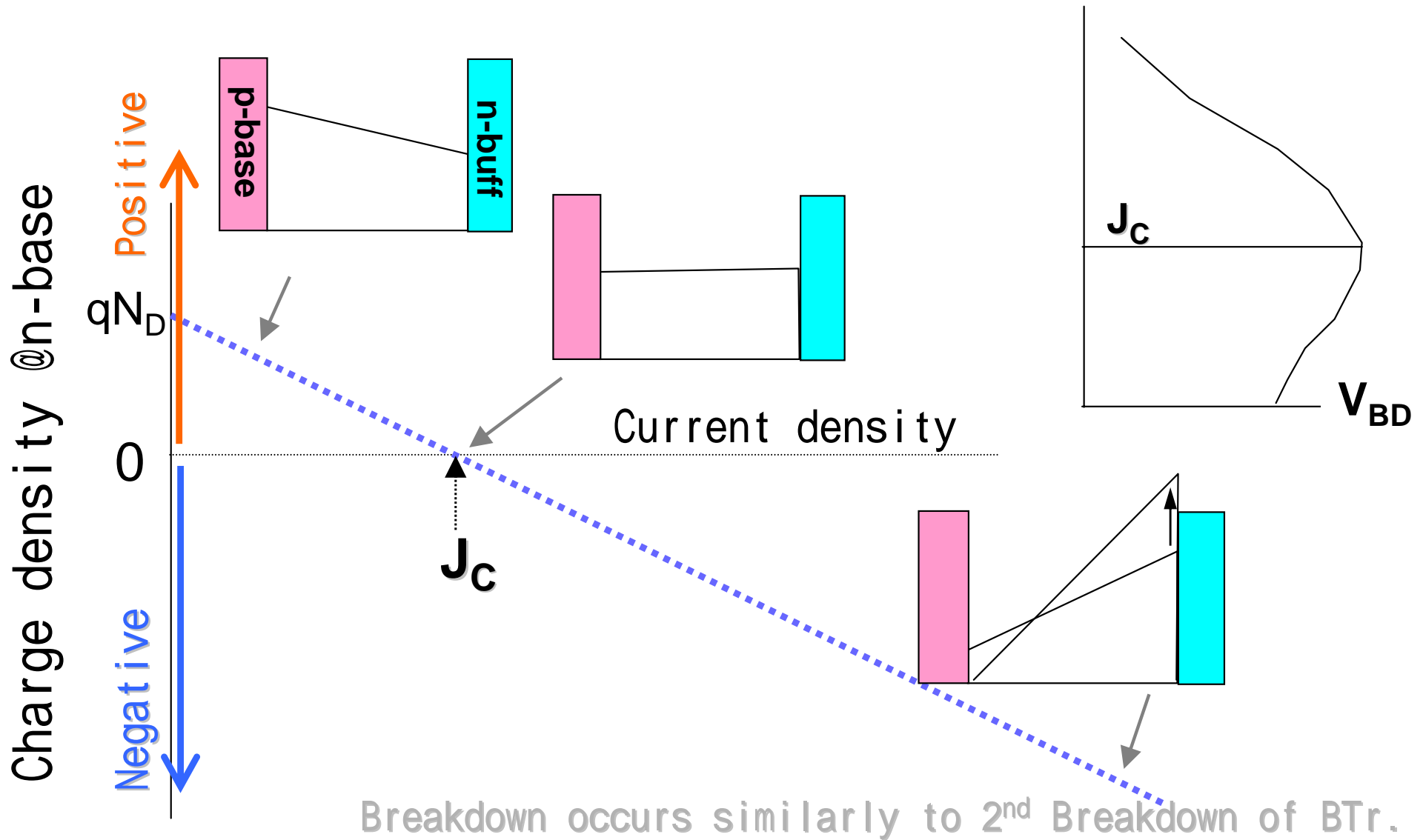
$J = J_c$ : Space charge is zero!

$J > J_c$ : Space charge in n-base is negative!

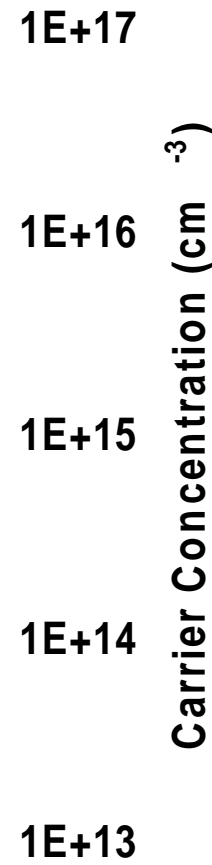
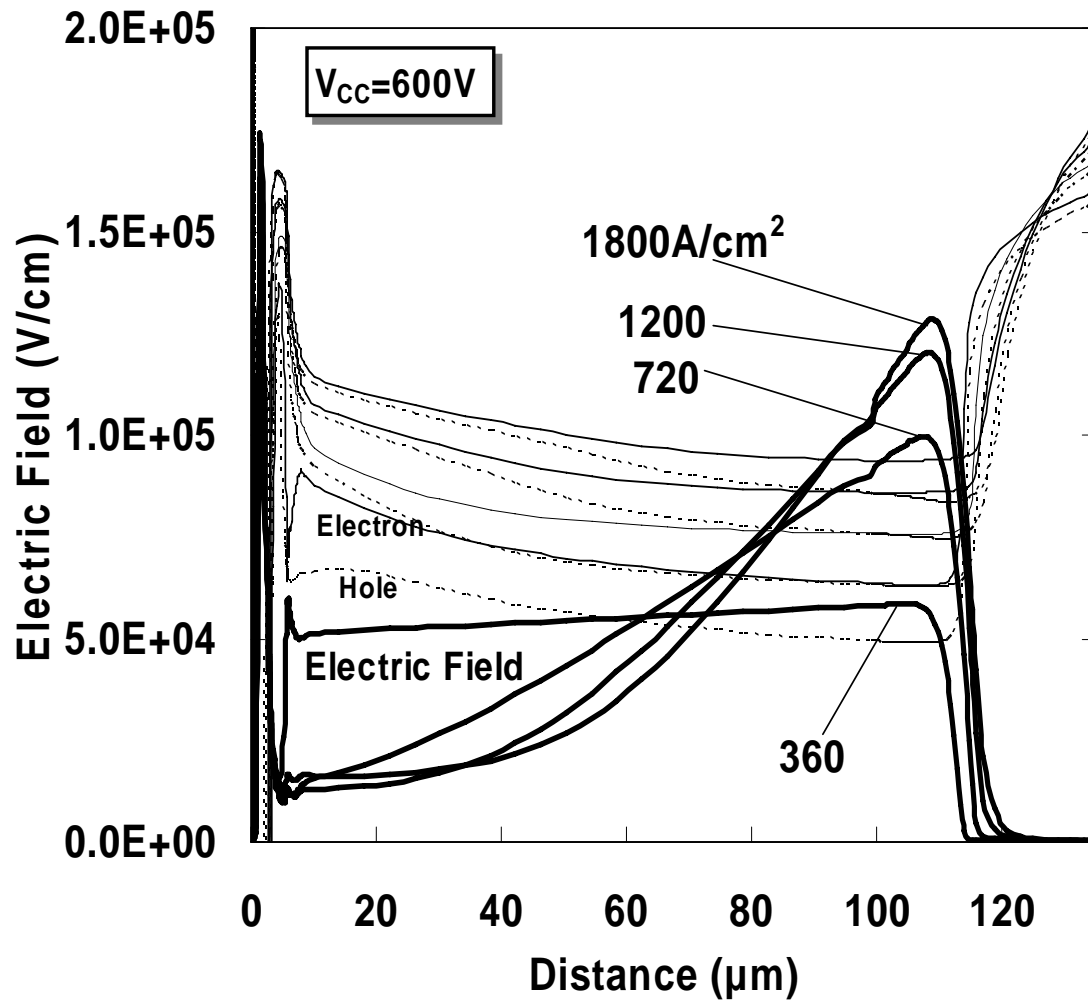


N-base net charge density becomes negative

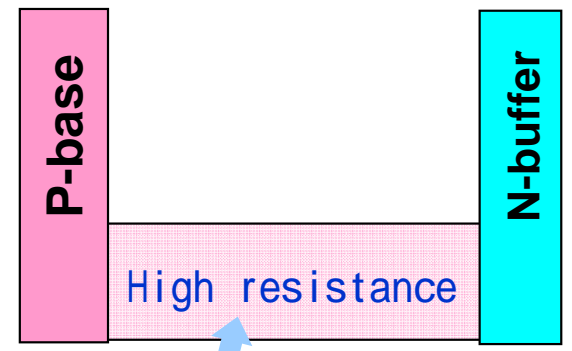
$$Q = qN_D + J^*(\gamma/v_h + (\gamma - 1)/v_e)$$



# Simulated electric field by TCAD



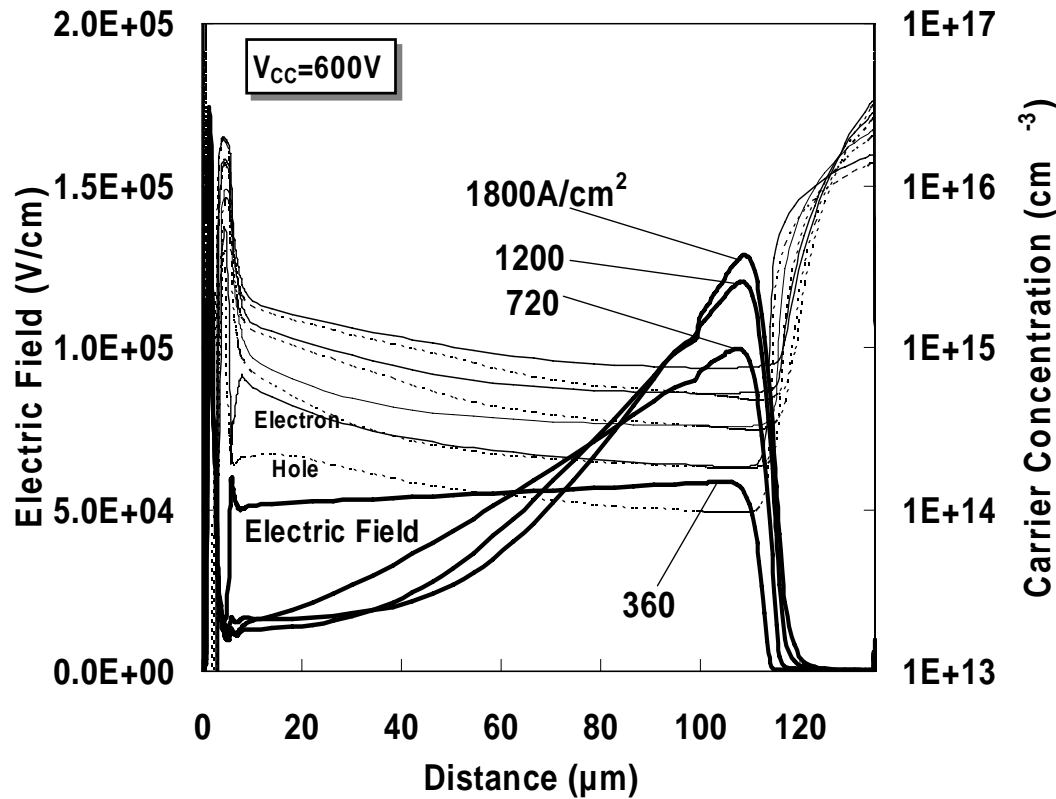
Analytical model



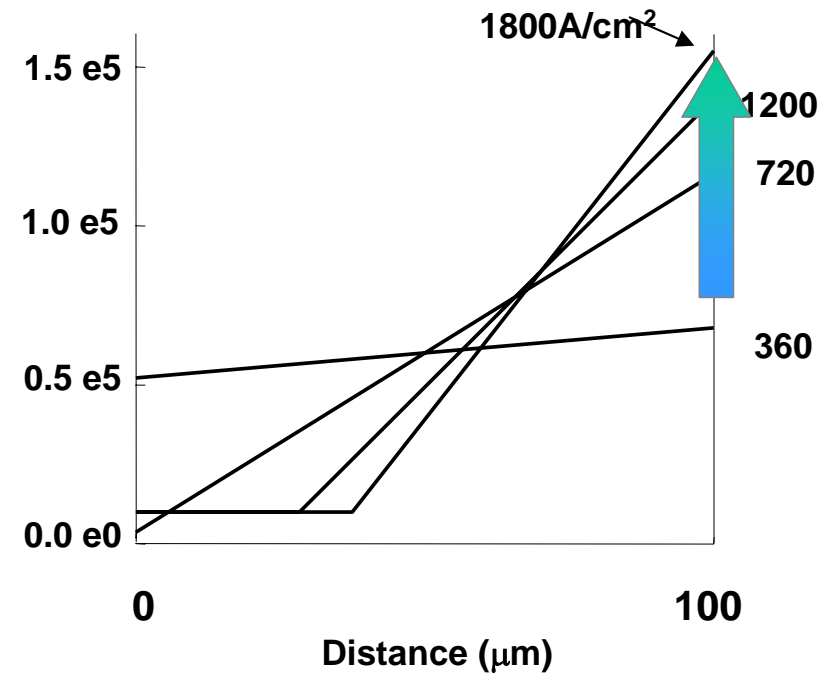
Impurity Conc:  

$$Q/q = N_D + (\gamma/v_h + (\gamma - 1)/v_e)J/q$$

# SOA can be calculated by analytical model



Simulated



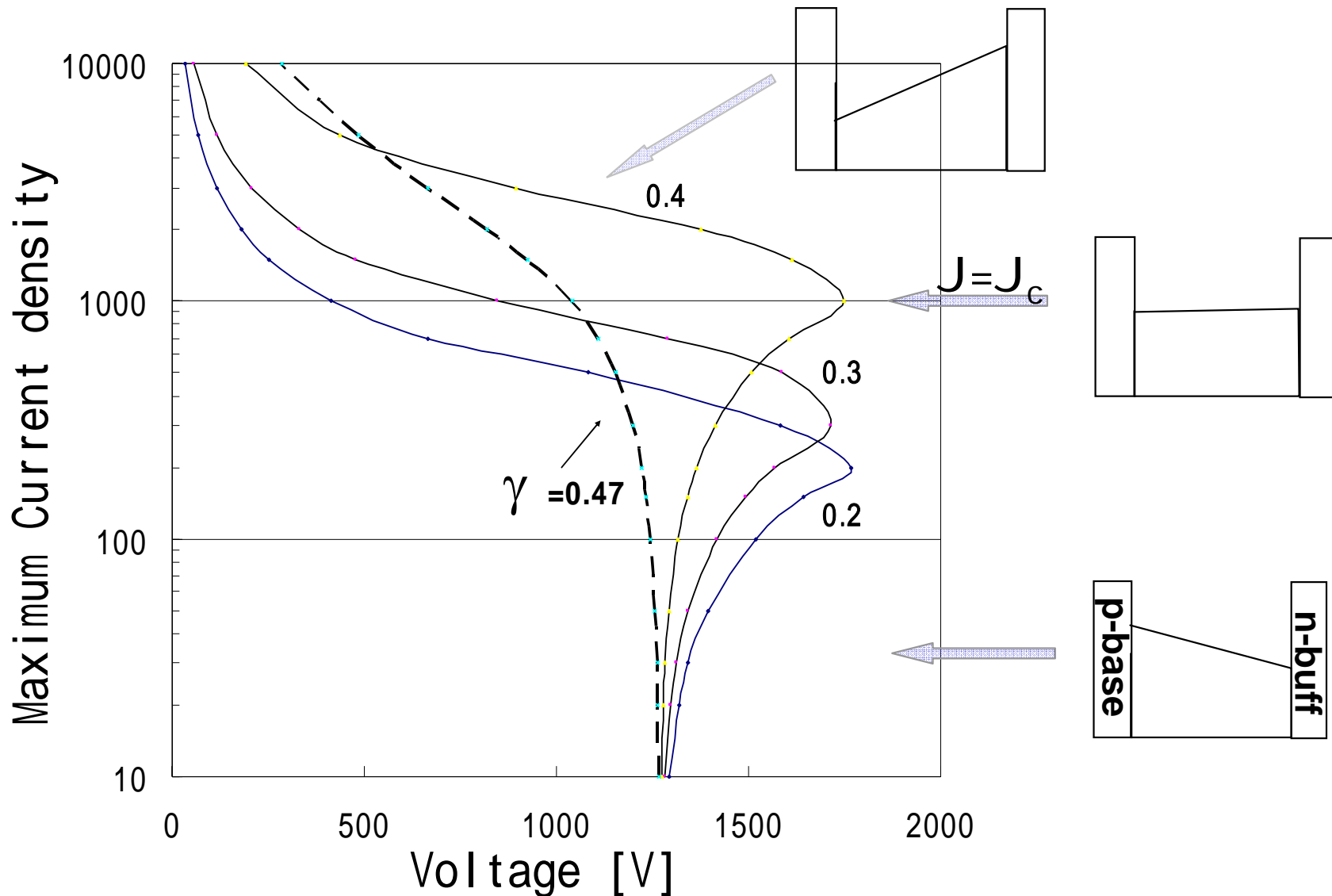
Analytical

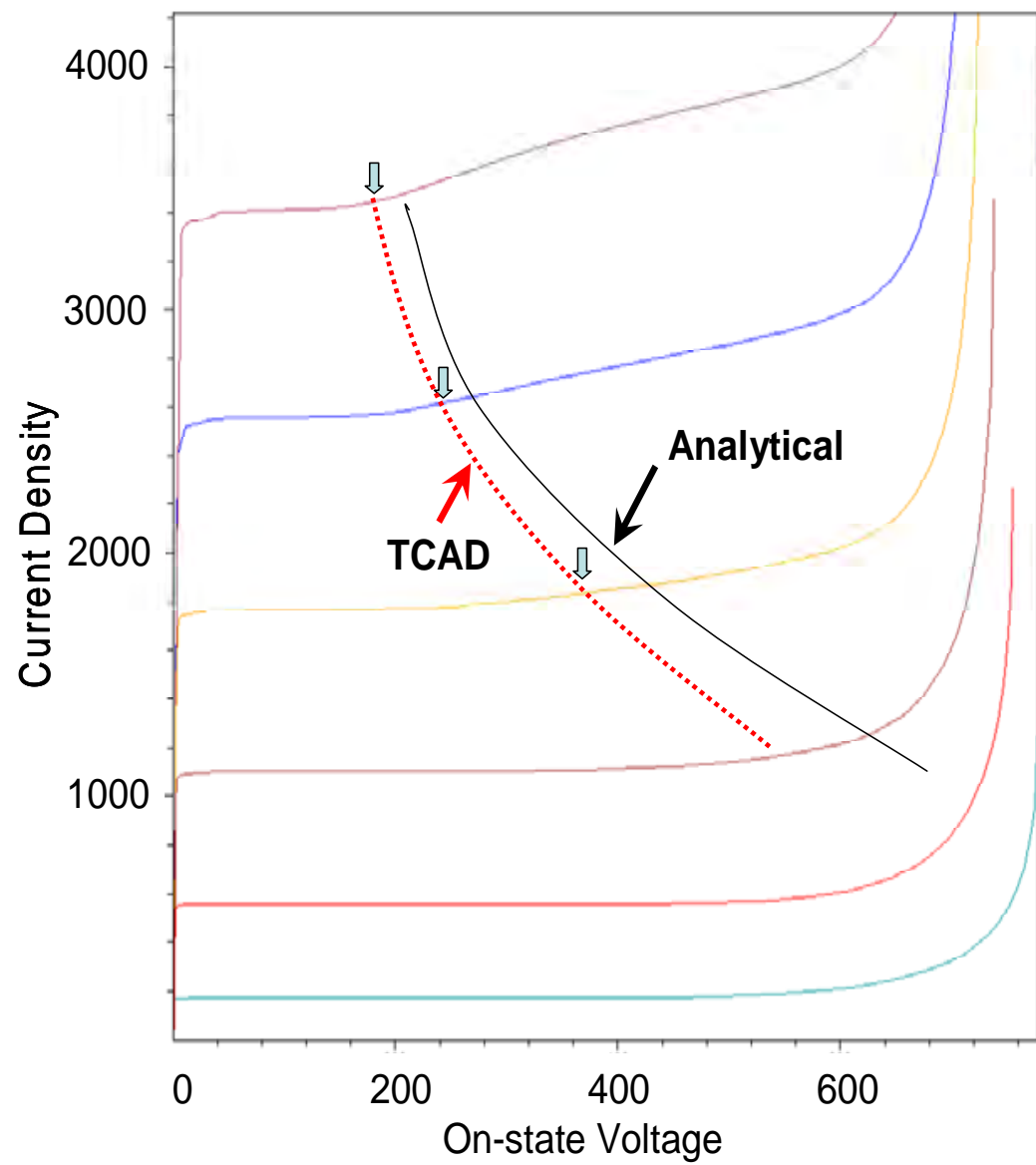


# Calculated SOA with parameter $\gamma$

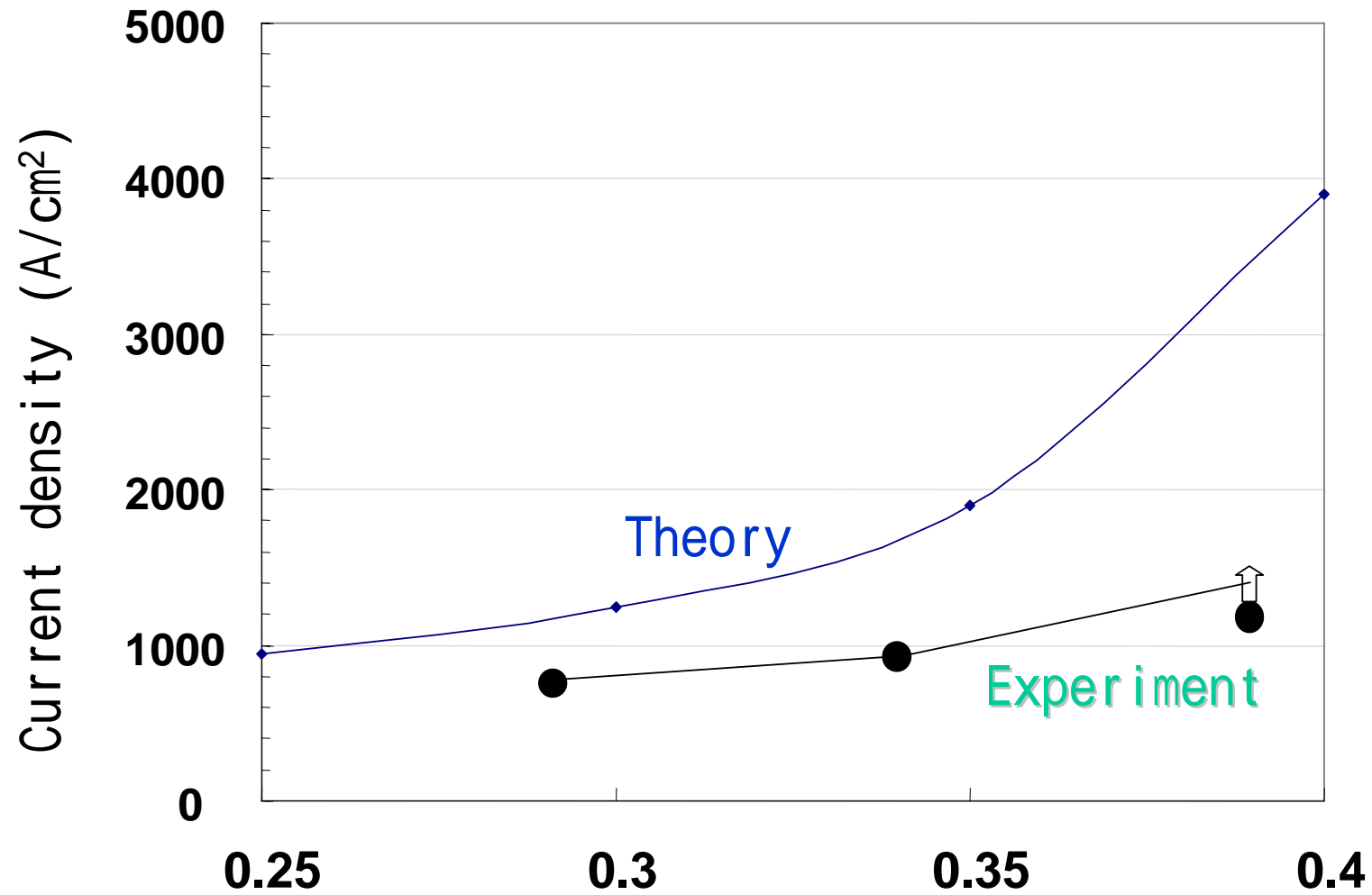
$$J_C = qN_D / ((1 - \gamma)/v_e - \gamma/v_h) ;$$

$$= \frac{V_h}{V_e + V_h} = 0.45$$





## Short-circuit SOA increased as $\gamma$ increased



# 概要

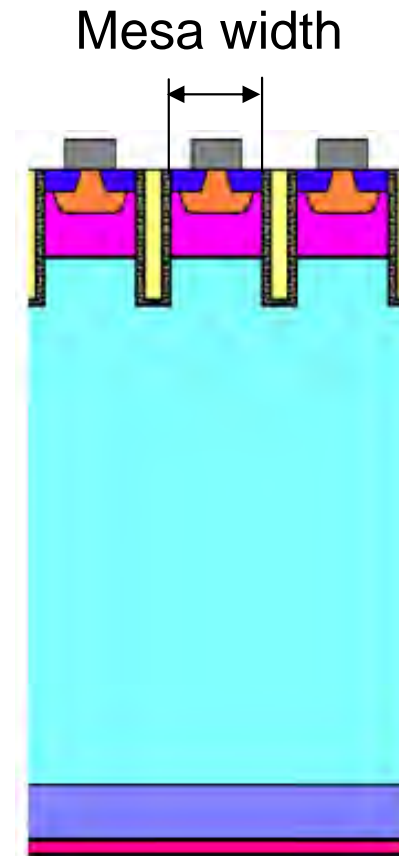
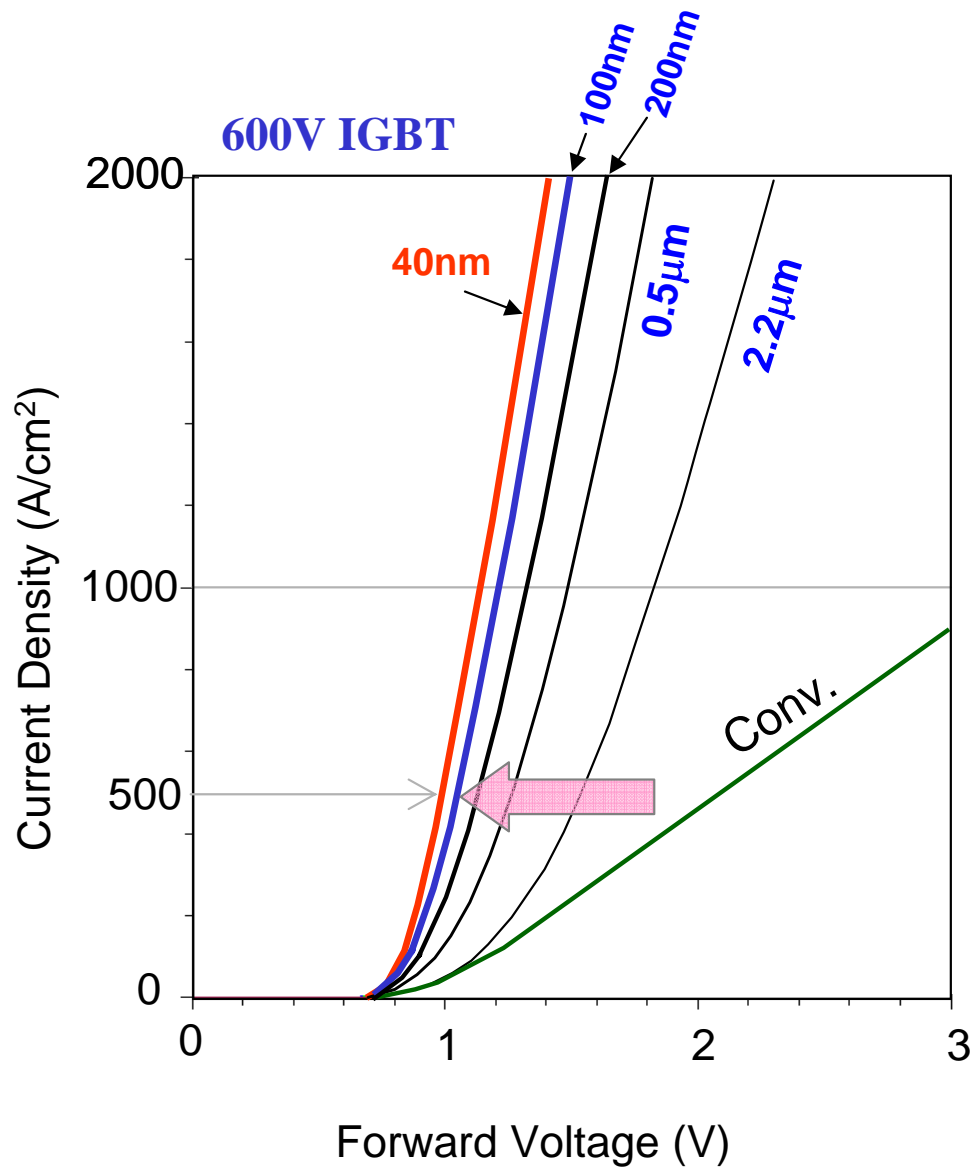
1. パワーデバイス開発の経緯

2. 将来技術

- ・ Silicon limit characteristics of IGBT
- ・ Ideal switching in power MOSFET
- ・ 20A single chip DCDC converter
- ・ デジタル電源

# Where silicon limit of IGBTs exist?

Forward voltage can be greatly improved  
by reducing mesa width.



# Analytical I-V curve for ideal silicon limit IGBT

$$V_F = \frac{2kT}{q} \ln \left[ \frac{1}{n_i} \left\{ \left( \sqrt{\frac{QJ}{qD_{pe}}} + b \right) \exp\left(\frac{JW_i}{2qa}\right) - b \right\} \right] + R_{ch} J$$

$$\mu_{\text{electron}} > \mu_{\text{hole}}$$

If all current flows by electron,  
this gives the lowest forward voltage!

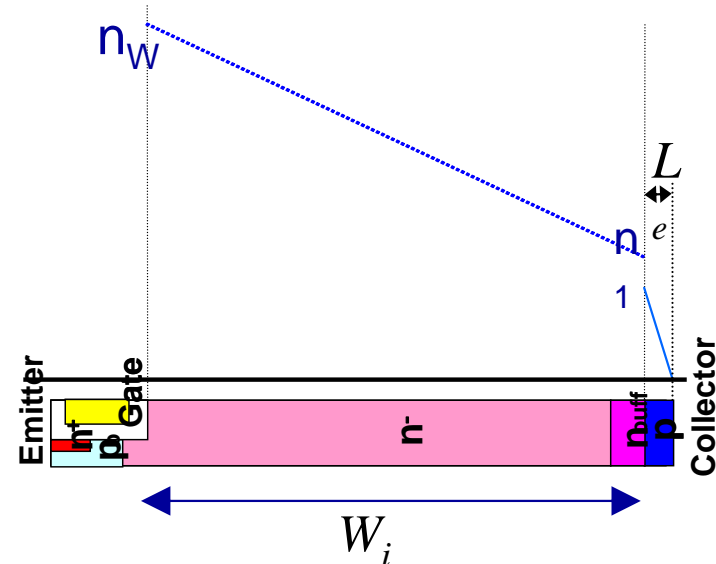
The silicon limit I-V relation can be derived based on the assumption:

(1) No hole current flow.

$$J_p = -qD_p \frac{\partial n}{\partial x} + n\mu_p E = 0$$

(2) All current flows by electrons.

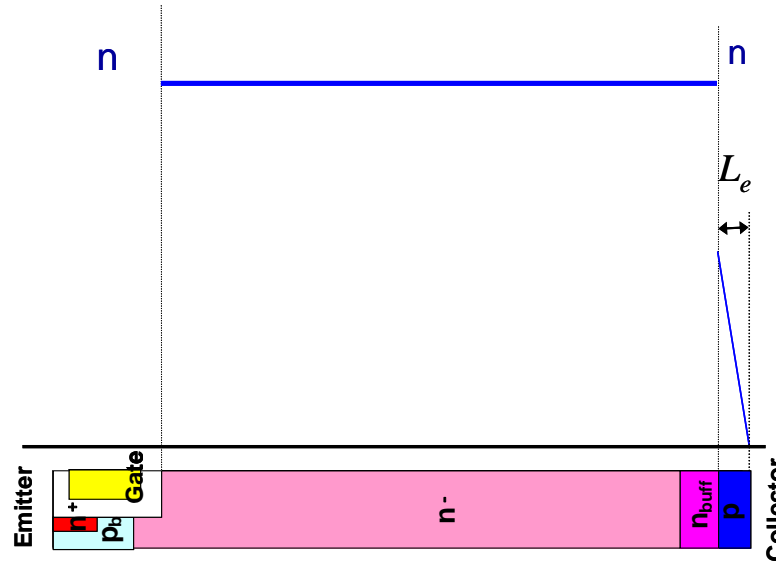
$$J = J_n = 2 \times qD_n \frac{\partial n}{\partial x}$$



# Practical Limit

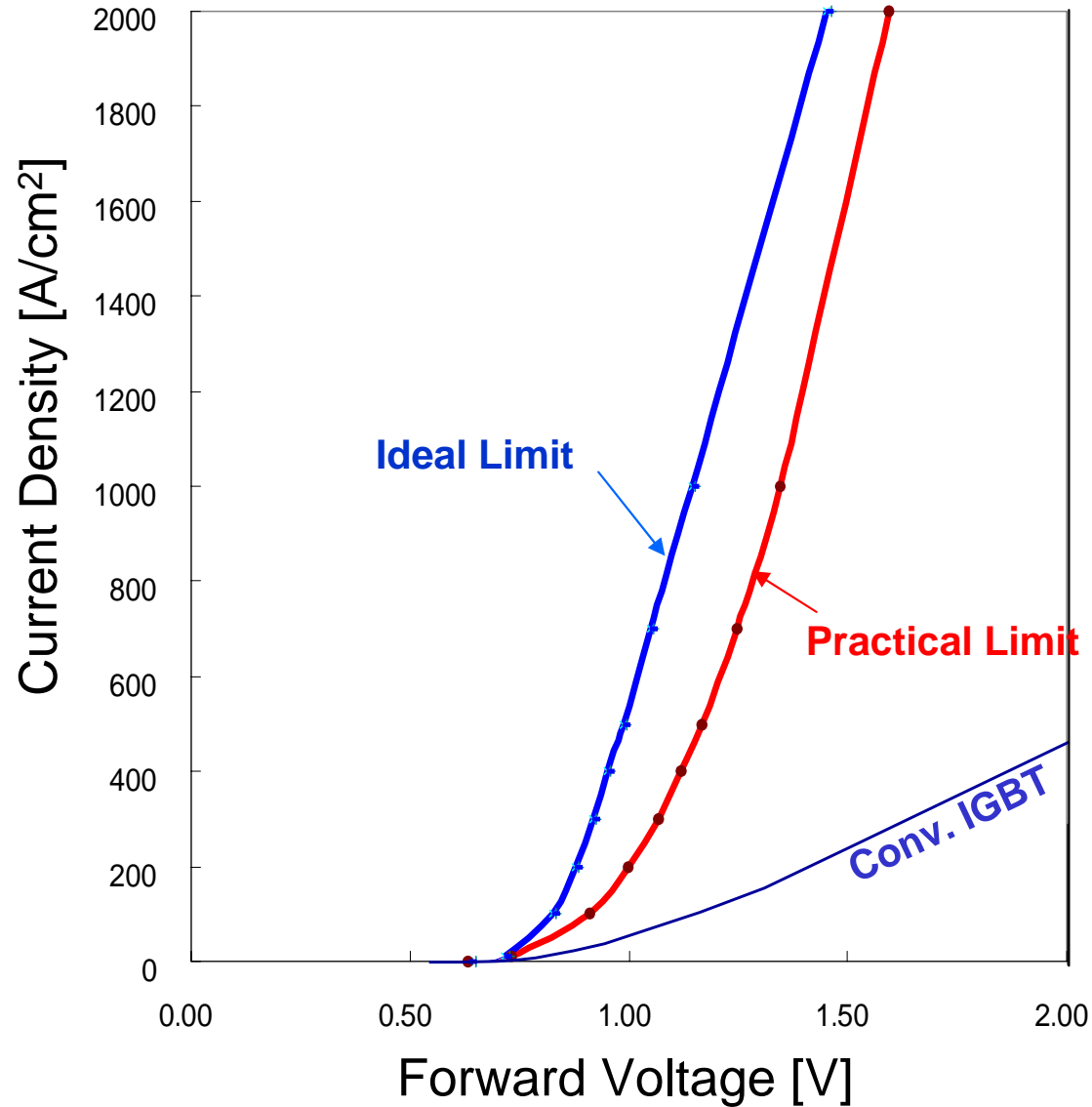
Assumption: (1) Flat carrier profile in the n-base  
(2) All current flows by drift

$$V_F = \frac{kT}{q} \ln \frac{\mu_n Q J}{q D_{pe} n_i^2 (\mu_n + \mu_p)} + W_i \sqrt{\frac{D_{pe} J}{q \mu_n (\mu_n + \mu_p) Q}} + \frac{\mu_n R_{ch}}{\mu_n + \mu_p} J$$



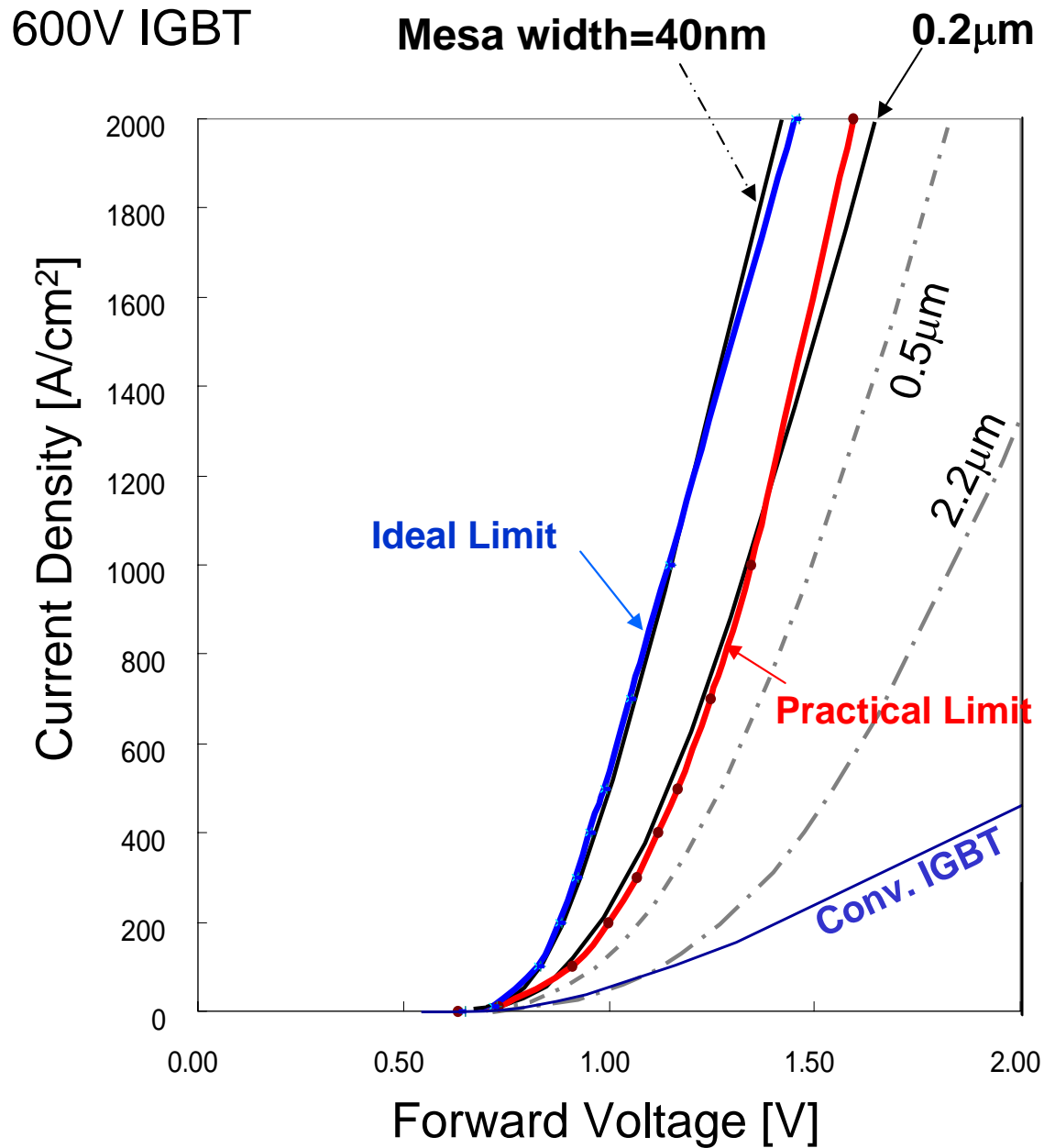
# Predicted I-V of Ideal and Practical IGBT Limit

600V IGBT



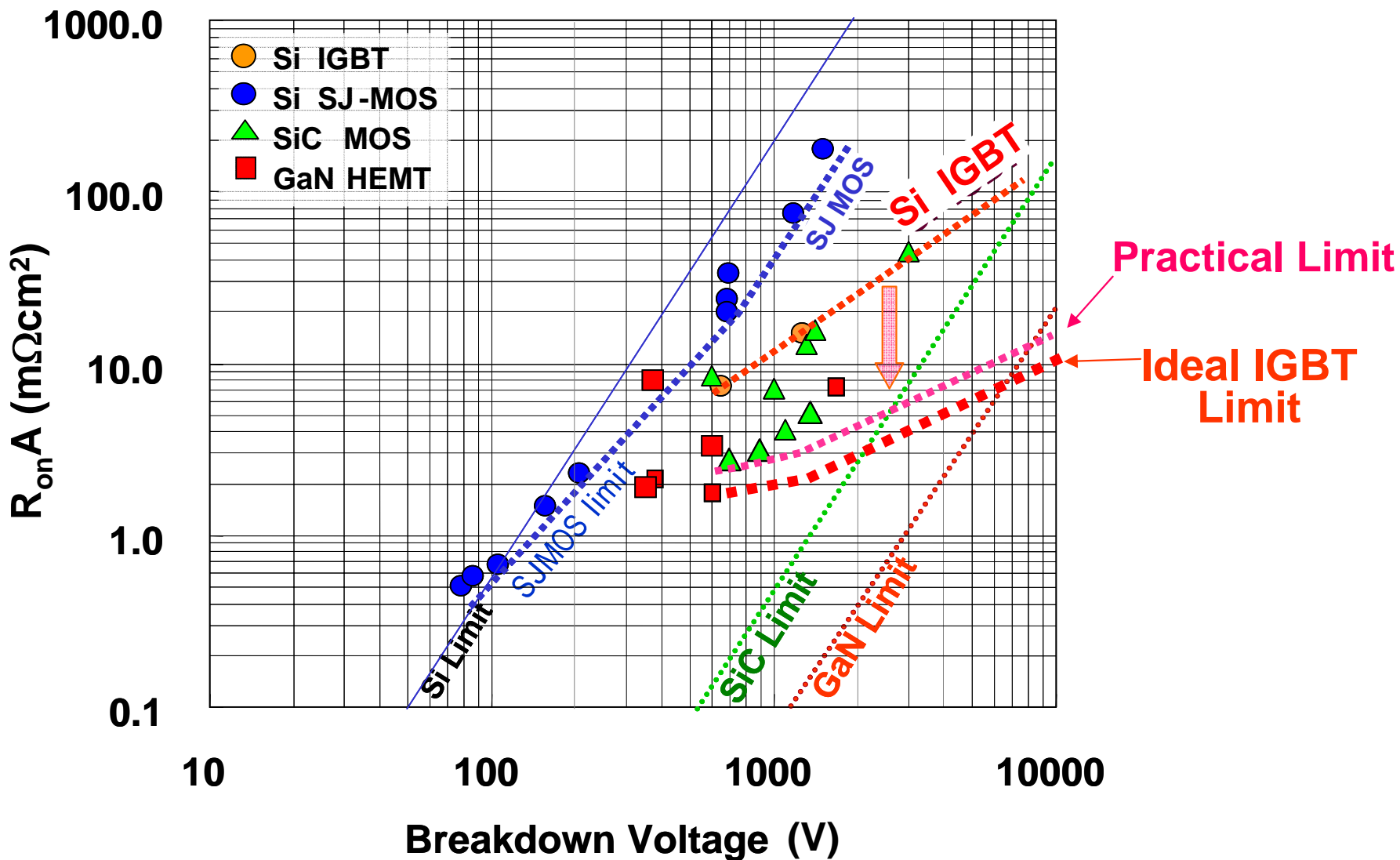


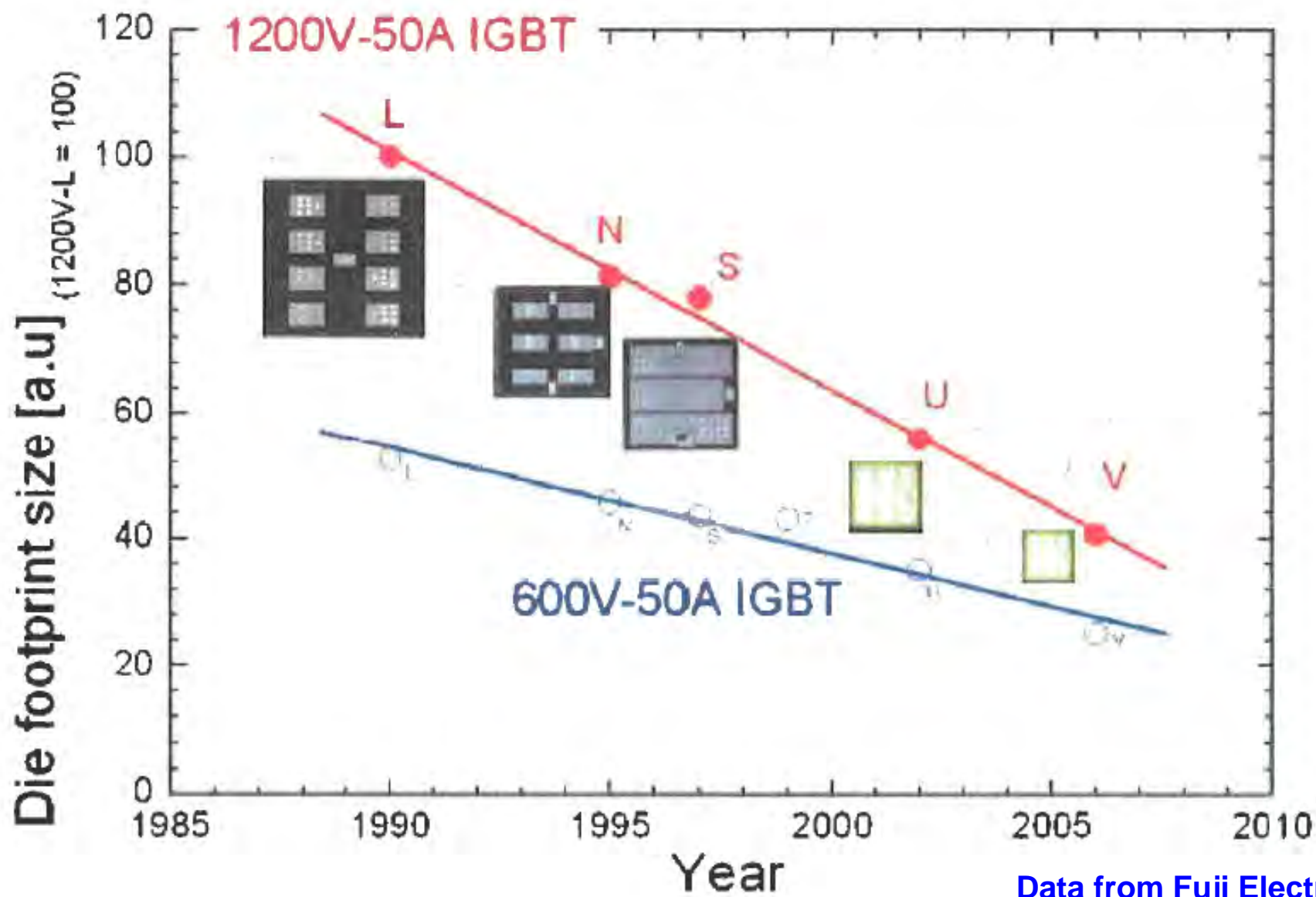
# Comparison of two IGBT limits and TCAD results



# Theoretical limit of IGBT

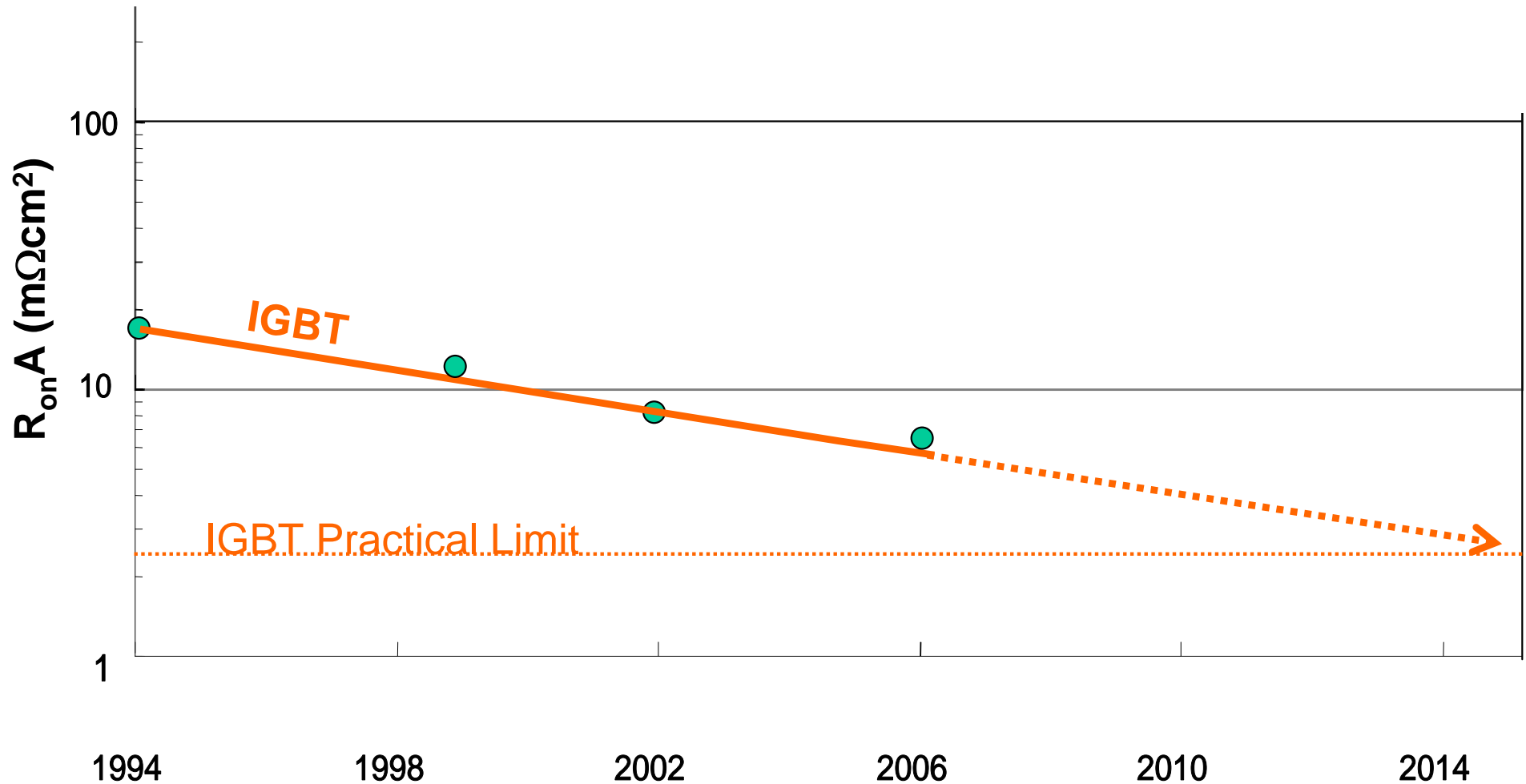
IGBTs can still be greatly improved in future





# Trends of 600V IGBT

IGBT On-resistance has been steadily improved In the past,  
It is predicted that it will approach the practical limit in the future.



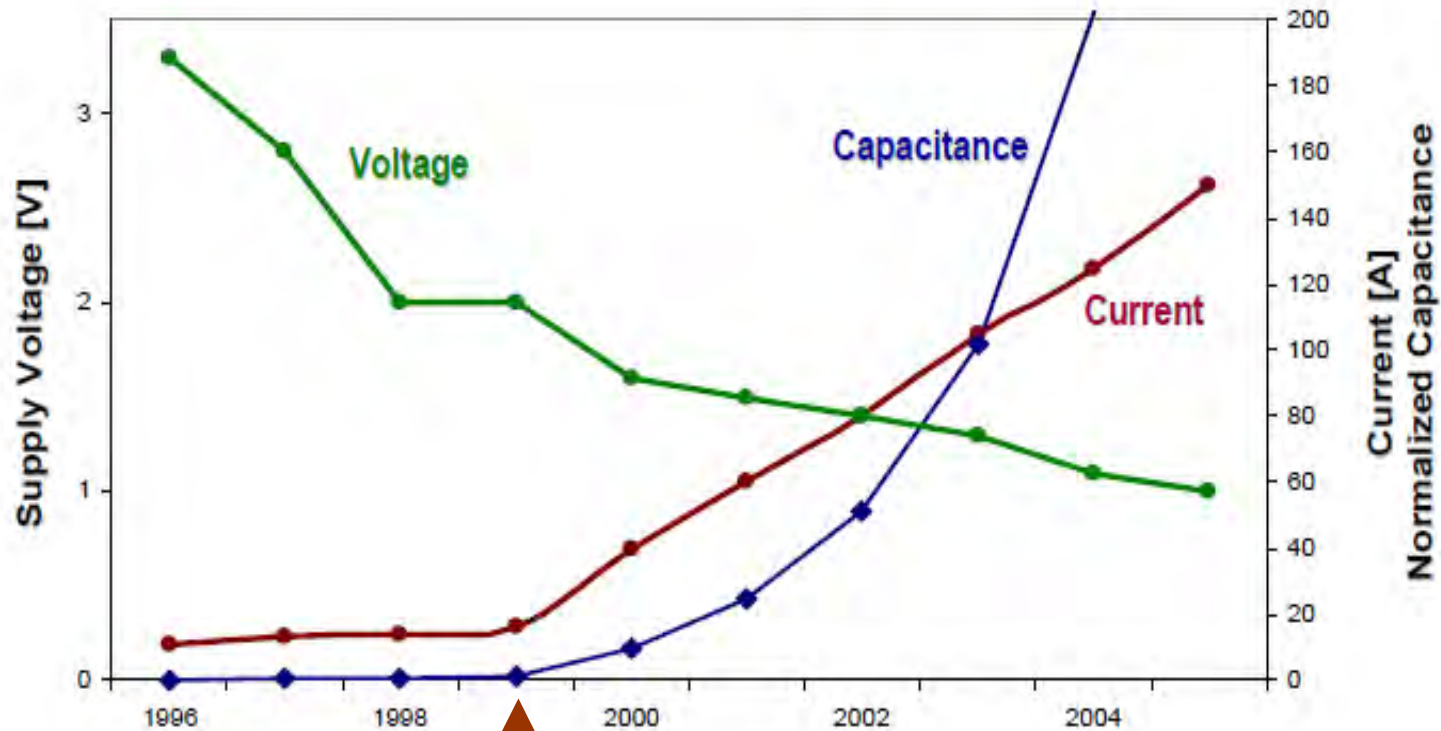
# 概要

1. パワーデバイス開発の経緯

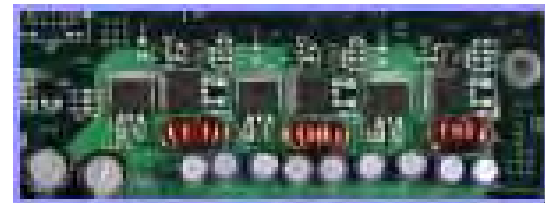
2. 将来技術

- ・ Silicon limit characteristics of IGBT
- ・ Ideal switching in power MOSFET
- ・ 20A single chip DCDC converter
- ・ デジタル電源

# Trends of Voltage Regulator Module



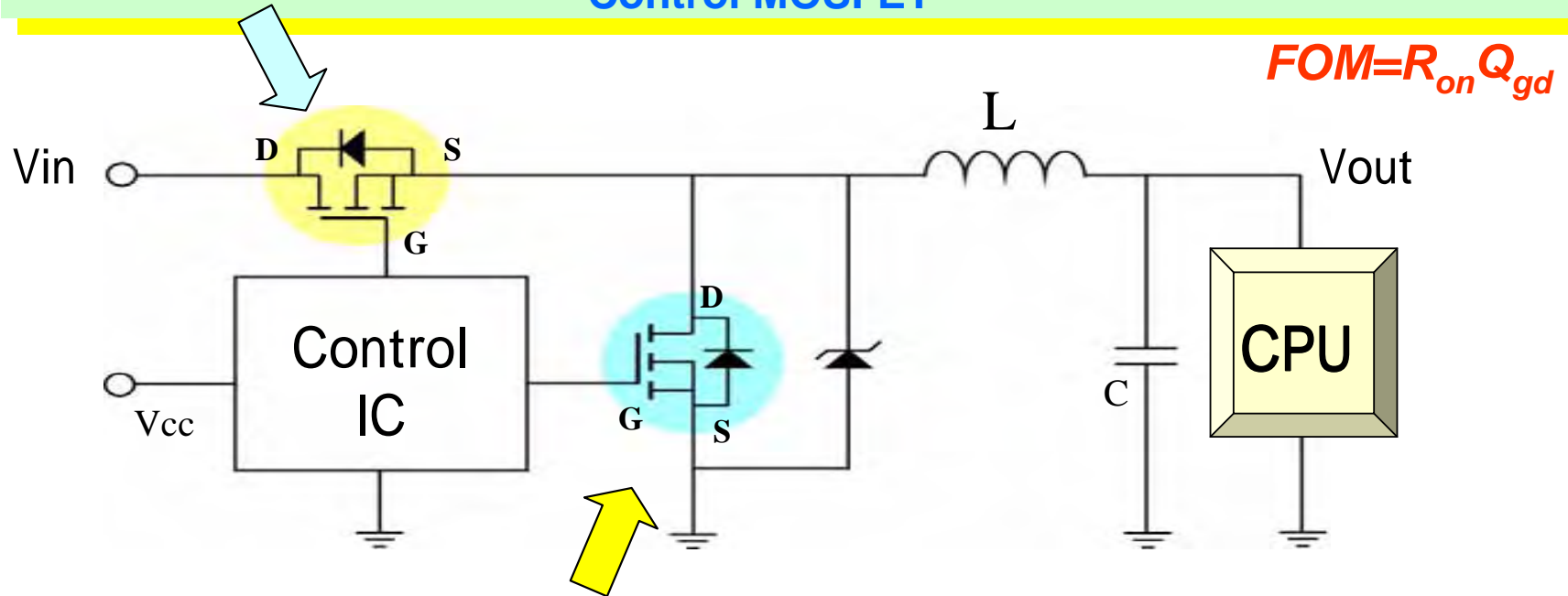
1999



# Figure of Merit

$$P_{\text{loss}} = (I_d^2 \times R_{\text{on}}) + (I \times Q_{\text{gd}} / i_g \times V_{\text{in}} \times f) + (Q_g \times V_g \times f) + (Q_{\text{oss}} / 3 \times V_{\text{in}} \times f)$$

Control MOSFET

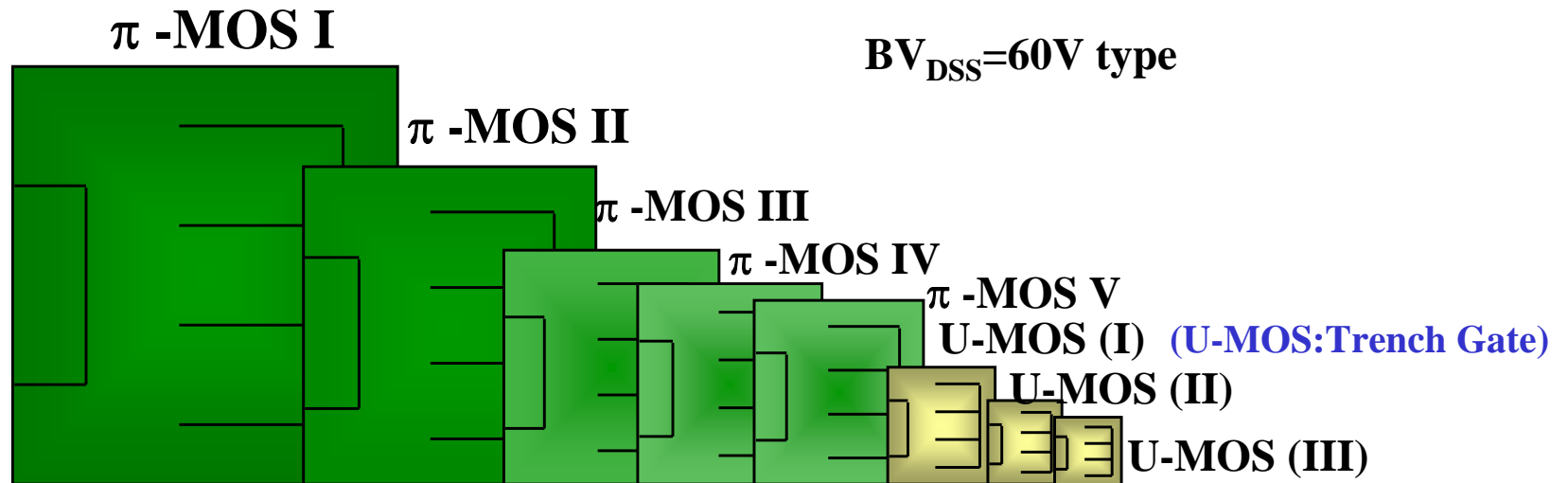


$$P_{\text{loss}} = (I_d^2 \times R_{\text{on}}) + (Q_g \times V_g \times f) + (Q_{\text{oss}} / 3 \times V_{\text{in}} \times f)$$

Synchronous MOSFET

$$FOM = R_{\text{on}} A$$

# Evolution of 60V Power MOSFET

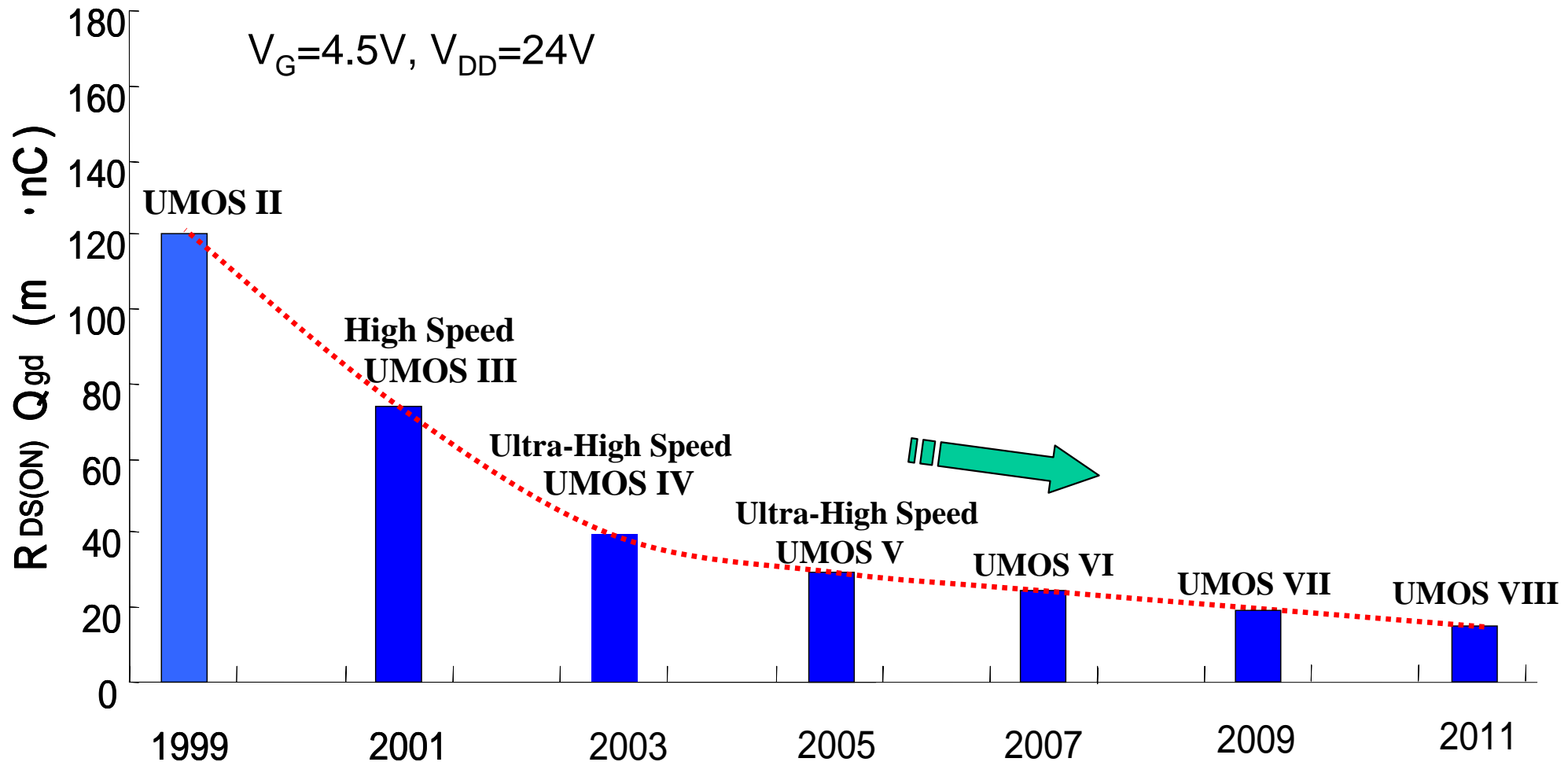


	$\pi$ -MOS I	$\pi$ -MOS II	$\pi$ -MOS III	$\pi$ -MOS IV	$\pi$ -MOS V	U-MOS (I)	U-MOS (II)	U-MOS (III)
Chip size (Relative value)	1	0.6	0.33	0.25	0.2	0.08	0.05	0.04
$R_{DS(ON)}$ ( $m\Omega cm^2$ )	12.7	7.6	4.2	3.2	2.4	1	0.6	0.45
Cell Density (Mcells/ $inch^2$ )		0.2	1	2	4	10	30	120
Production	1982	1984	1986	1989	1992	1994	1997	1999



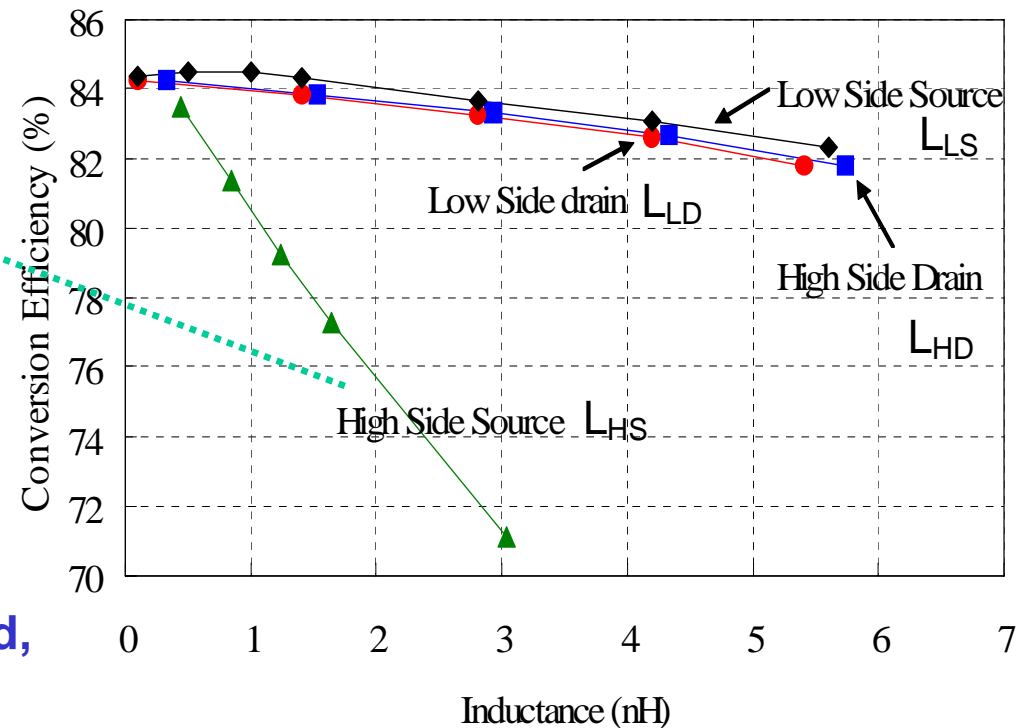
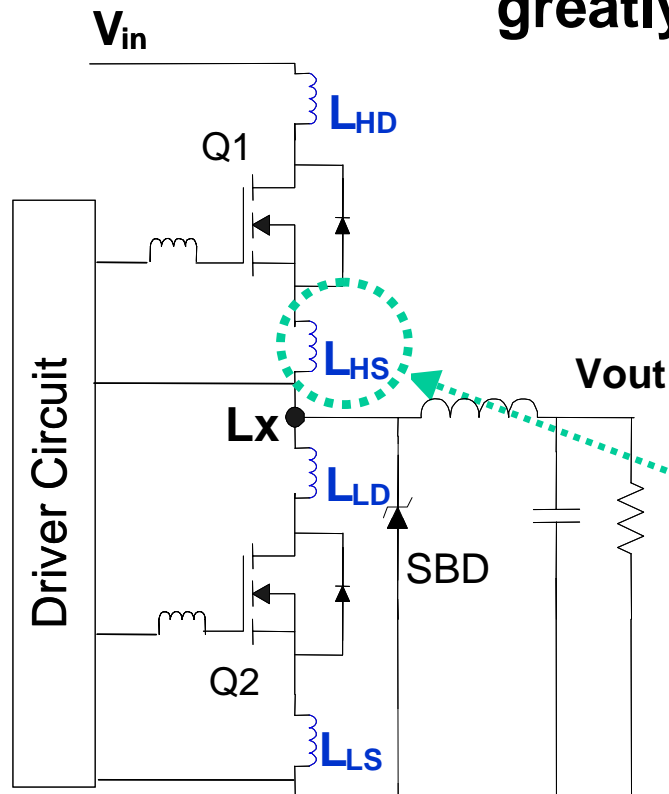
# Trend of High Speed MOSFET

Figure of Merit:  $R_{on}Q_{gd}$



# Influence of parasitic inductances

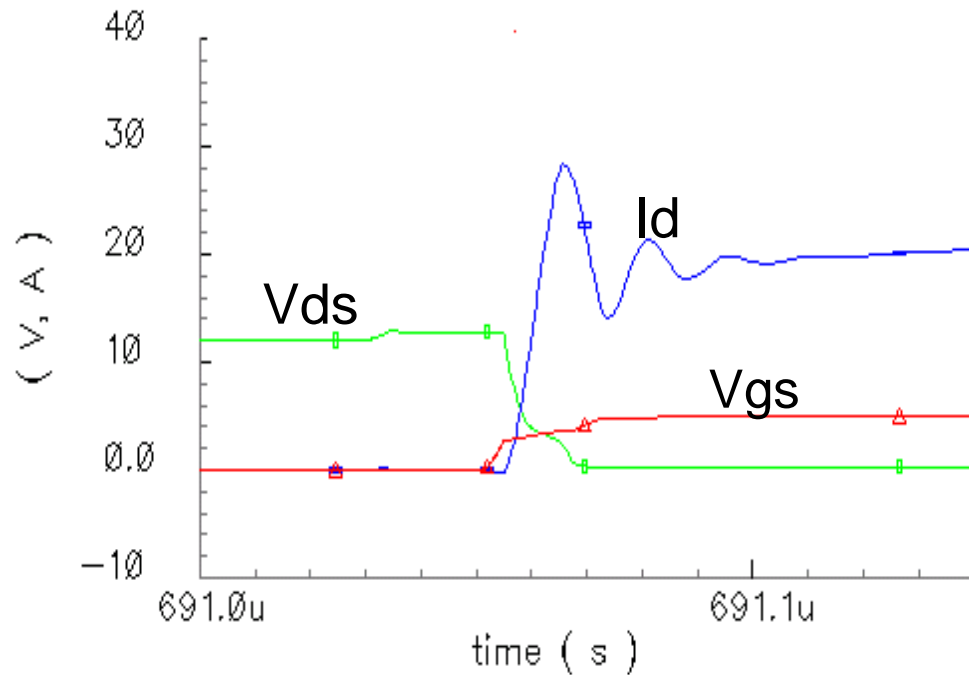
Parasitic inductances in the power stage circuit greatly influence the converter efficiency.



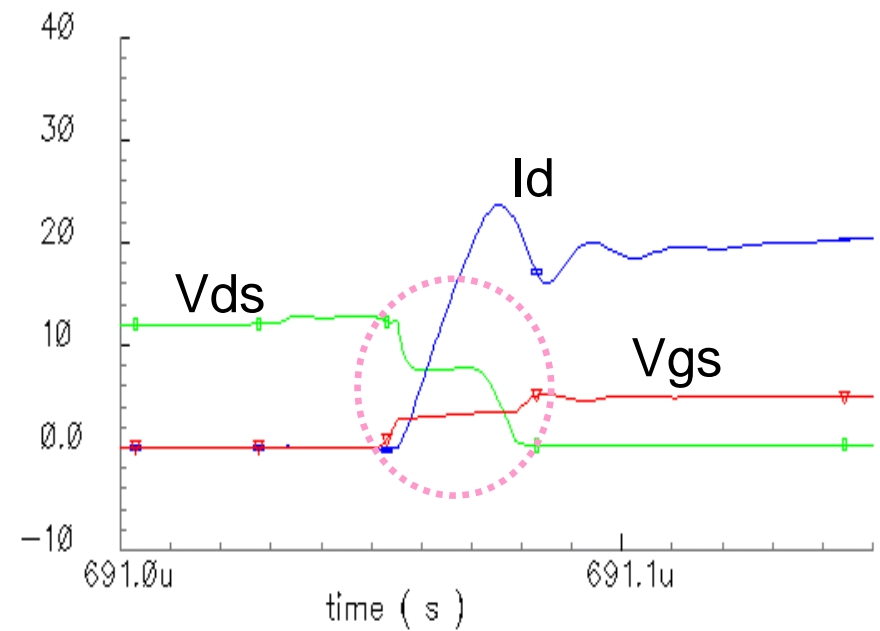
4 parasitic inductances are examined, using circuit simulator.

# High side MOS turn-on is delayed by $L_{HS}$

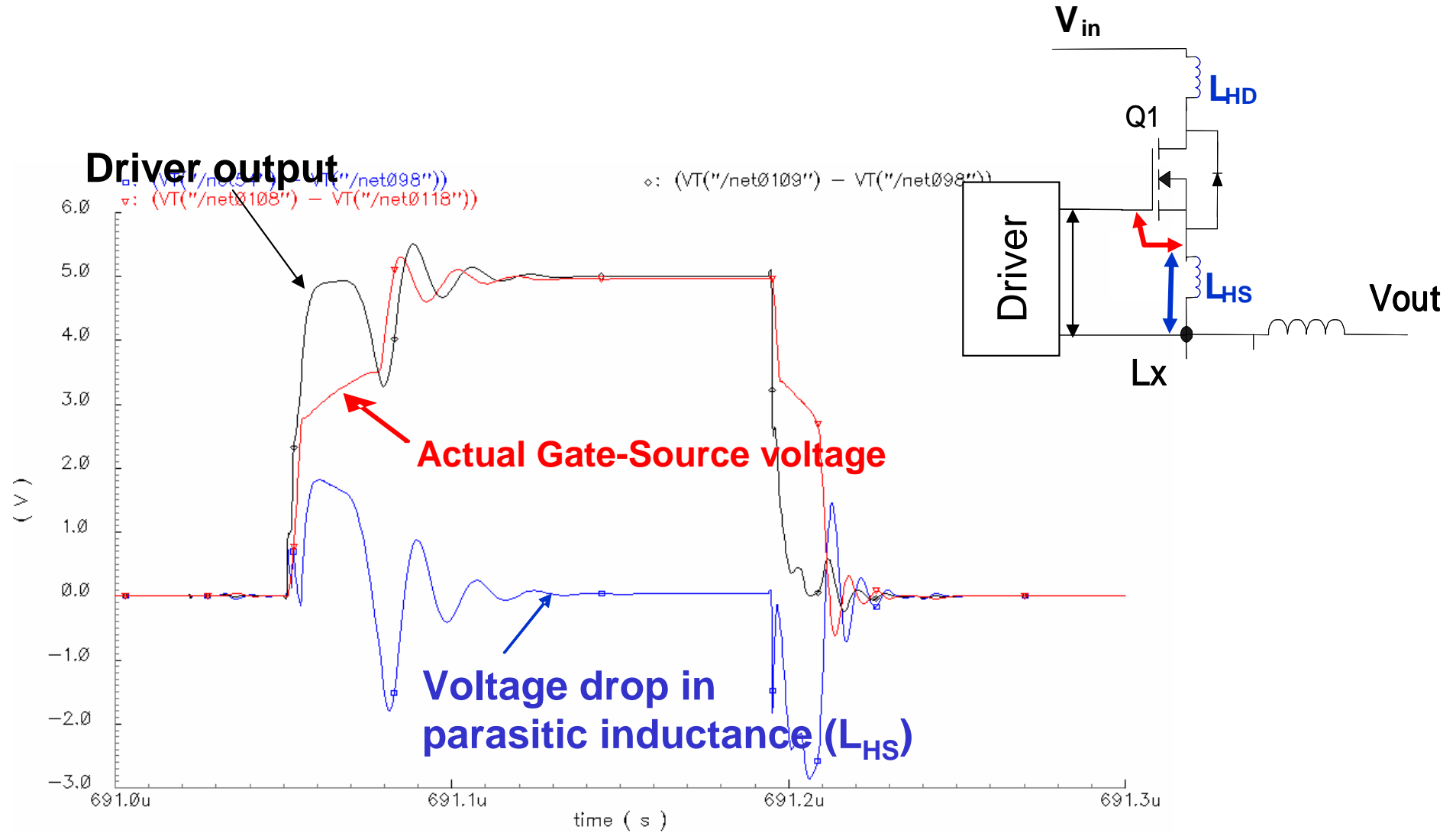
$L_{HS}=0.44\text{nH}$



$L_{HS}=1.24\text{nH}$

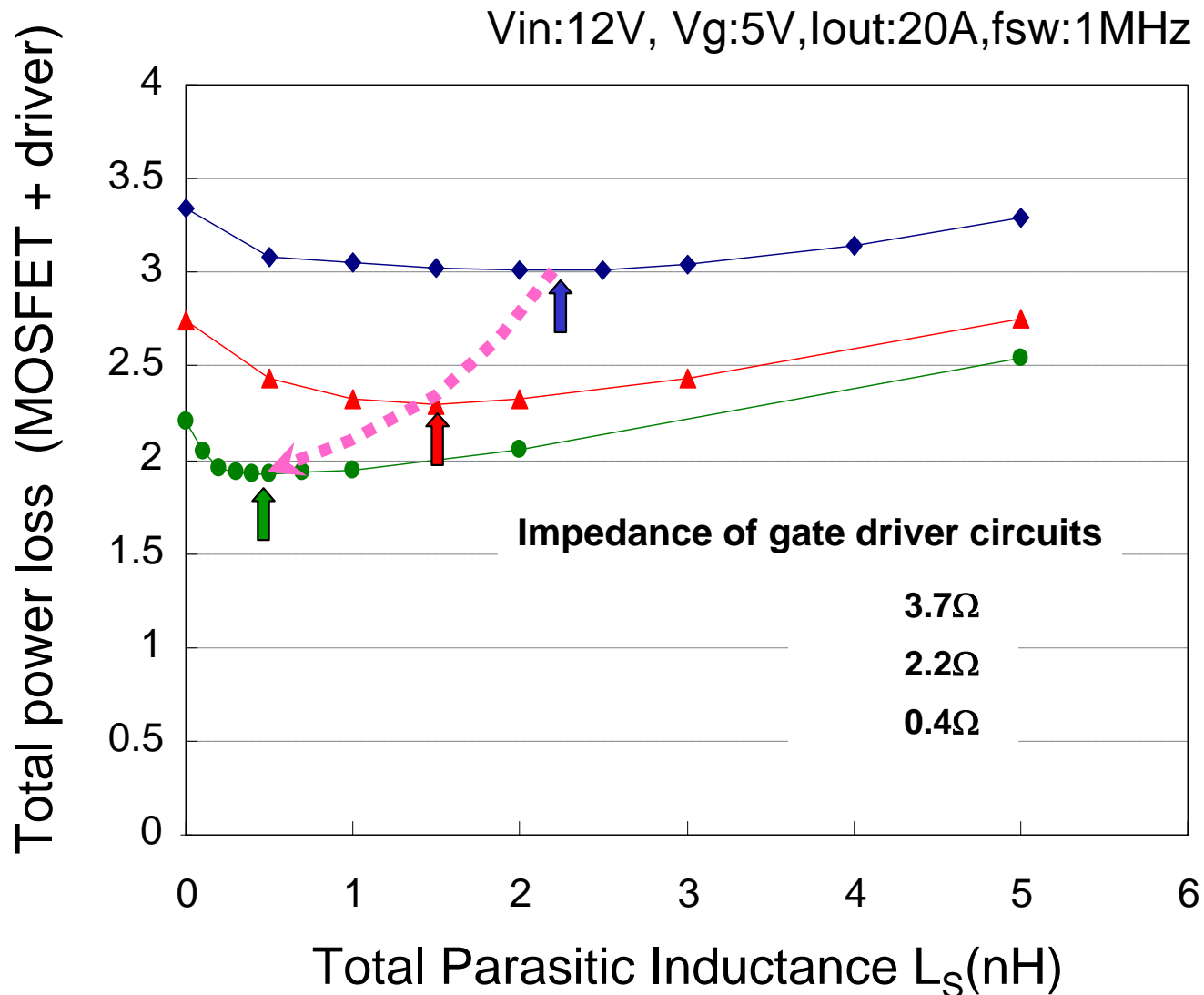


# Why turn-on delay occurs?

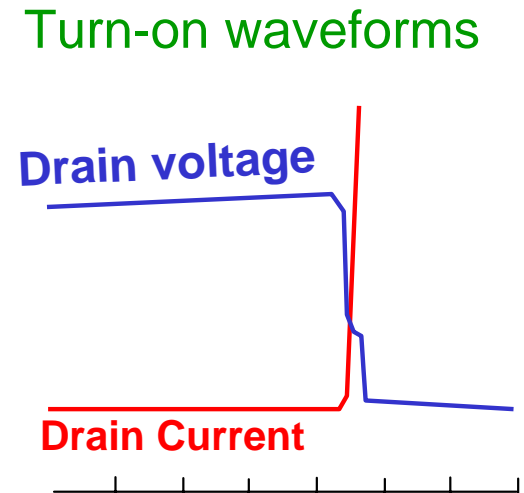
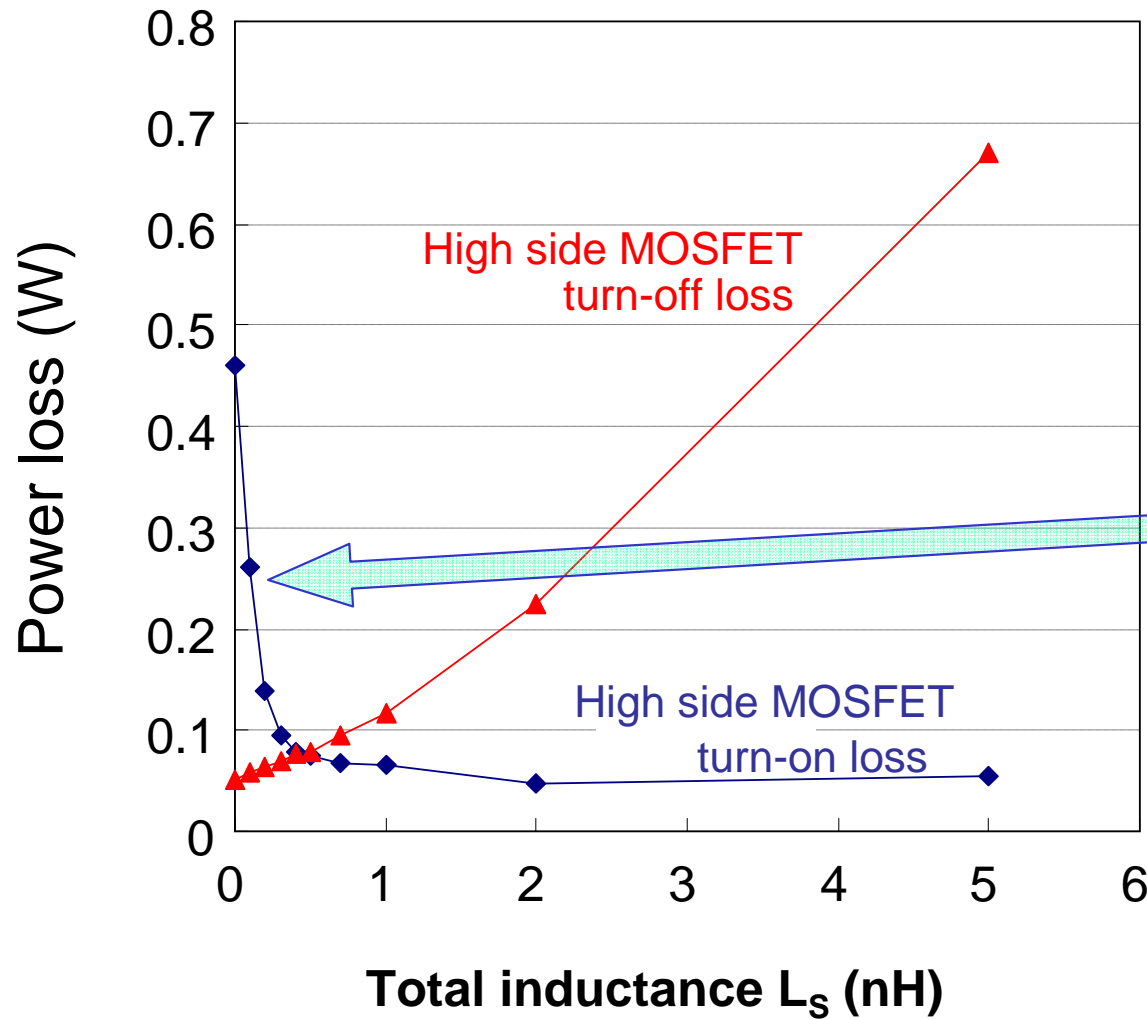


# Influence of parasitic inductances

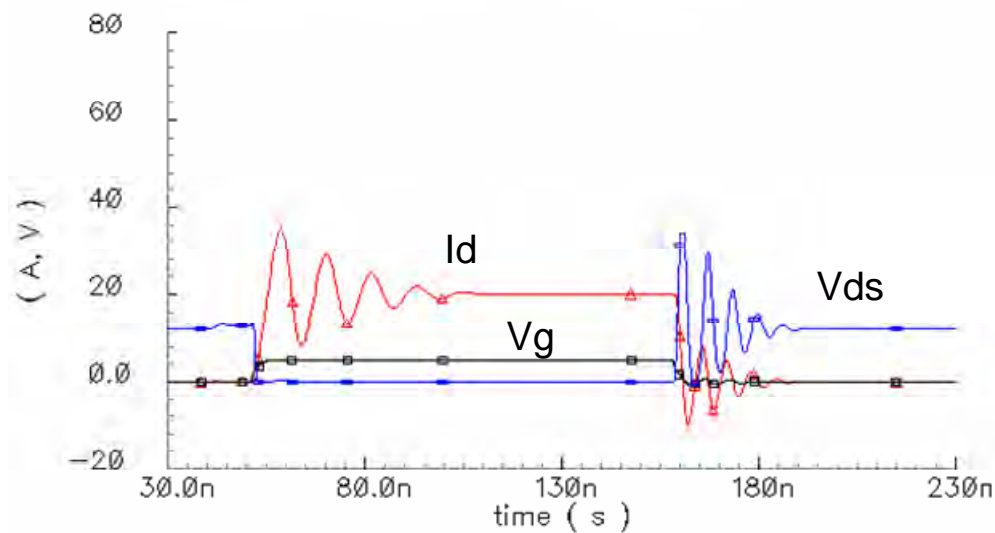
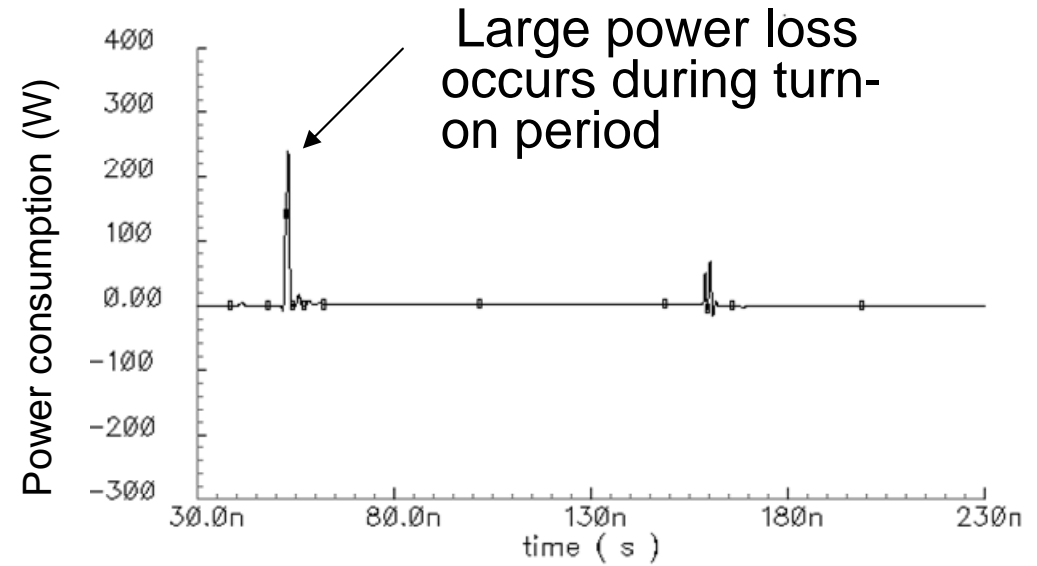
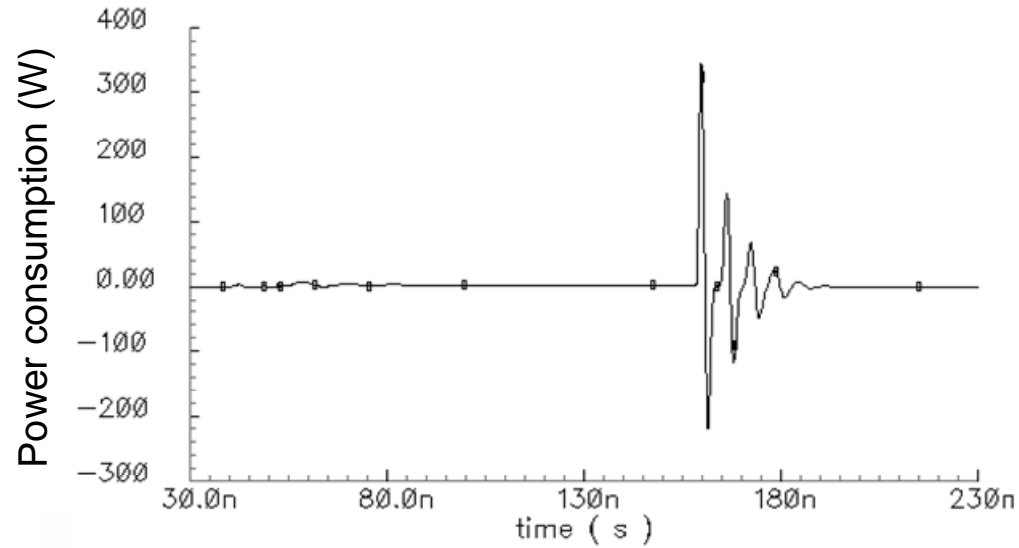
There is an optimum inductance value that minimizes the total power loss.



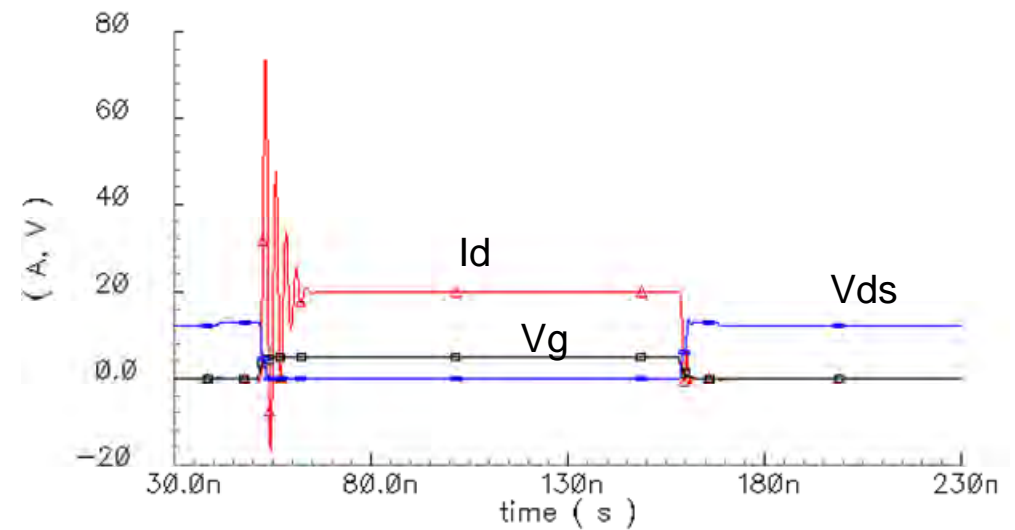
# Why there is optimum inductance value?



# Calculated waveforms of High side MOSFET



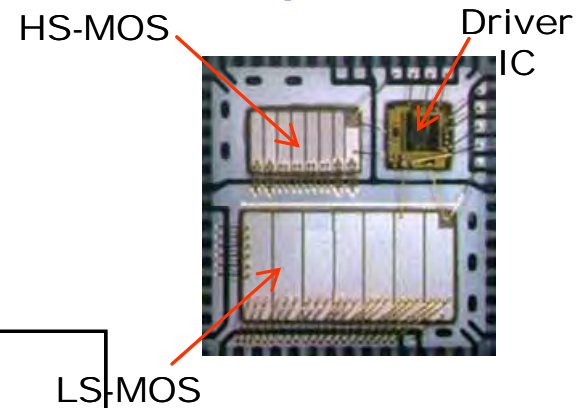
$L_s = 2 \text{ nH}$



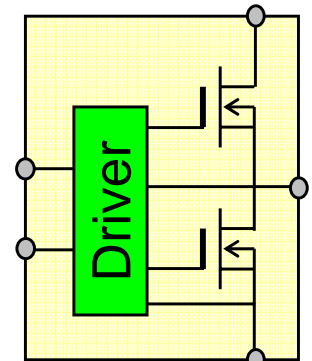
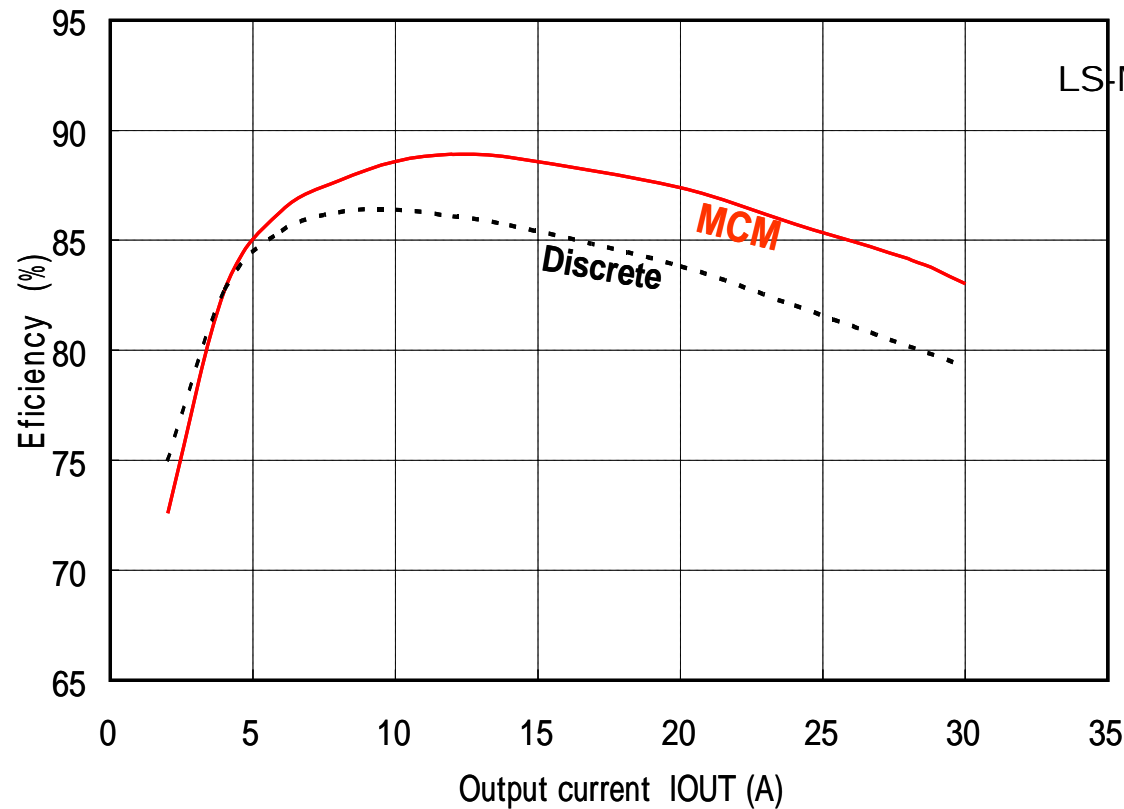
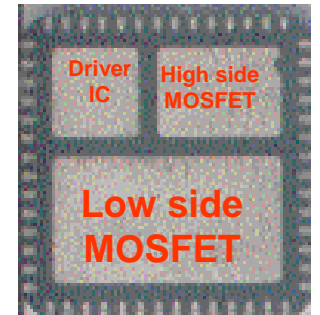
$L_s = 0.1 \text{ nH}$

# PWSiP: Multi-Chip-Module

Top view



Bottom view





# シリコン限界への挑戦

Theoretical Silicon limit of  
Switching Speed :

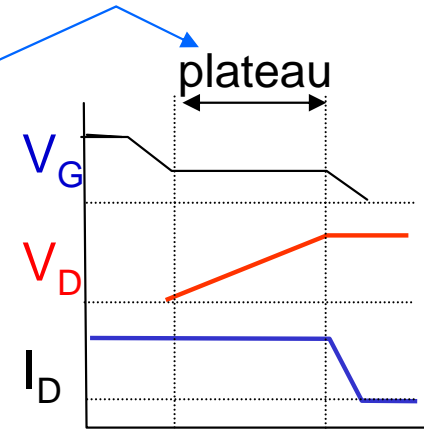
$$t_f = \frac{\text{Stored Charge } (Q_{str})}{\text{Drain Current } (I_D)}$$

# Conventional Switching

Theoretical limit:

$$t_f = \frac{Q_{str}}{I_D}$$

$$\text{Mirror period} = \frac{Q_{gd}}{I_G}$$



$$P_{loss} = R_{on} I_D^2 + V_A I_D \frac{Q_{gd}}{I_G} f + \frac{1}{3} Q_{str} V_A f$$

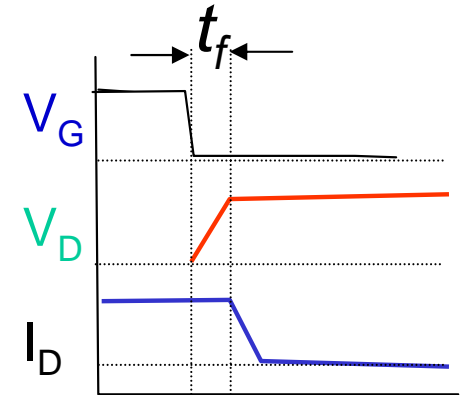
Major loss

# Ideal MOSFET Switching

$$\text{New FOM} = R_{\text{on}} Q_{\text{str}}$$

Theoretical limit:

$$t_f = \frac{Q_{\text{str}}}{I_D} \quad \text{Mirror period} = \frac{Q_{\text{gd}}}{I_G} = 0$$



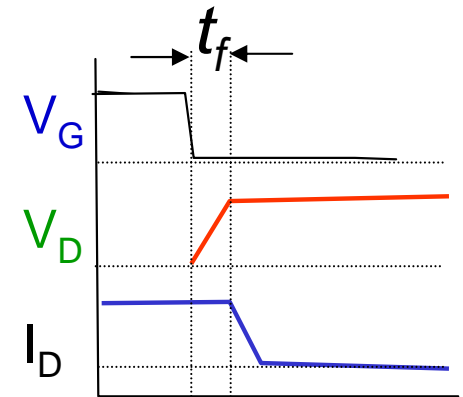
$$P_{\text{loss}} = R_{\text{on}} I_D^2 + \frac{1}{3} Q_{\text{str}} V_A f$$

$$= R_{\text{on}} I_D^2 + \frac{1}{3} Q_{\text{str}} V_A f \geq 2 \sqrt{\underbrace{R_{\text{on}} Q_{\text{str}}}_{\text{New FOM}} \frac{1}{3} I_D^2 V_A f}$$

# Ideal MOSFET Switching

Theoretical limit:

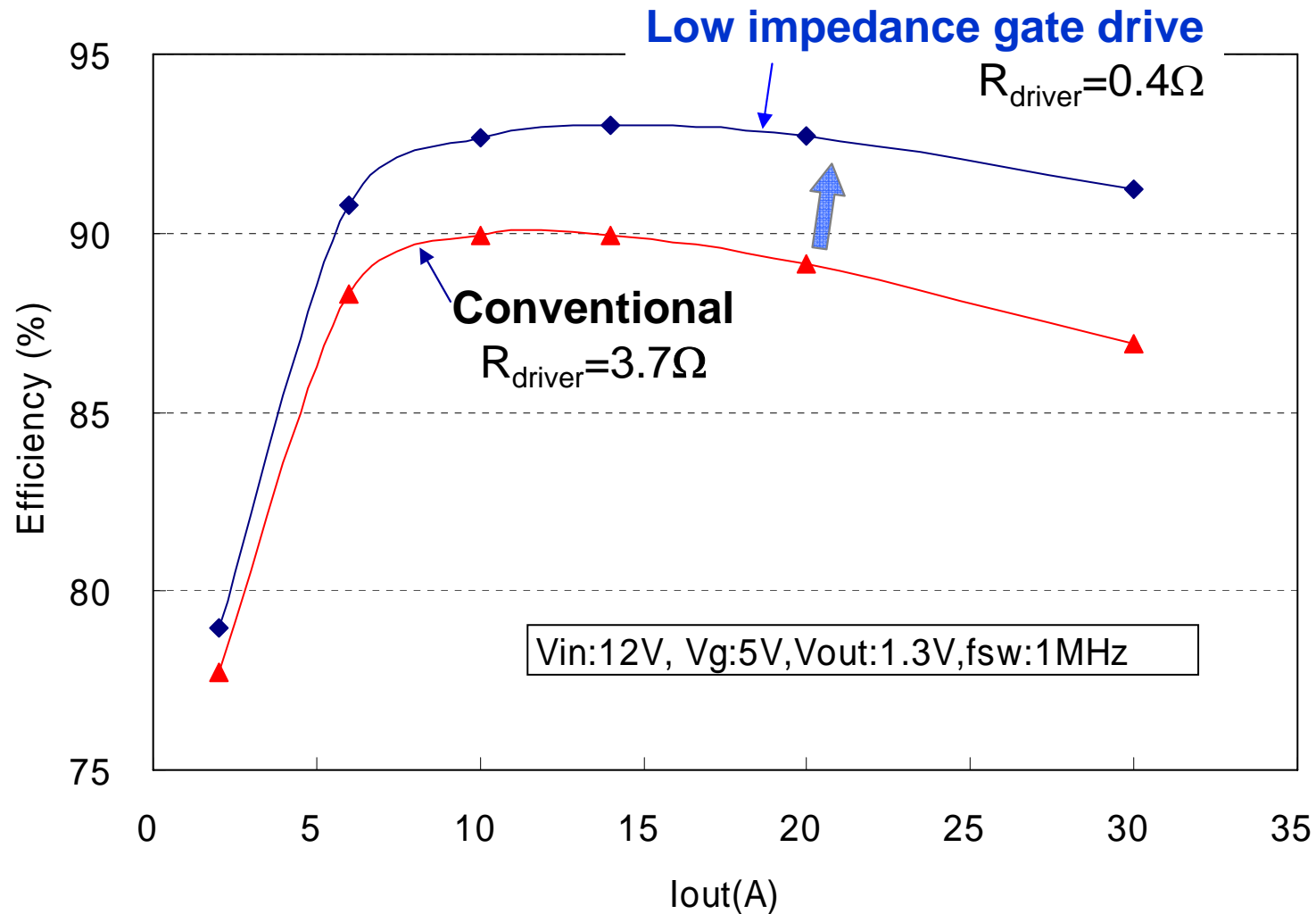
$$t_f = \frac{Q_{str}}{I_D} \quad \text{Mirror period} = \frac{Q_{gd}}{I_G} = 0$$



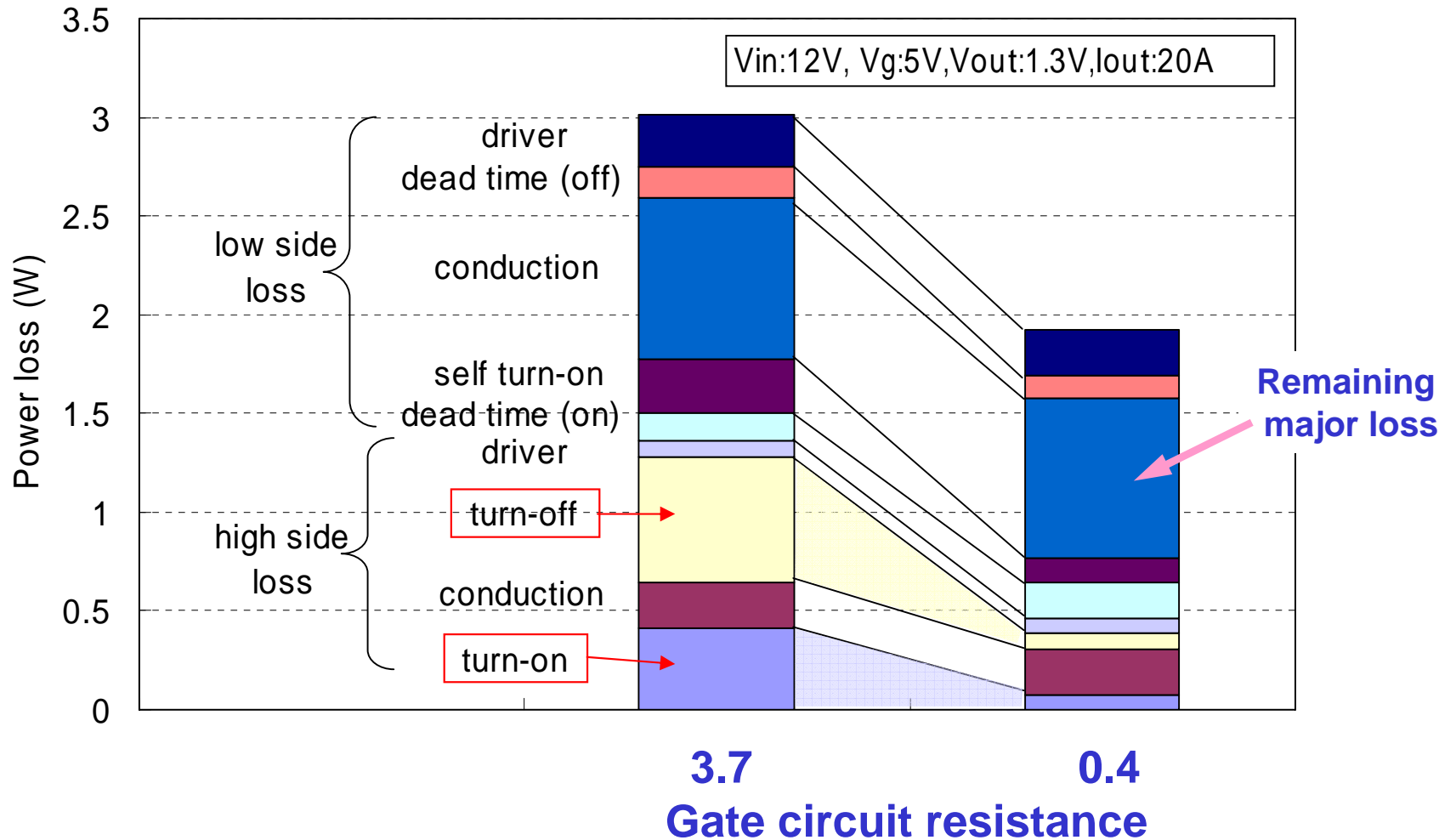
$$P_{loss} = R_{on} I_D^2 + \frac{1}{3} Q_{str} V_A f$$

→ Low Impedance gate drive is a key technology to supply a large gate current to eliminate mirror period.

# Effect of low impedance gate drive

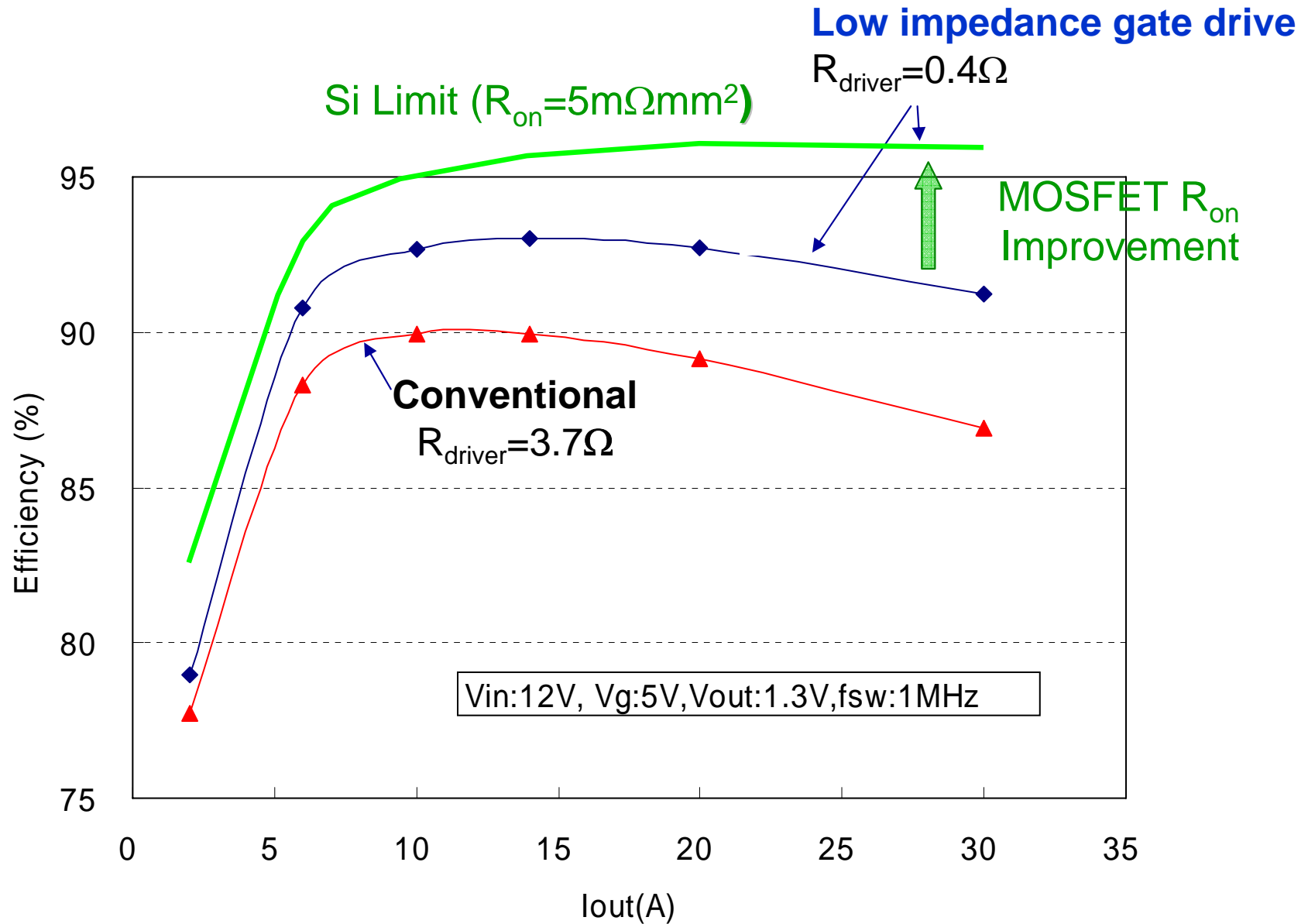


# Power loss analysis

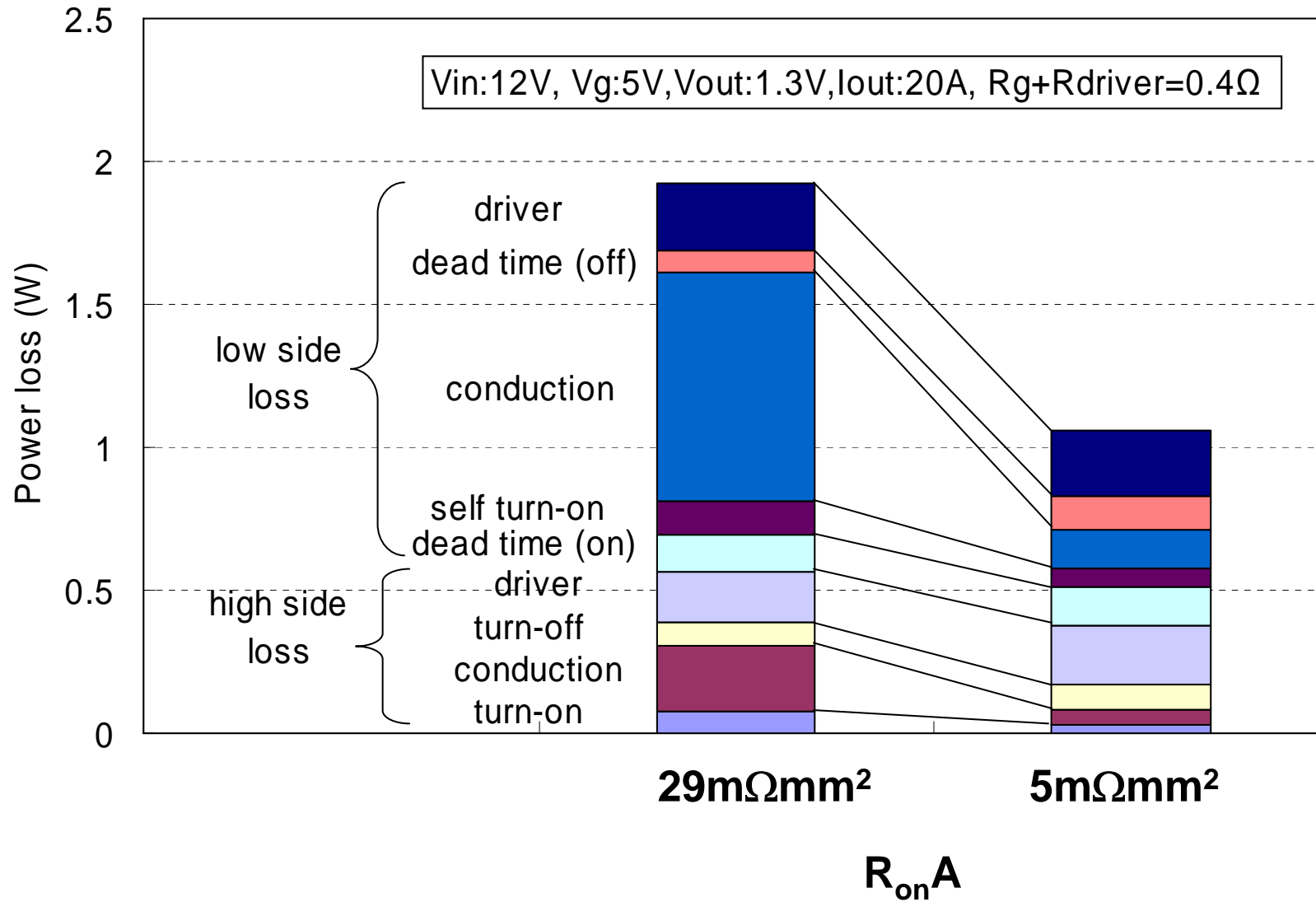


Low impedance gate drive reduces the switching loss of high side MOSFET

# Predicted Silicon Limit Efficiency

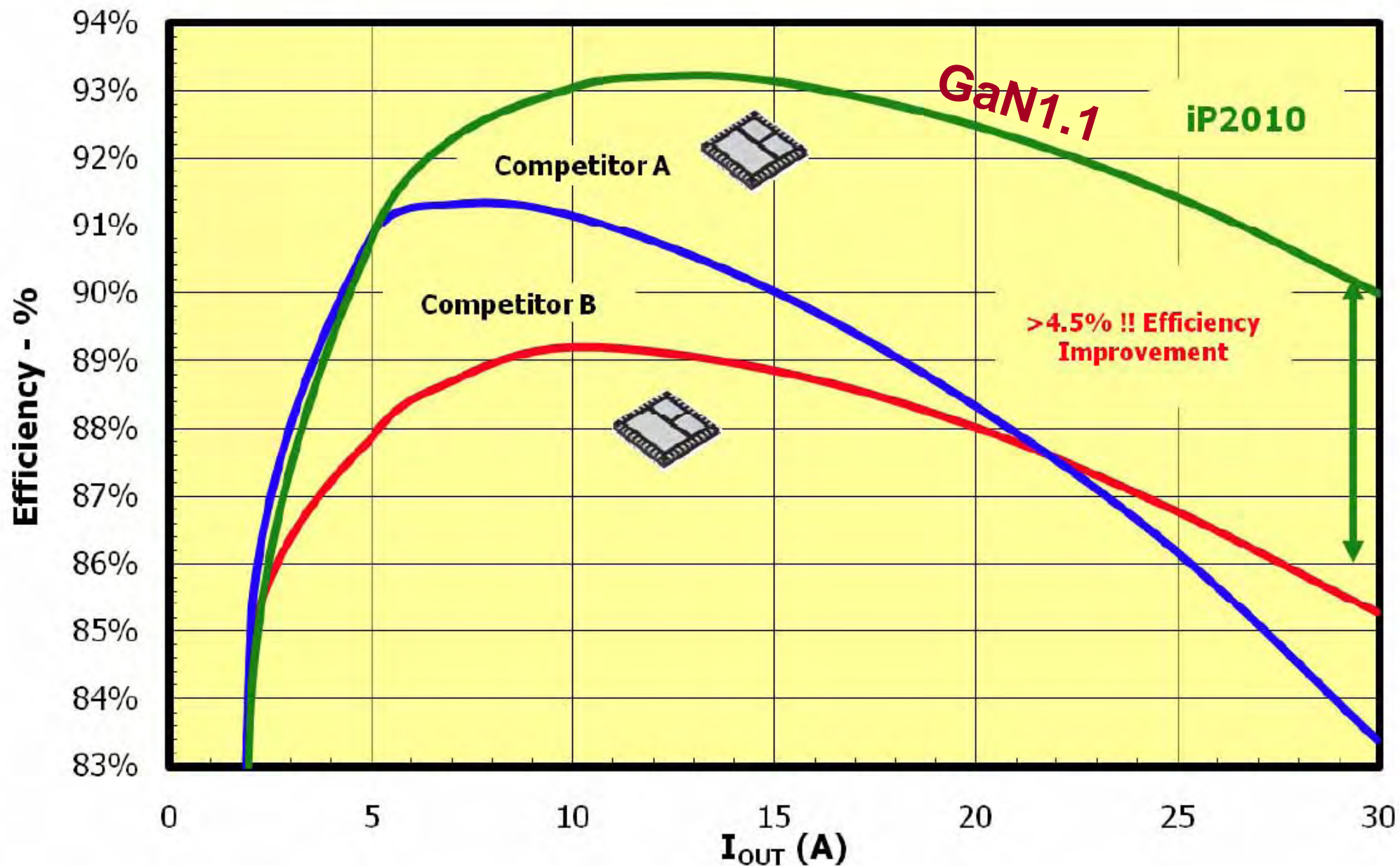


# Power loss analysis

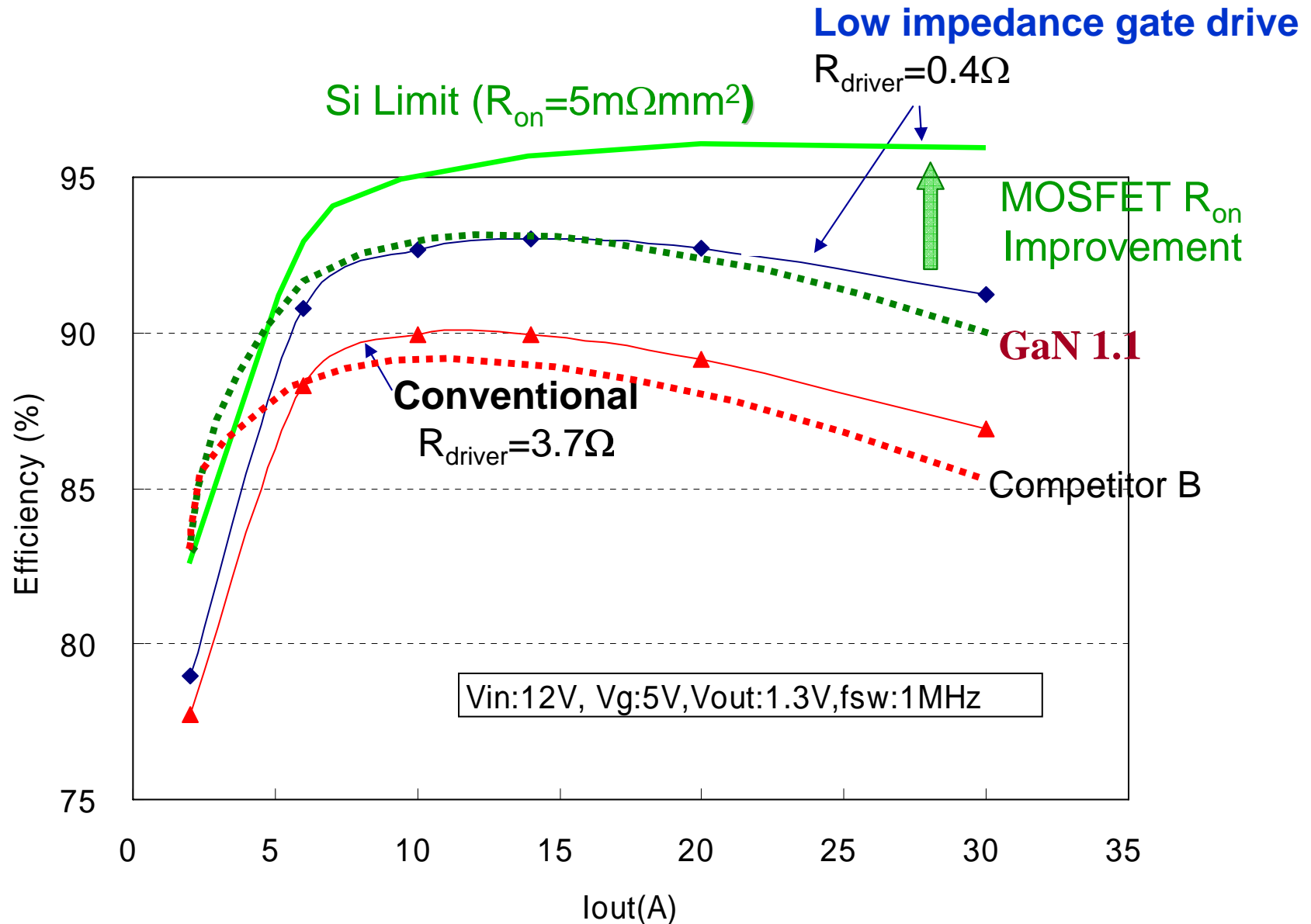




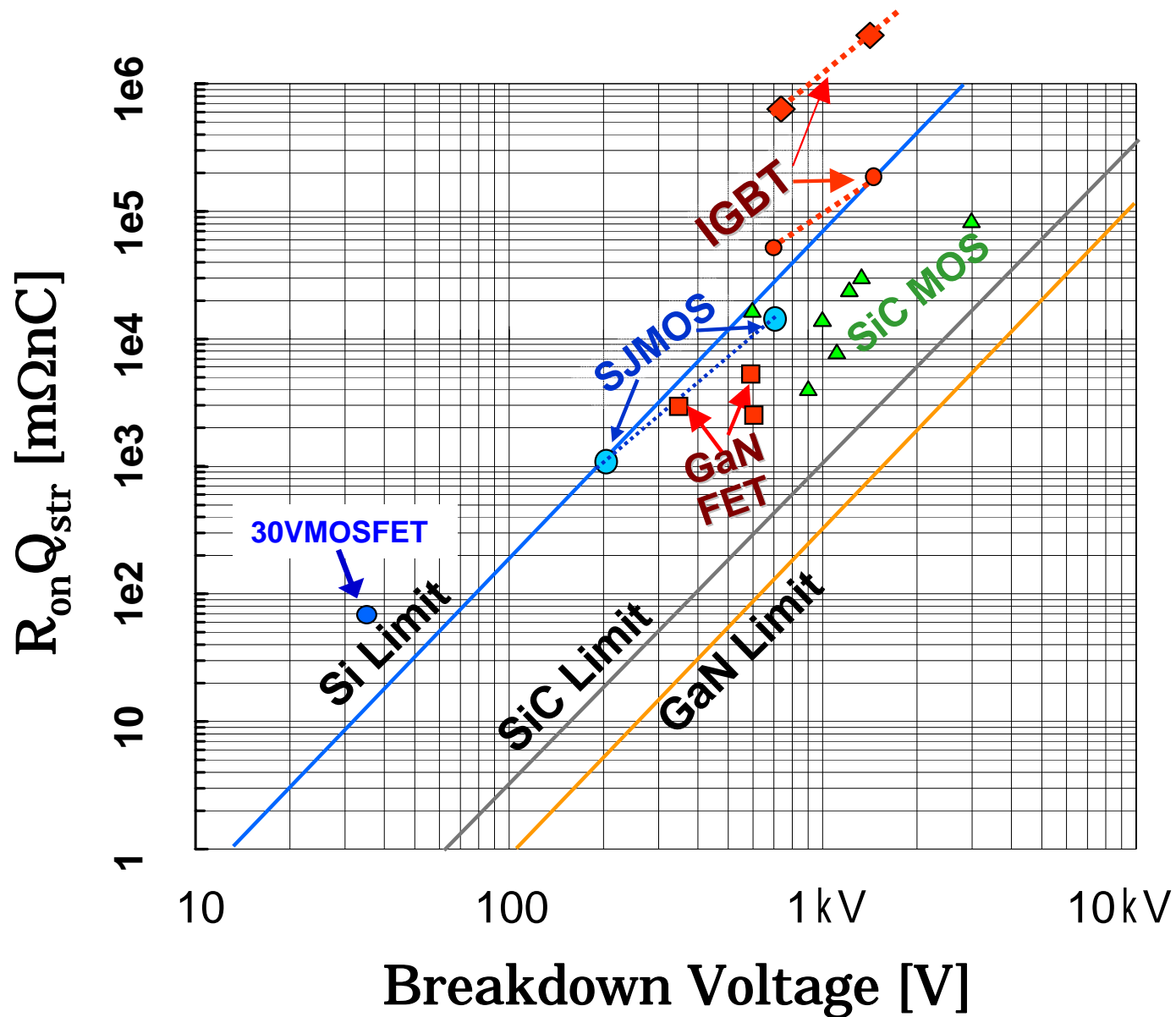
**Vin=12V, Vo=1.2V @ 600KHz**



# Predicted Silicon Limit Efficiency



# New FOM



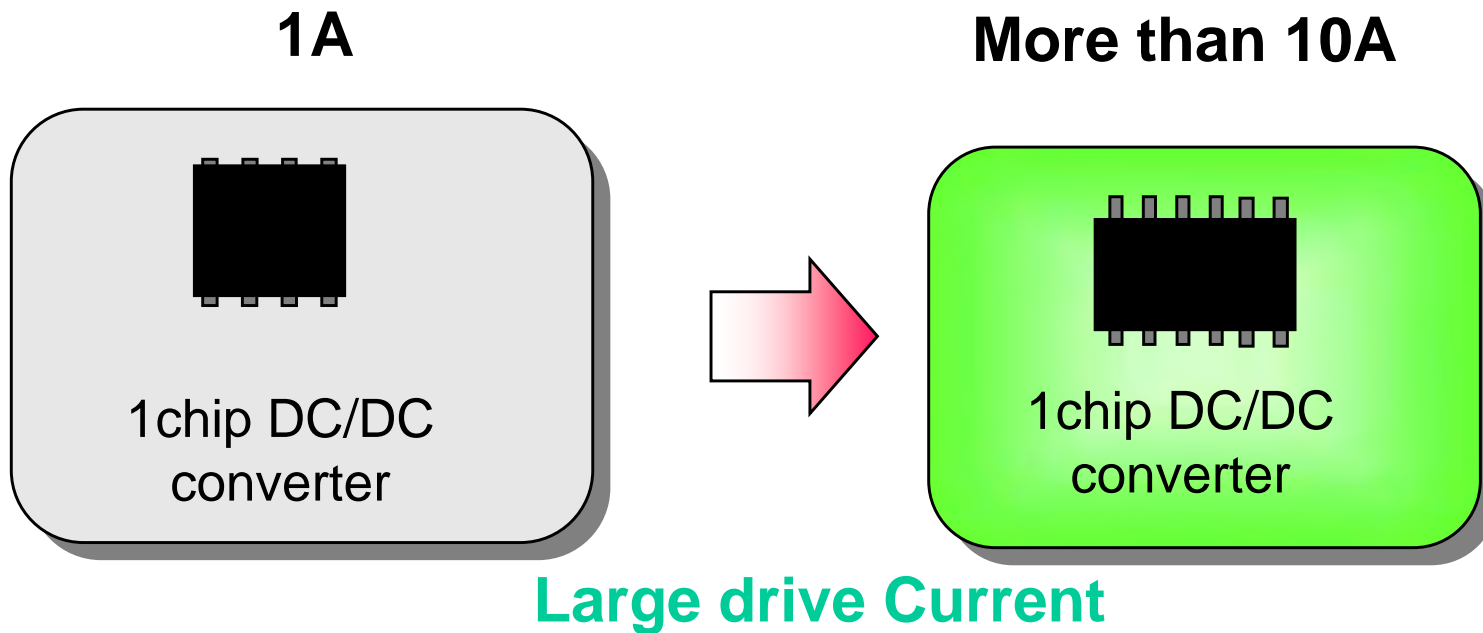
# 概要

1. パワーデバイス開発の経緯

2. 将来技術

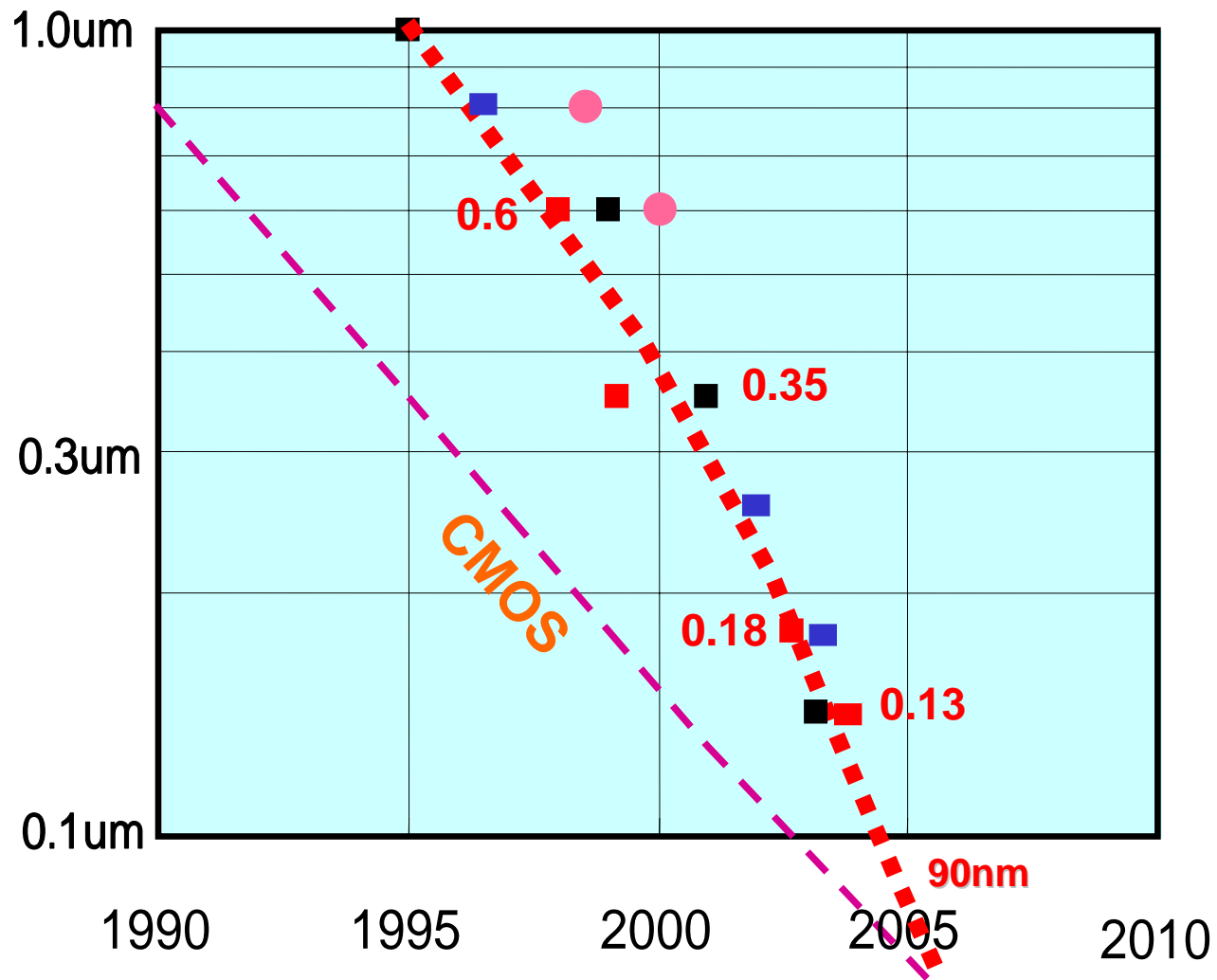
- ・ Silicon limit characteristics of IGBT
- ・ Ideal switching in power MOSFET
- ・ 20A single chip DCDC converter
- ・ デジタル電源

# 12V 10A 1 Chip DCDC Converter

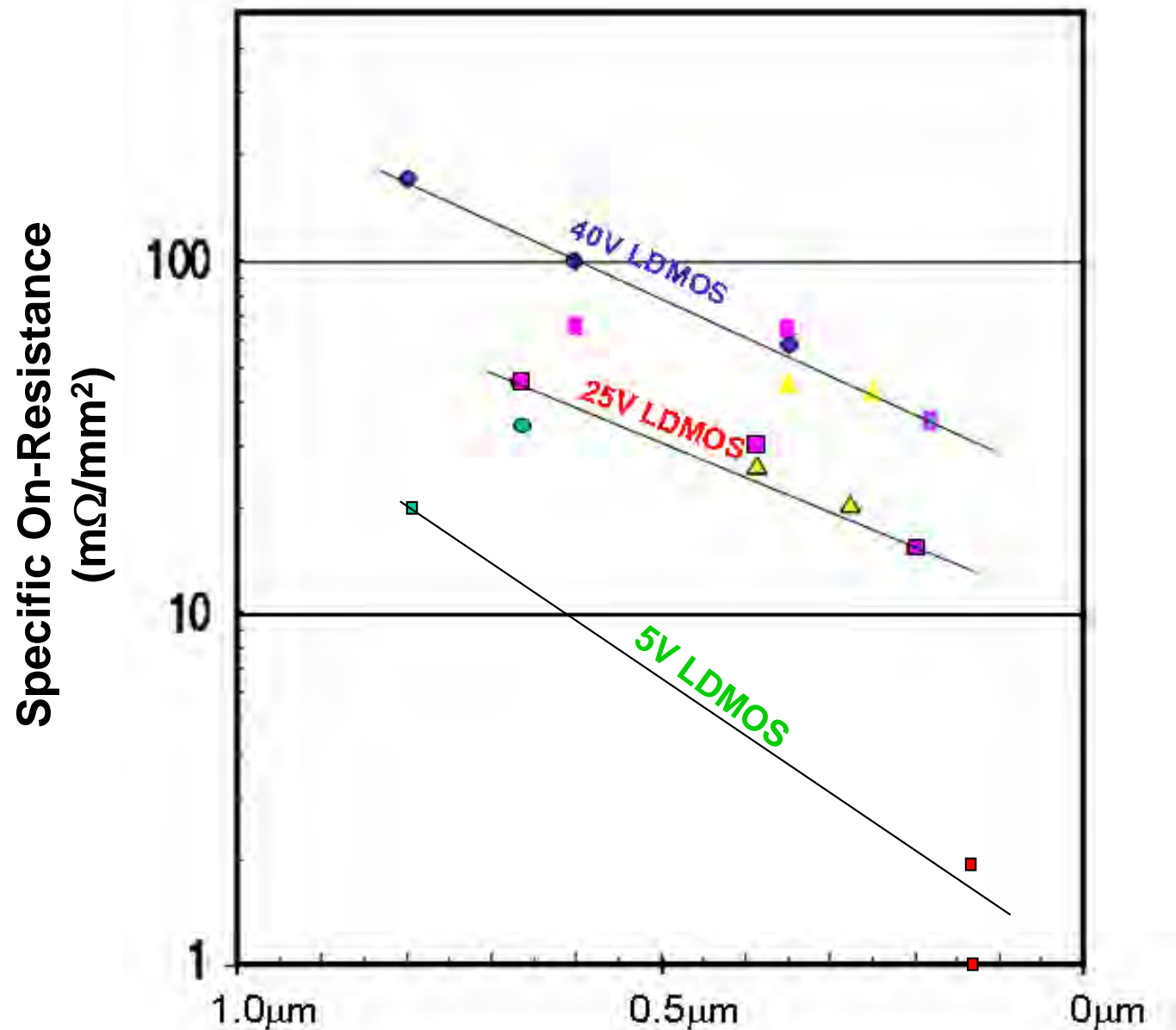


- 1 chip solution is adequate for high speed DCDC converter
- Low impedance gate drive can be easily implemented

# 微細化するパワーICプロセス

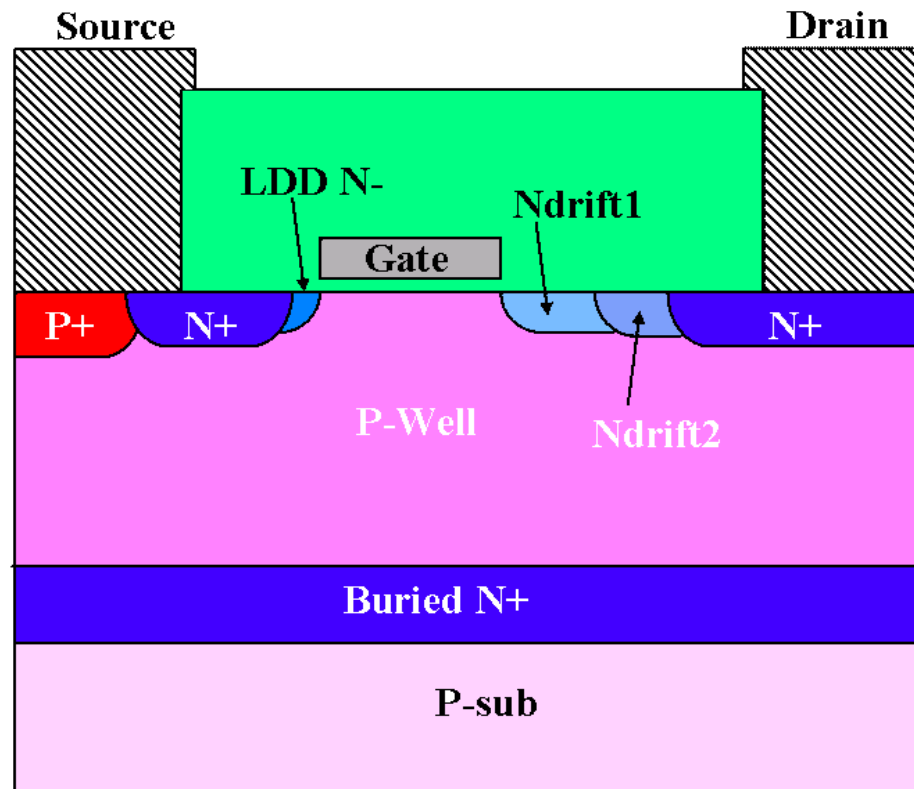


# なぜ微細化なのか？



# 25V n-ch LDMOS

2-step lightly doped drift layers  
--- Adaptive Resurf ---



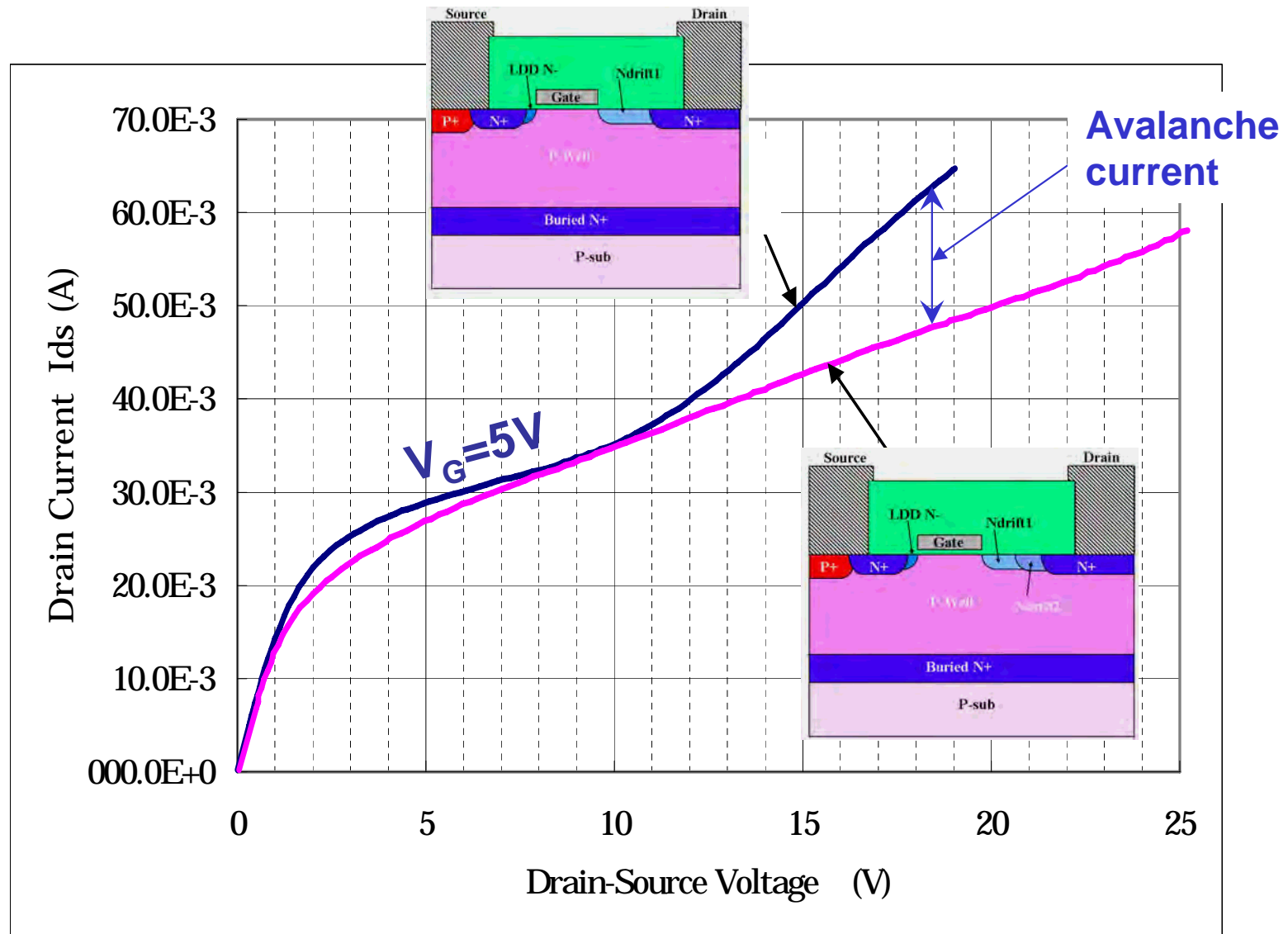
$$V_{BD}=25V$$

$$V_{th}=0.85V$$

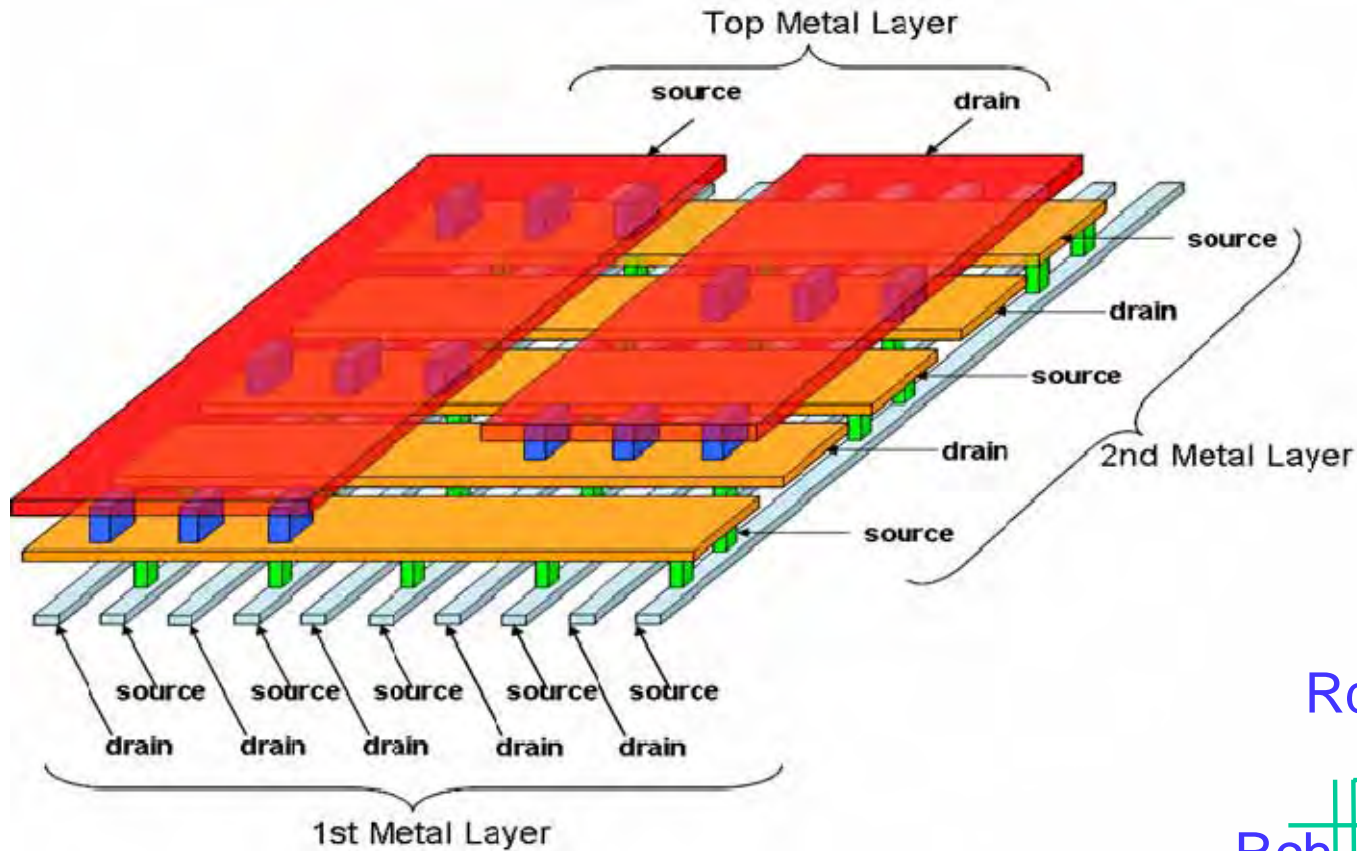
$$R_{on}=23m\Omega mm^2$$



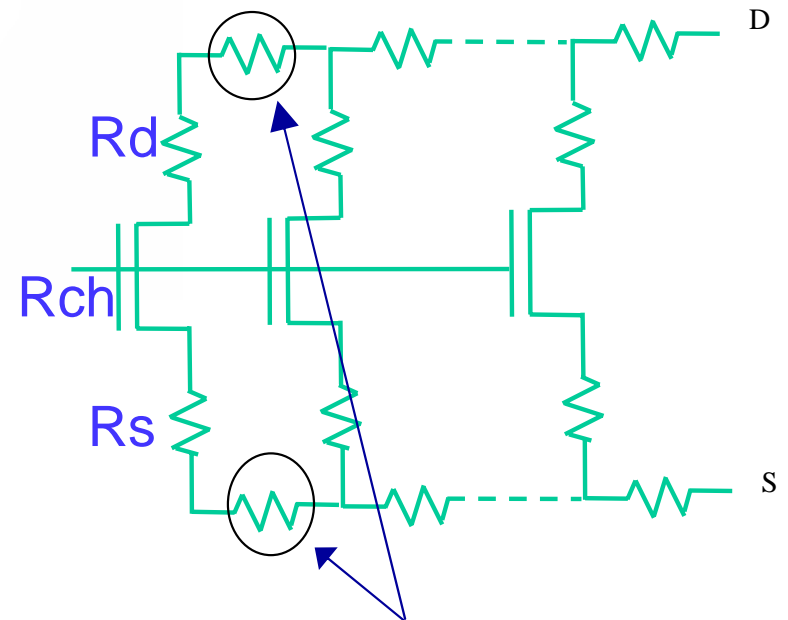
# Adaptive Resurf (2 step n-drift layer)



# Issue of Interconnection resistance



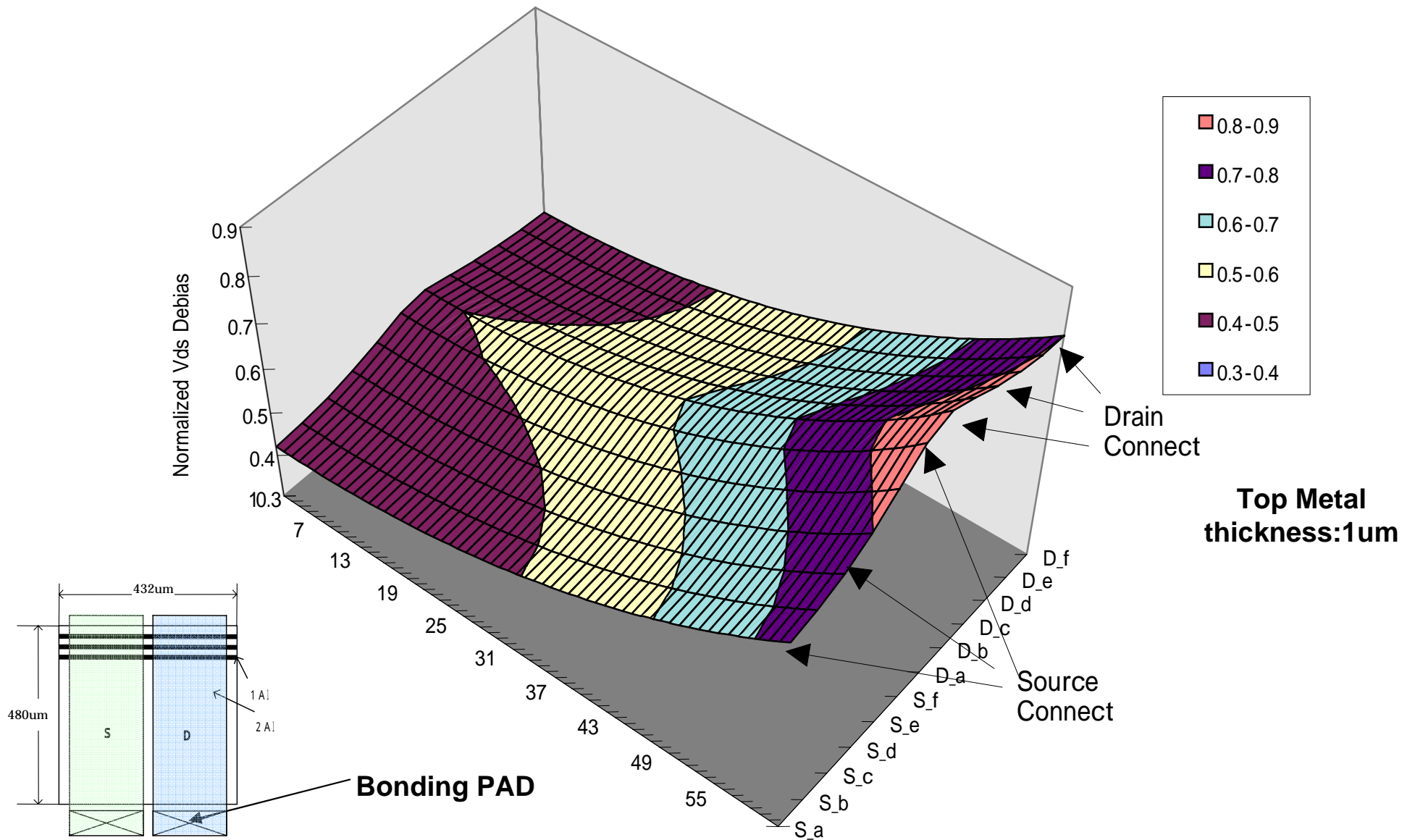
Equivalent circuit



Interconnection resistance

$$R_{DSON} = R_{MOSFET} + R_{INTERCONNECTION}$$

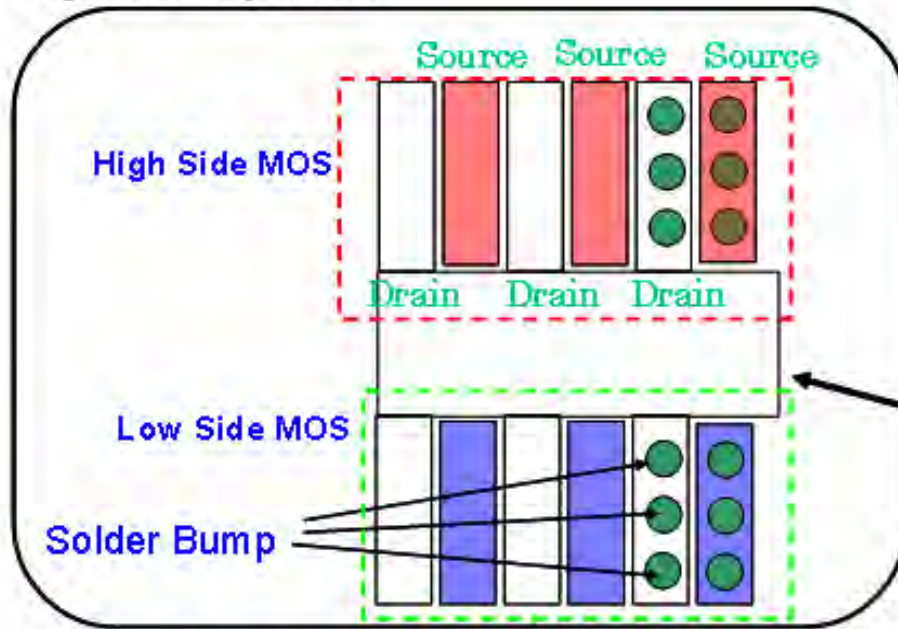
# 大電流化：電極配線抵抗



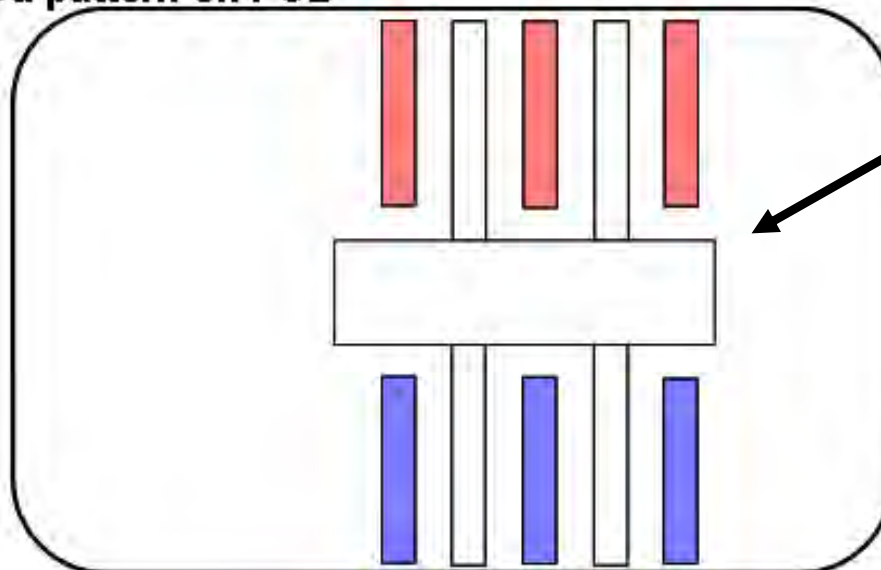
# Interconnection resistance can be reduced

# by Bump Tec

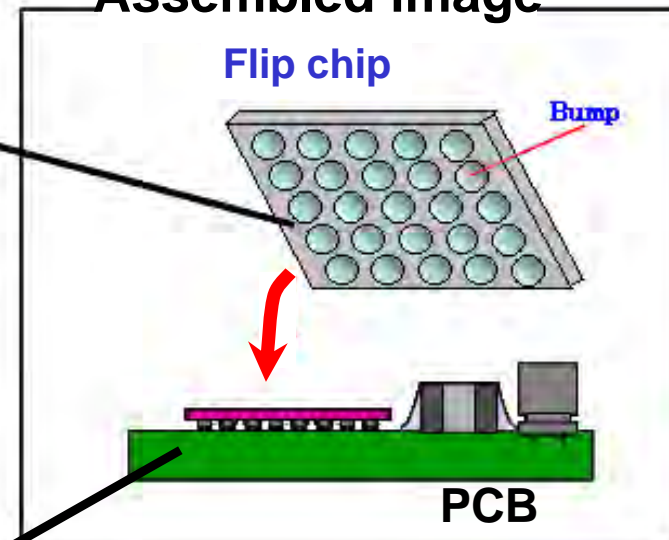
Layout of top metal



Cu pattern on PCB

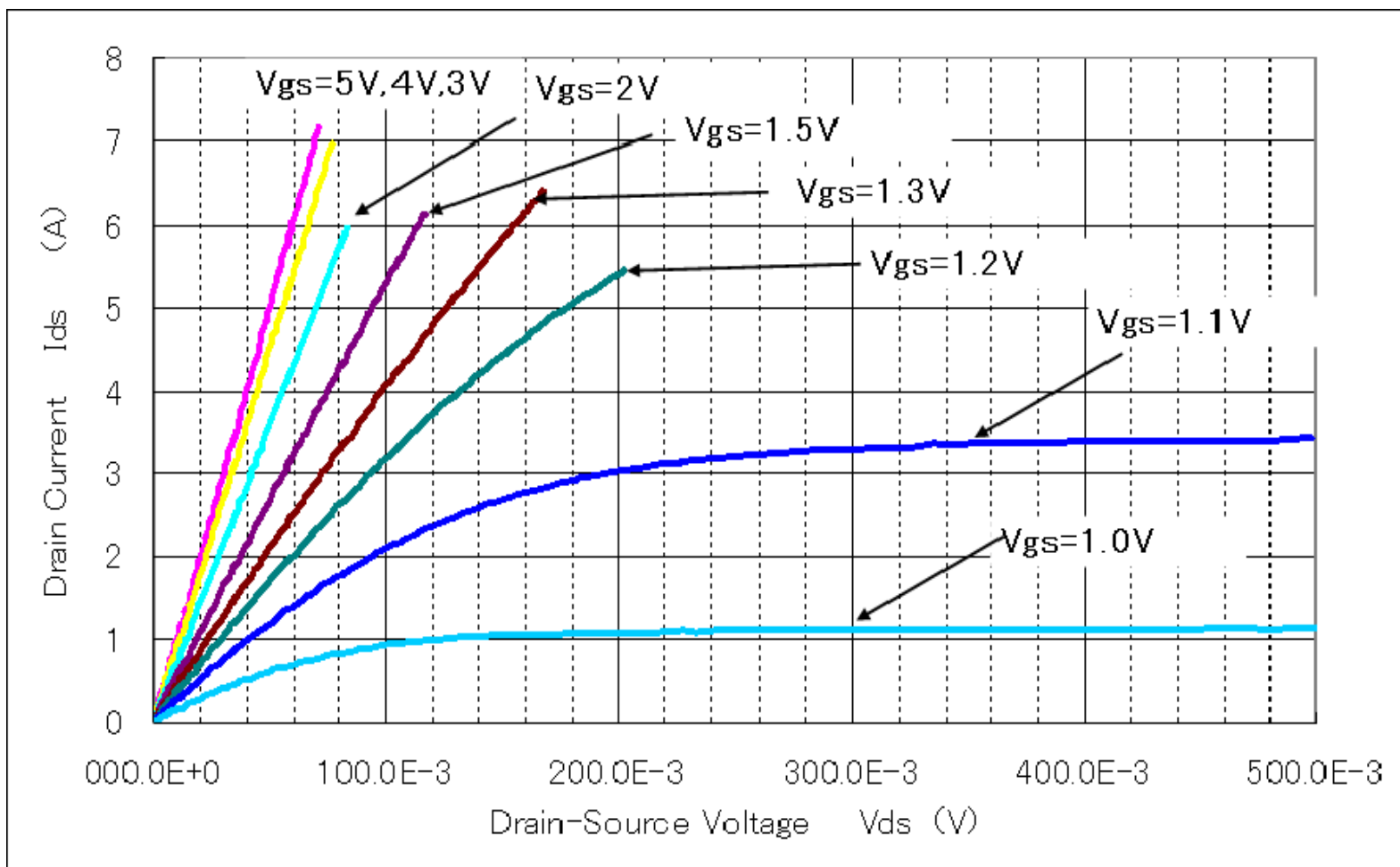


Assembled image



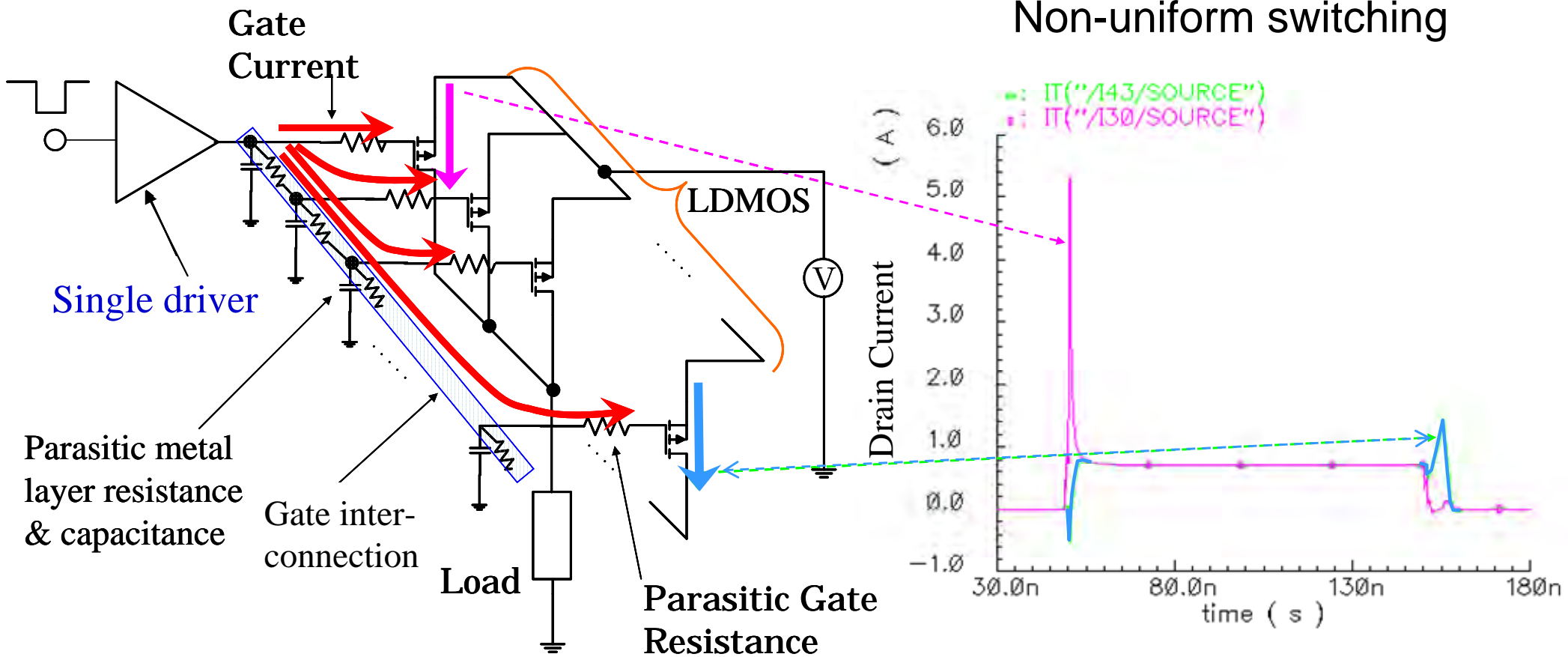
Thick Cu metal in PCB reduces interconnection resistance.

# Output characteristics of large area device



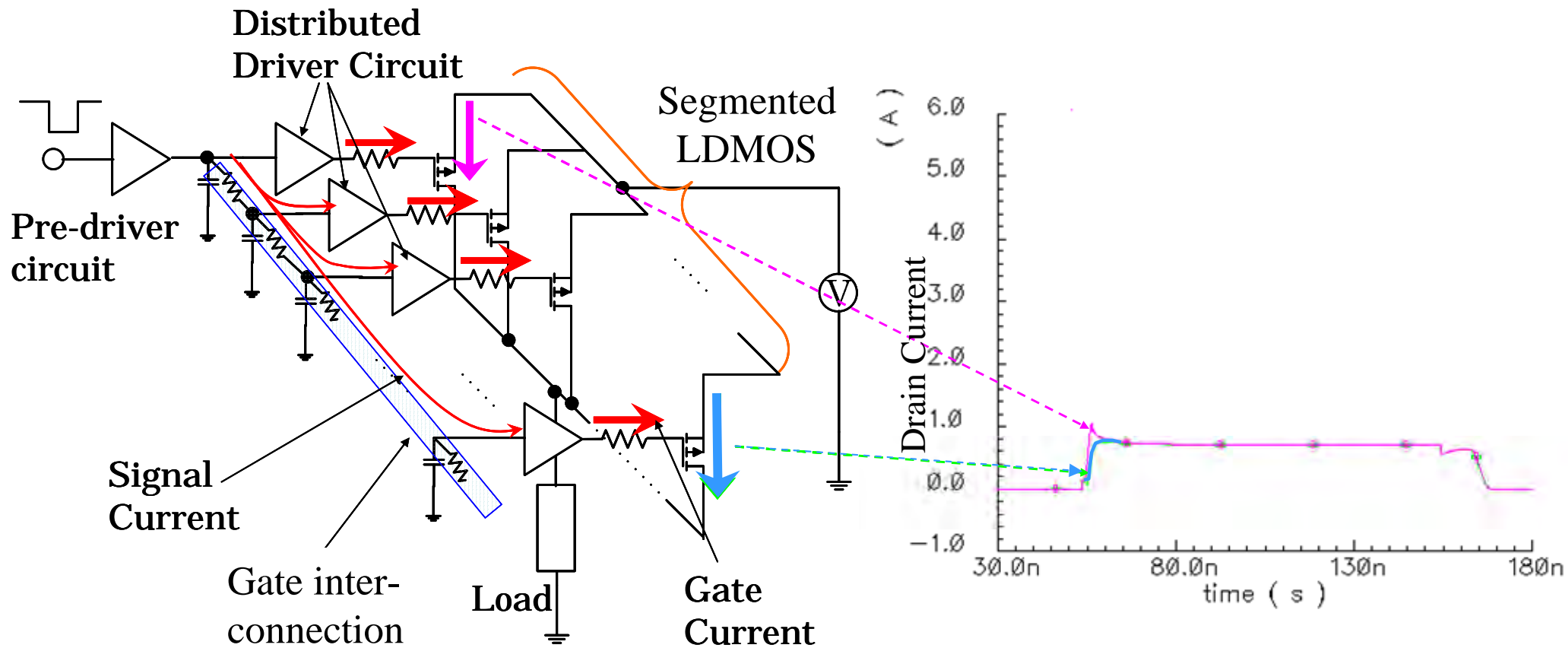
$R_{on} : 9.7m$  (@  $V_{gs} = 5V$ ,  $I_{ds} = 5A$ , effective area =  $3.6mm^2$ )

# Single driver circuit layout



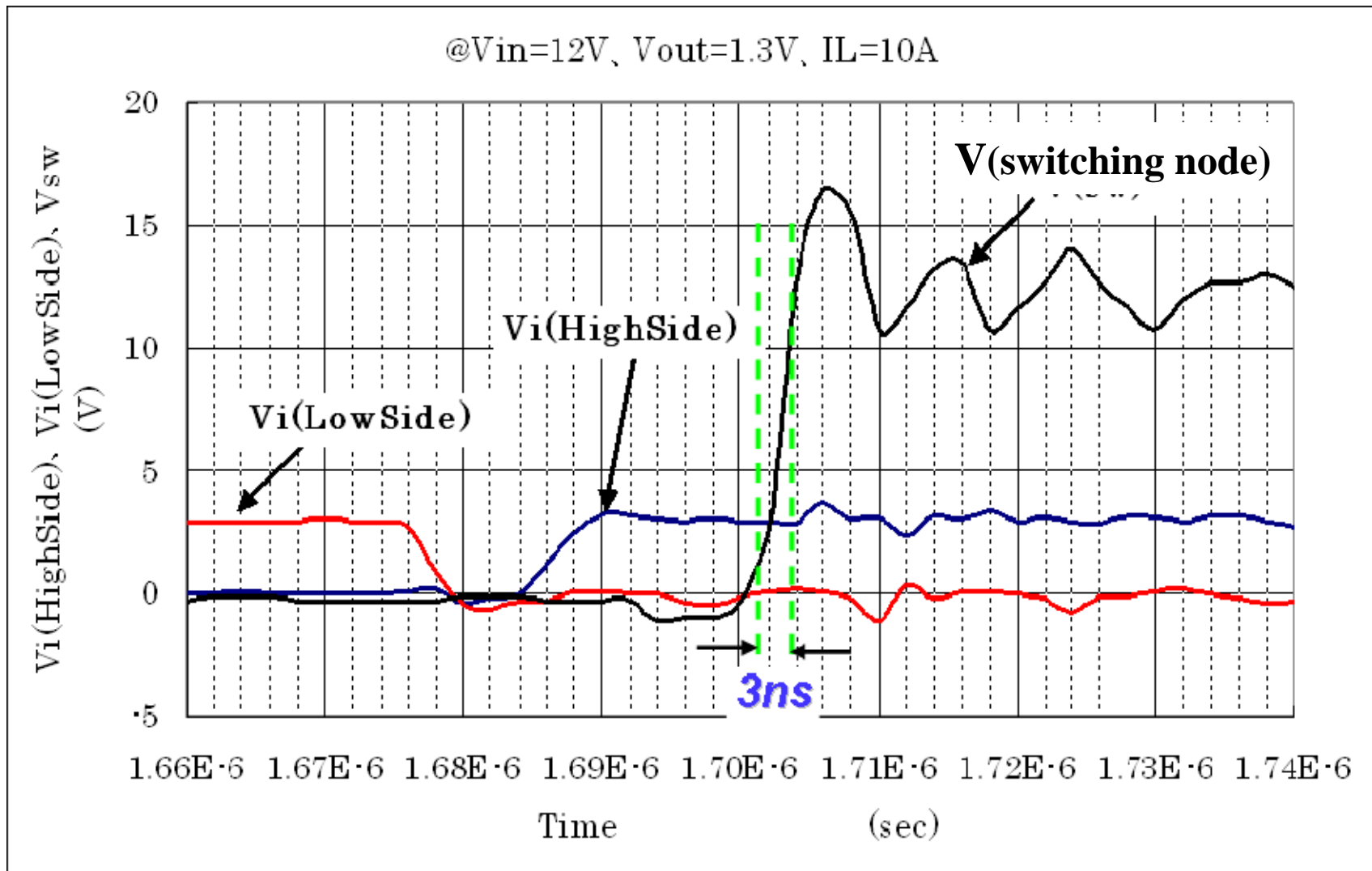


# Distributed driver circuit layout



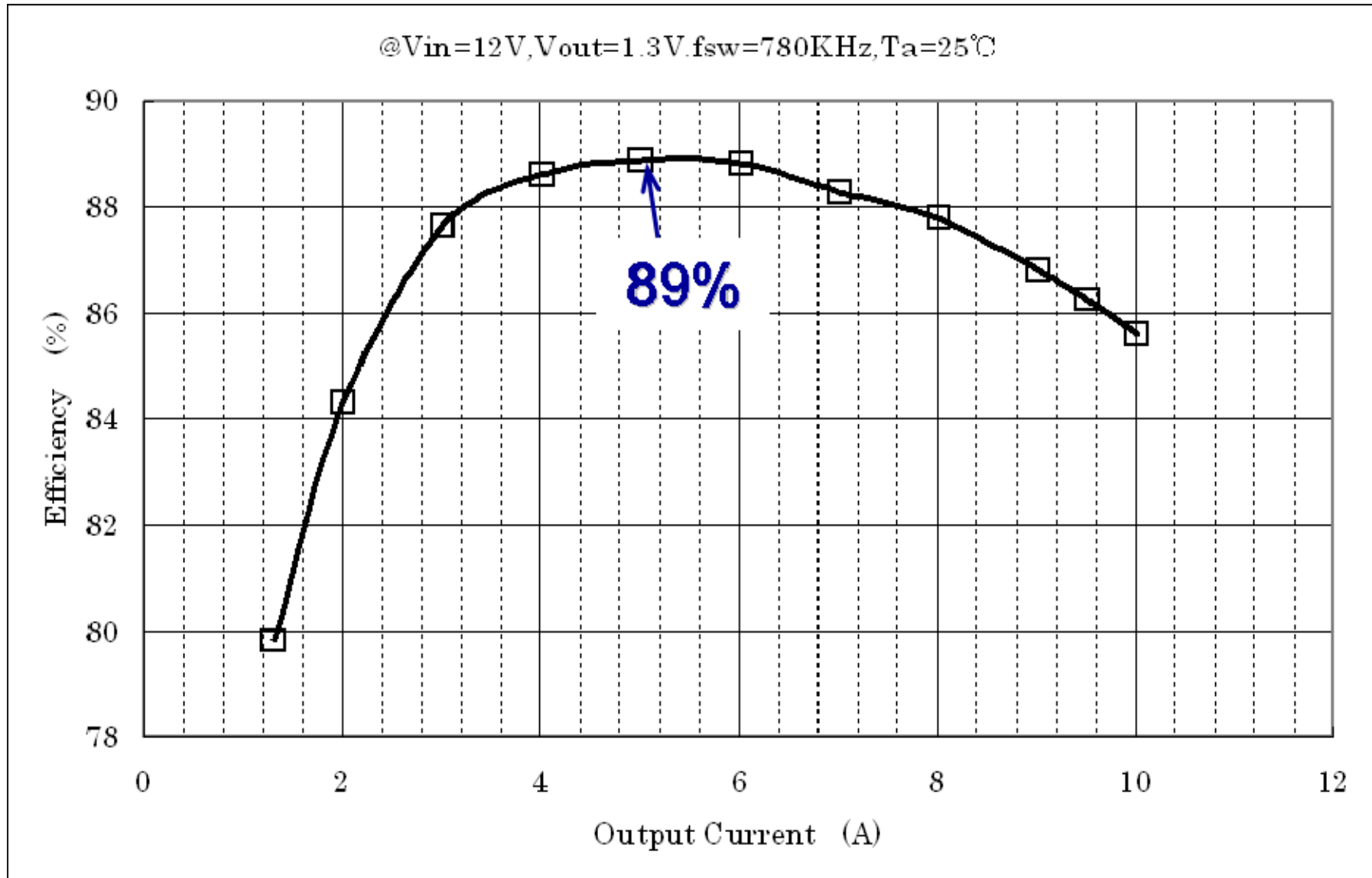
(@Switching frequency=780KHz, Input Voltage=12V, Load resistance=1.2Ω)

# Switching waveforms





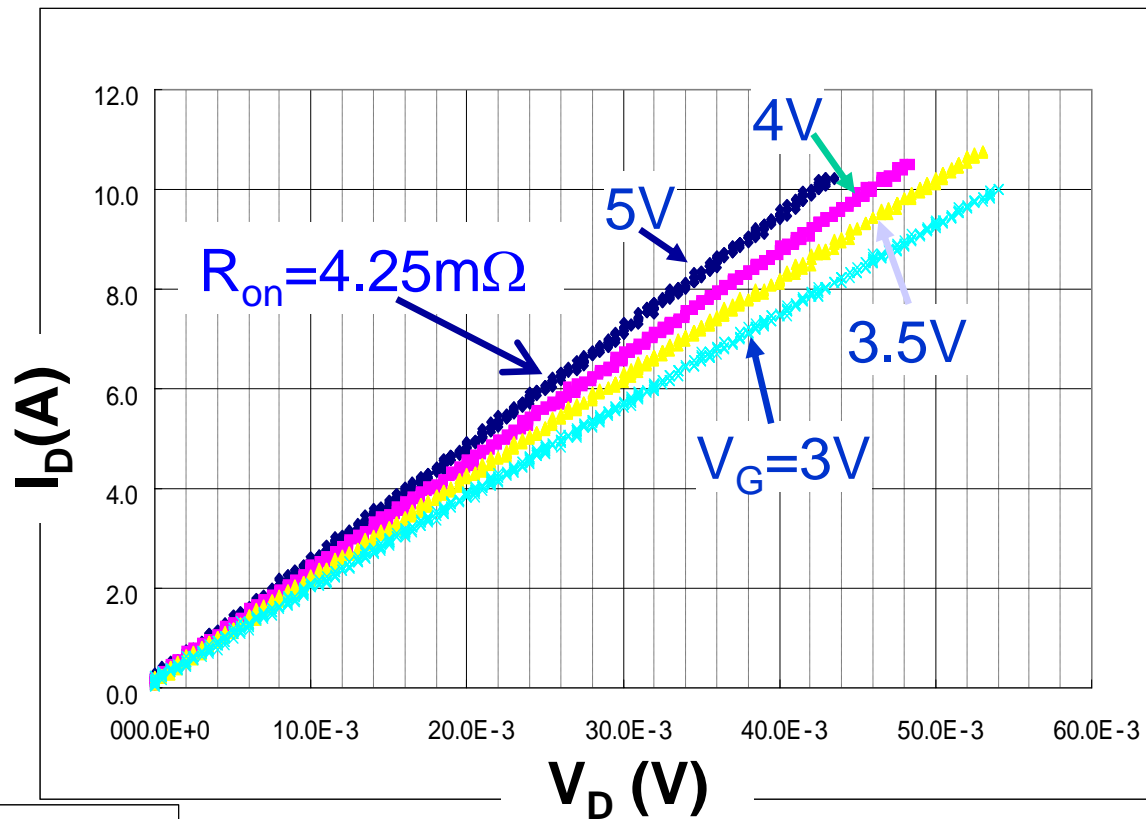
# Measured efficiency vs. output current



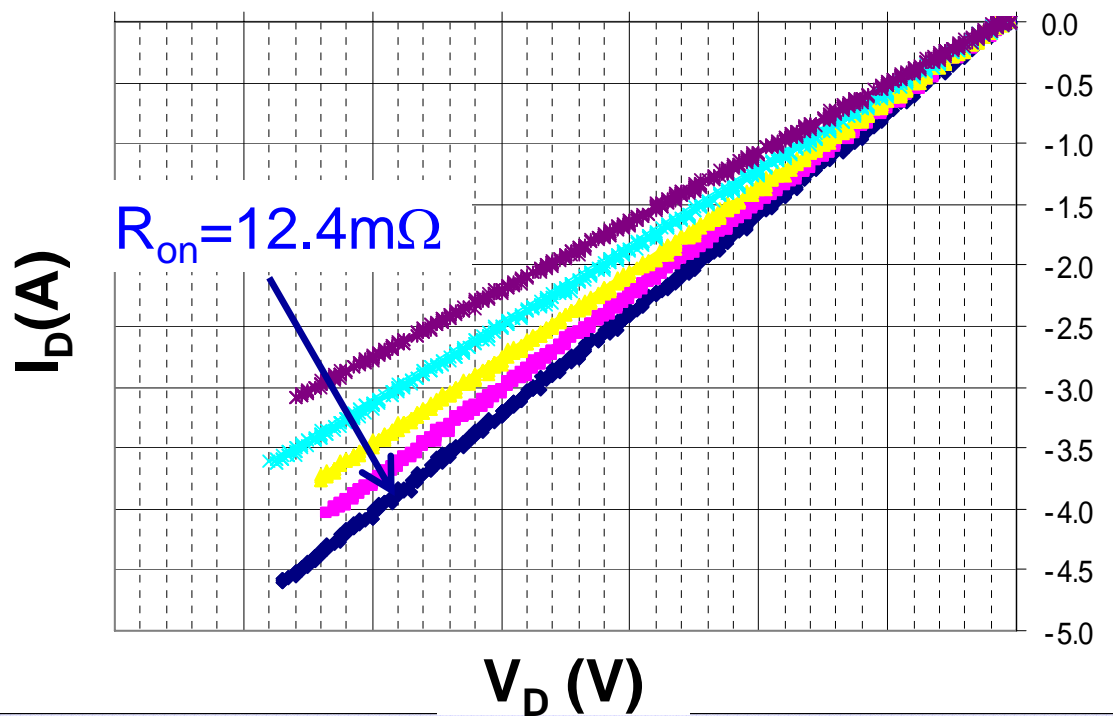
# 5V NchMOS

Area 3.61mm<sup>2</sup>

R<sub>on</sub>A 8.1mΩmm<sup>2</sup>



-70.0E-3 -60.0E-3 -50.0E-3 -40.0E-3 -30.0E-3 -20.0E-3 -10.0E-3 000.0E+0

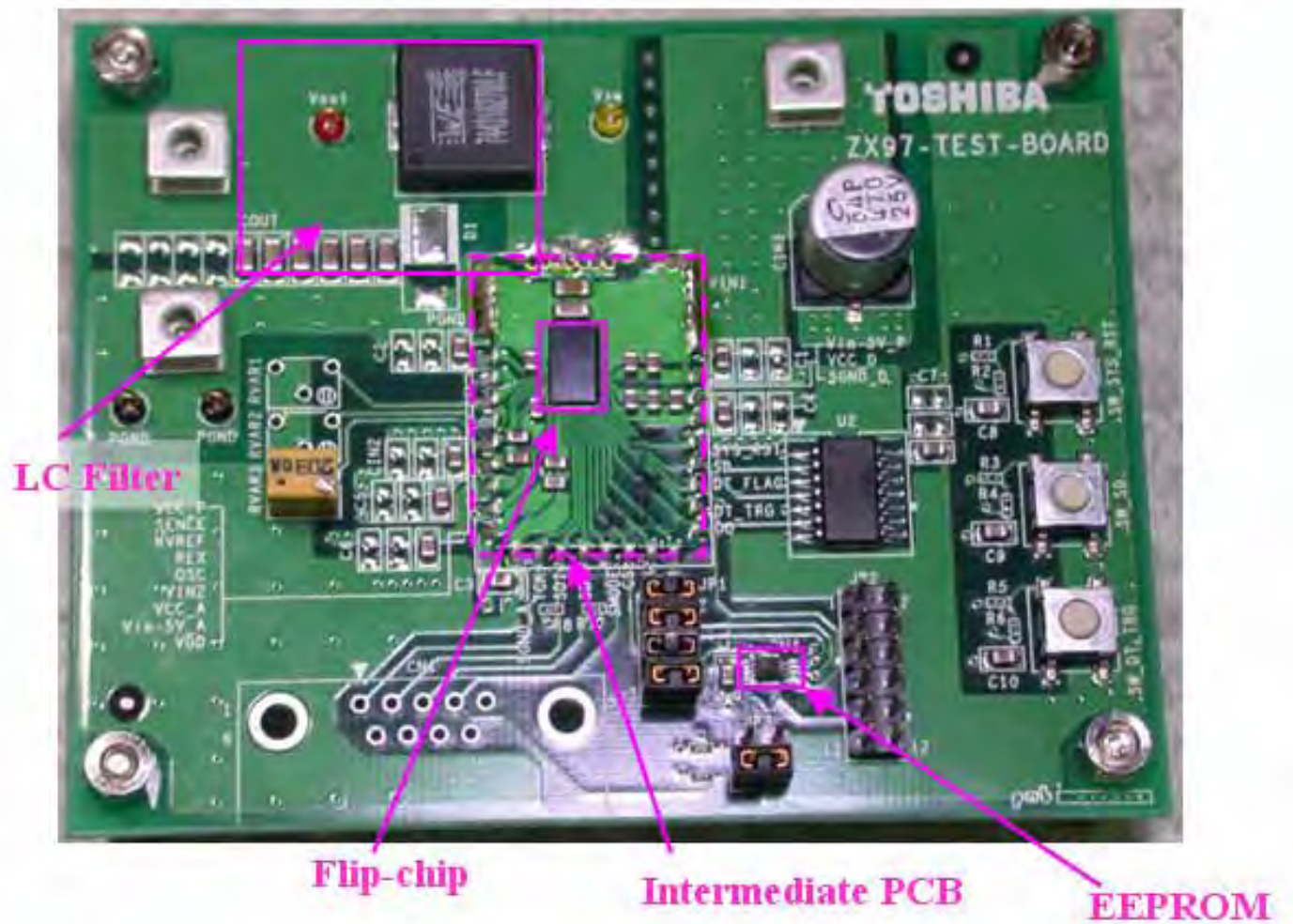


# 5V PchMOS

Area 3mm<sup>2</sup>

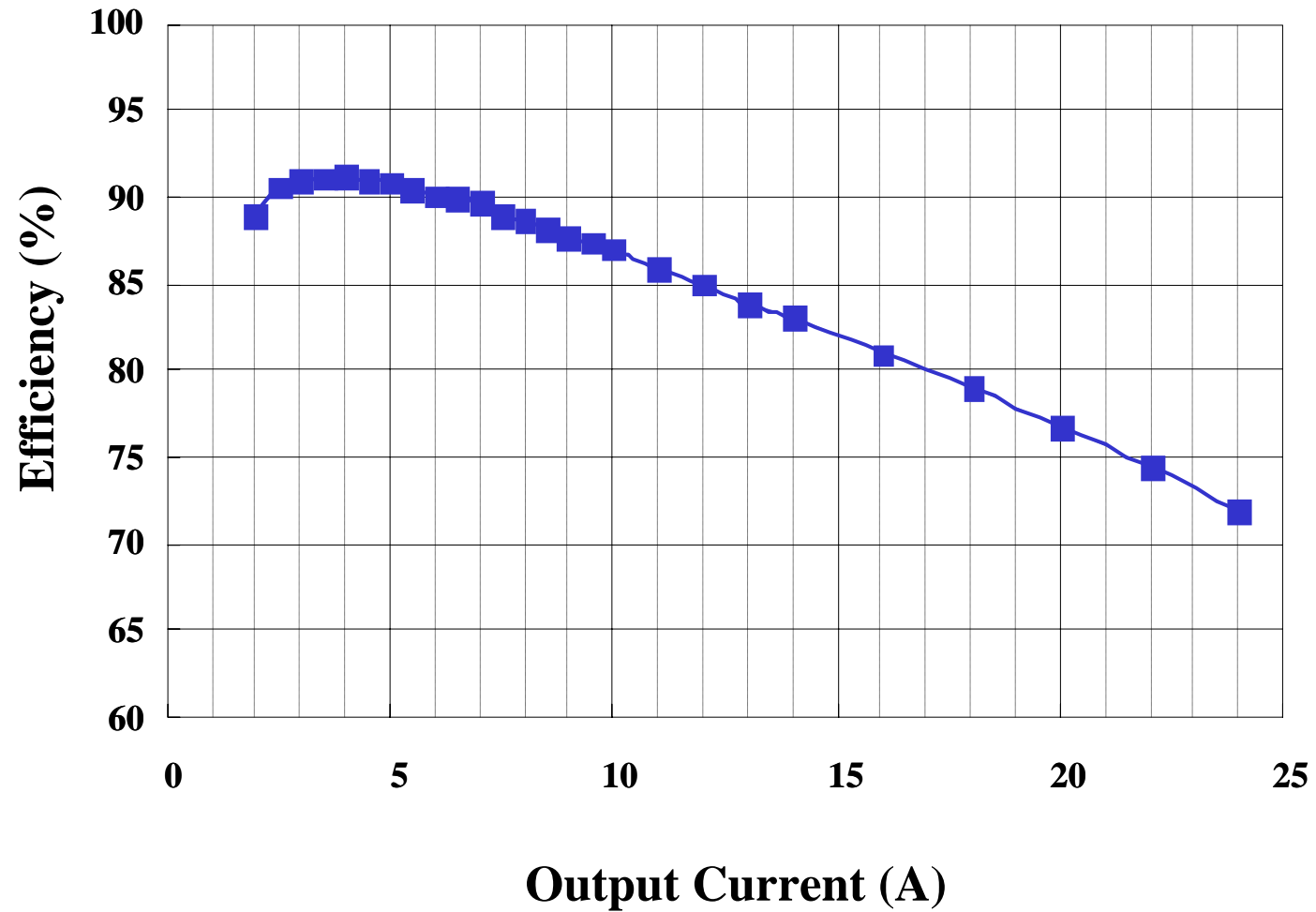
R<sub>on</sub>A 30.5mΩmm<sup>2</sup>

# Evaluation PCB Board



# 20A operation

$V_{in}=5V$   $V_{out}=1.083V$   $f_{sw}=980kHz$





# Evolution to PwrSoC

Passive Component Size Reduction  
with Increasing Frequency  
Enables Functional Integration

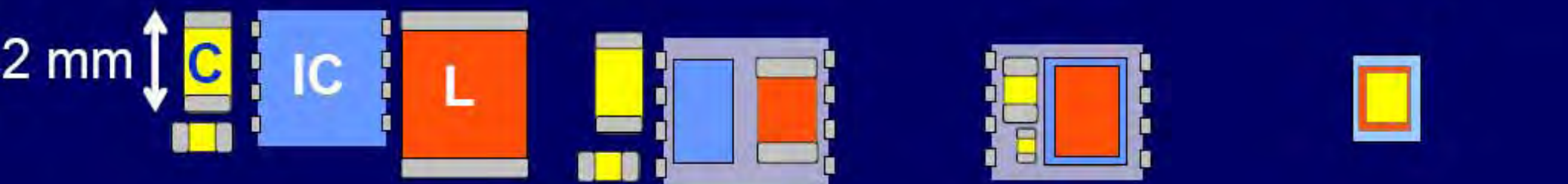
Frequency:

2 MHz

8 MHz

> 20 MHz

~50MHz+



Height:

< 1 mm

< 1 mm

< 0.8 mm

< 0.6 mm



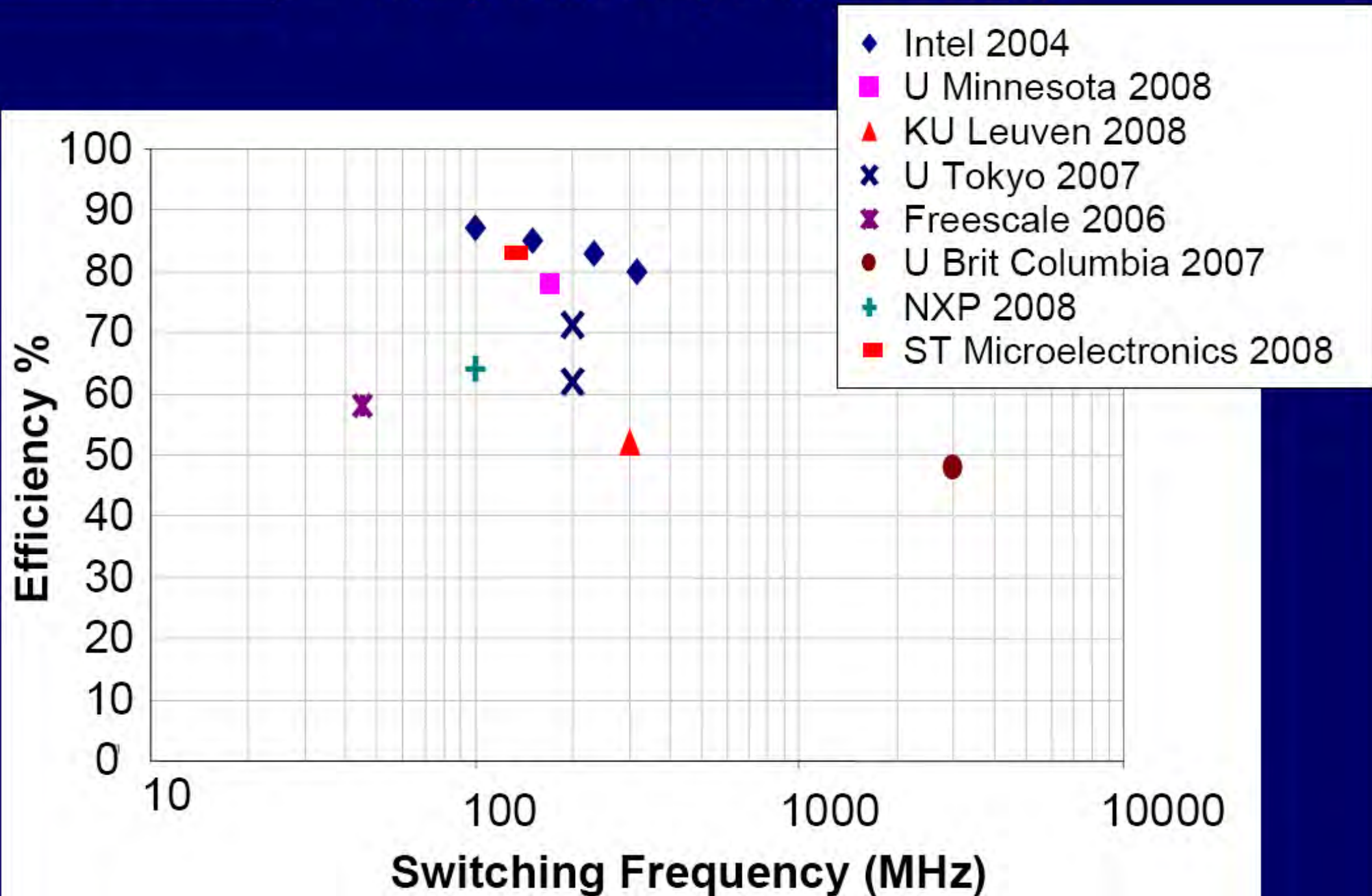
Discrete  
components on  
PCB

Co-packaged  
IC + L

Stacked  
IC + L  
Co-packaged  
C

Chip  
Scale  
Package

# Multi-MHz Switched-Mode Converters on System ICs (350nm to 90nm)



# 概要

1. パワーデバイス開発の経緯

2. 将来技術

- ・ Silicon limit characteristics of IGBT
- ・ Ideal switching in power MOSFET
- ・ 20A single chip DCDC converter
- ・ デジタル電源

# 電源開発の背景

地球温暖化の対策が求められており、すべての電子機器の消費電力の削減が求められている。

この対策には

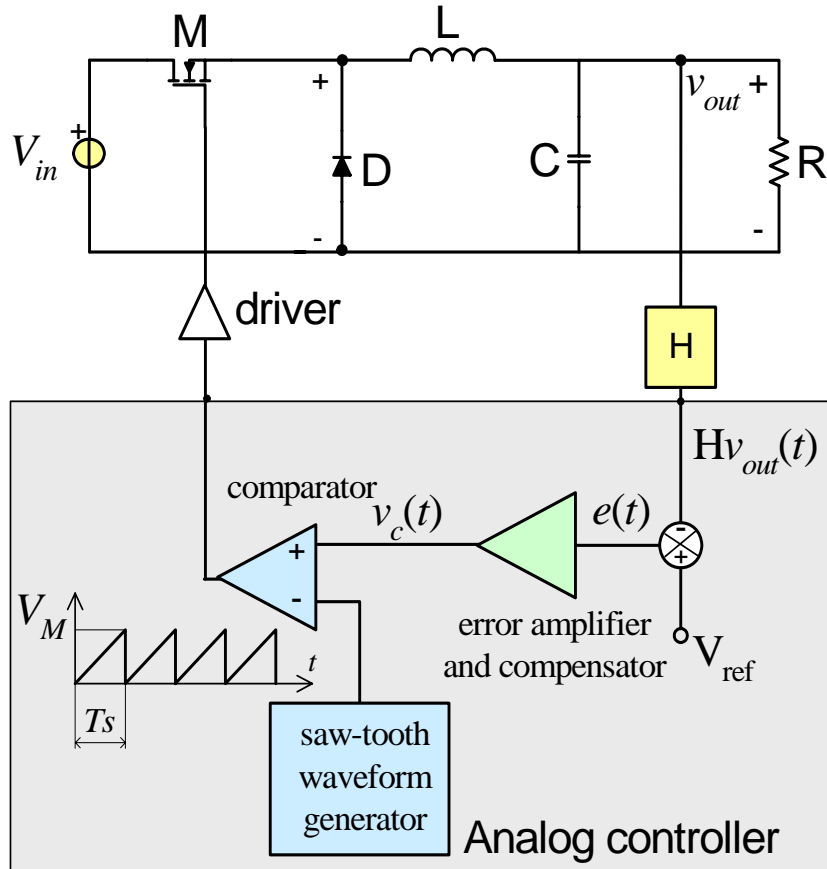
- (1)半導体素子の高性能化
- (2)システムレベルでの消費電力削減

- (1)は低消費電力LSI、高性能パワー素子 (SiC、GaN)  
高効率電源 (DCDC & Inverter)
- (2)は負荷に応じたシステムレベルの電力最適化  
(デジタル通信によるフィードバック系)



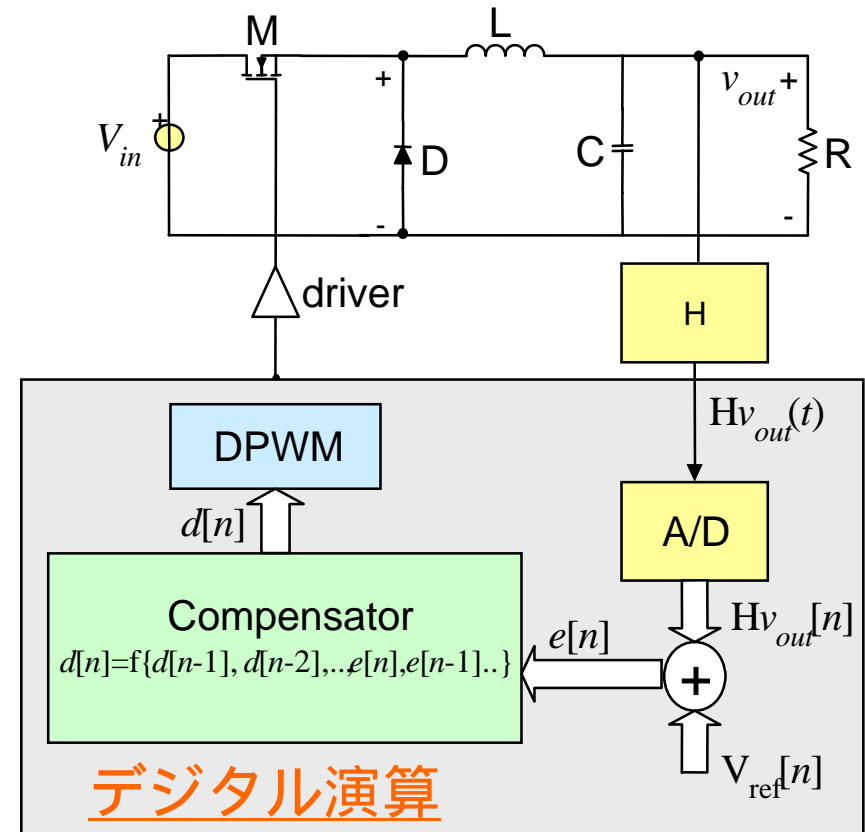
# デジタル電源とは？

## アナログ



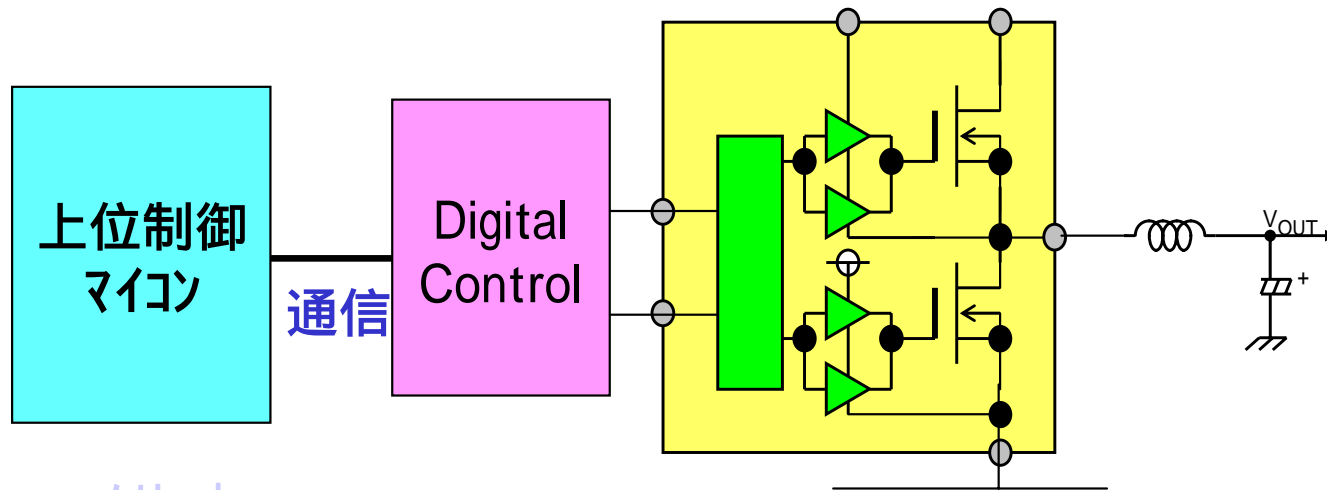
エラー量を増幅し、それに比例してオンする時間を増やす制御

## デジタル



出力電圧をA/D変換、エラー量から演算でオンする時間比率を求めDPWMでパルスに変換

# デジタル制御のメリット/デメリット



## メリット

- プログラマブル (出力電圧可変など)
- デジタル通信でダイナミックに特性変更  
状態モニター、部品寿命予測が可能
- 再現性、温度変化が小
- 高度な制御が容易      電源の特性向上
- 外付け部品なし
- デザインルール変更など移植性が良い
- CMOSスケーリング則が適用可能
- アナログの職人芸不要 (RTLで自動設計)

## デメリット

- ✓アナログより微細CMOS必要
- ✓データ保持が必要
- ✓現状は消費電流大

# デジタル電源の利点

## (1) 電源性能向上

- アナログ電源を超えるパフォーマンス

- 容易なセット開発

アナログ電源の職人芸が不要

- 環境変化に対する自律制御

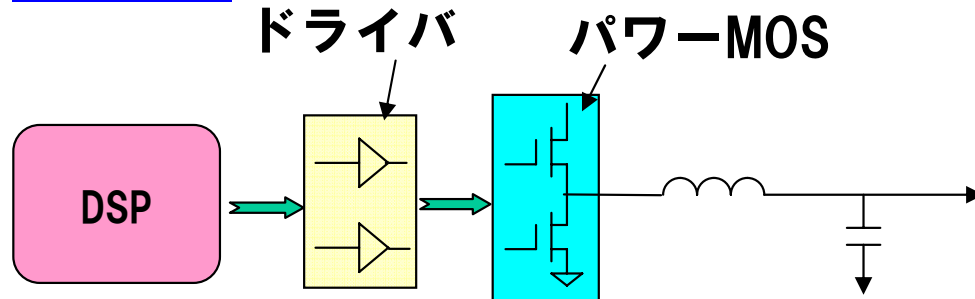
- 高度なパワーマネジメント

## (2) システムレベルでの電力削減

- デジタル通信によるシステムレベルでのパワーマネジメント

# デジタル電源に二つの方式

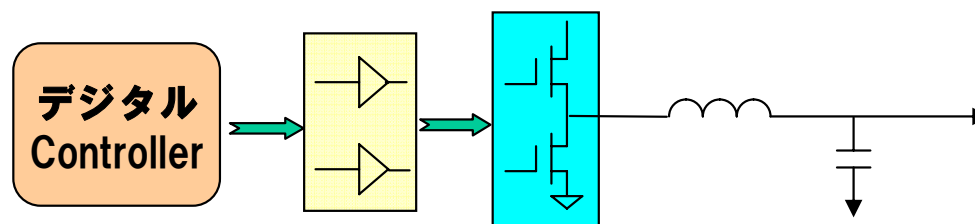
## DSP方式



TIの方式、一定の評価

- (1) 手作的少量生産の大型電源設計に革新
- (2) 待機時消費電力大
- (3) ソフトウェア必要

## 非DSP方式（専用デジタルコントローラ）

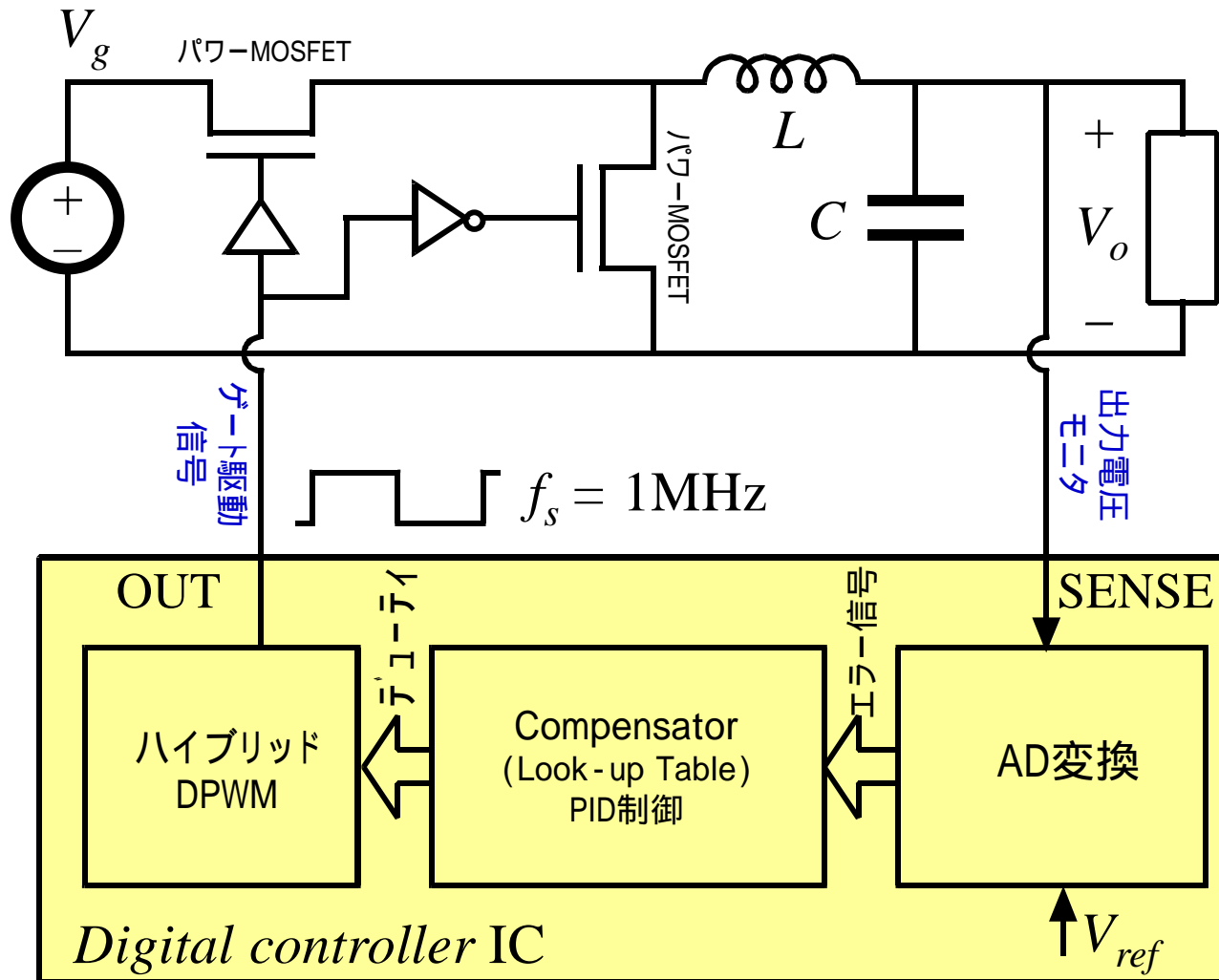


固定回路デジタル方式

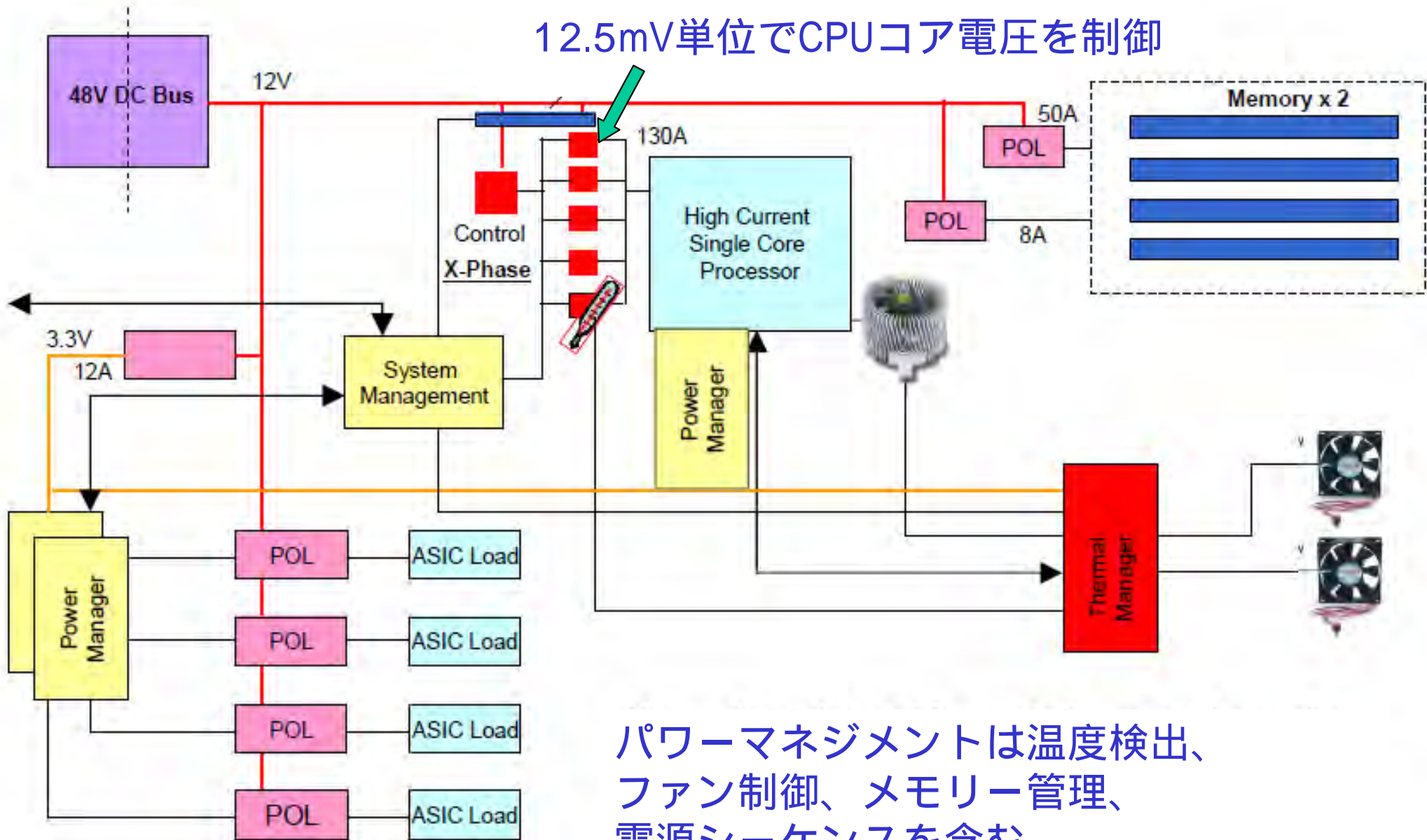
Primarion、PowerOne  
SilkerLab、LinearTech他

- (1) 専用ロジック演算を使うことで**高速、低消費電力**を狙う
- (2) チューニング用テーブルでプログラム可能
- (3) 安価、ソフトは小規模

# 基本的なデジタル電源の構成

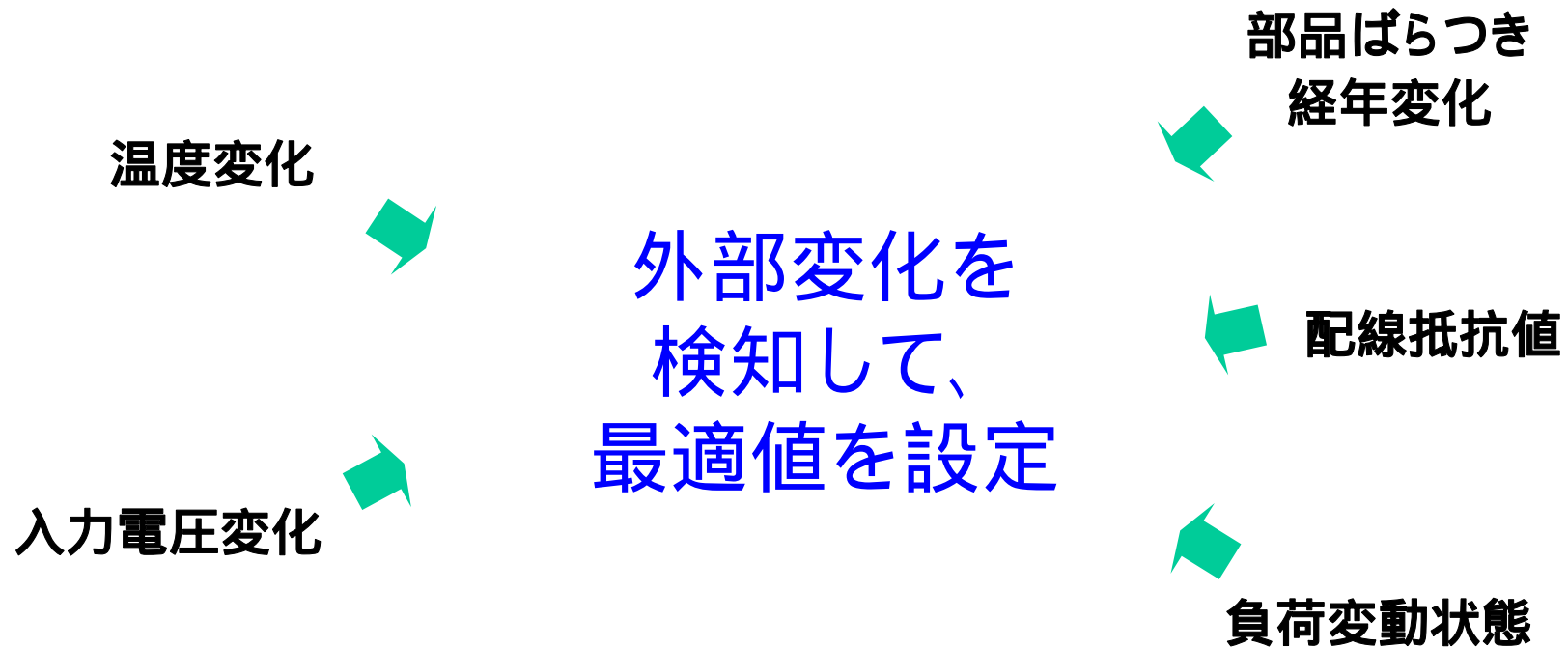


# サーバーでのパワーマネジメント

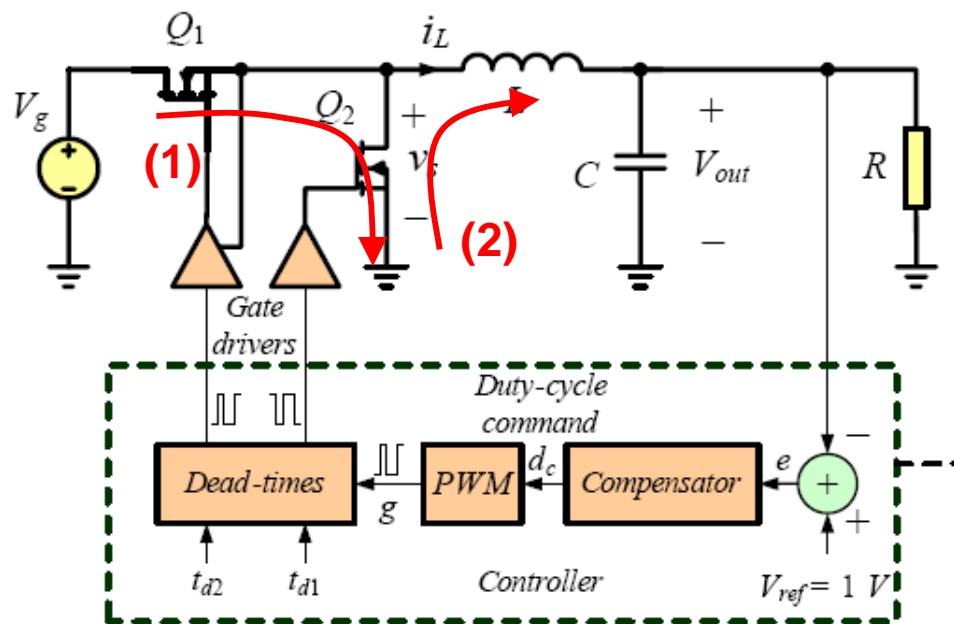


パワーマネジメントは温度検出、ファン制御、メモリー管理、電源シーケンスを含む

# 環境変化に対する自律制御



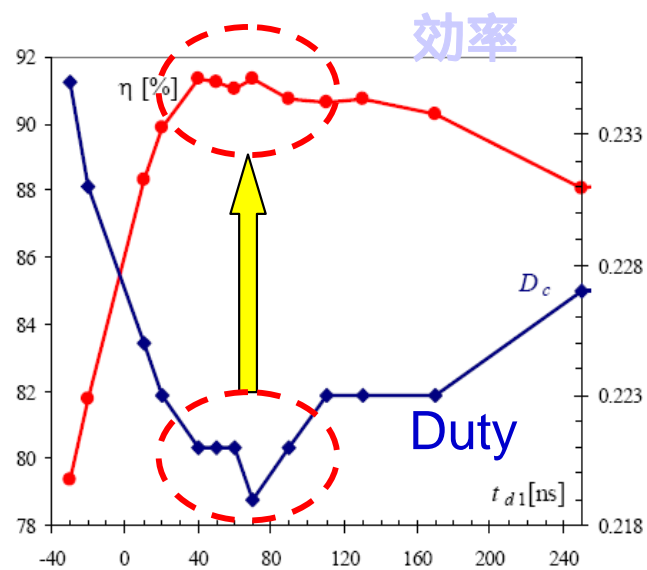
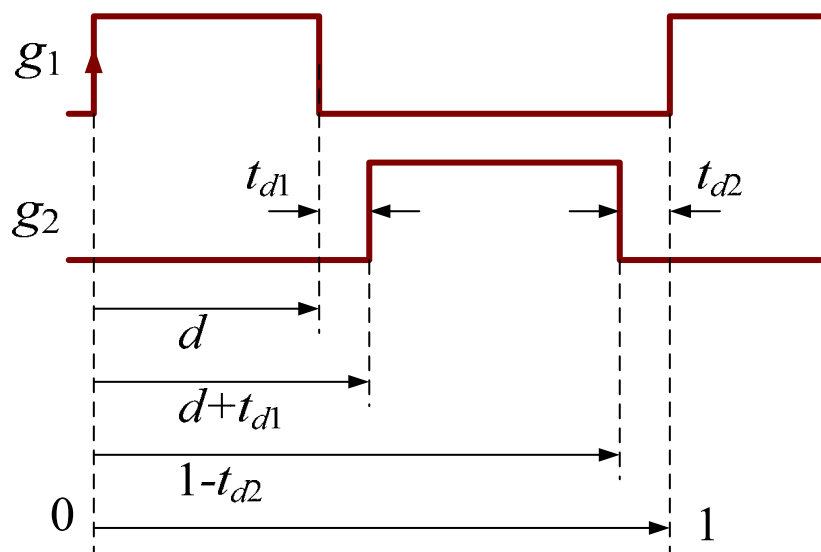
# センサレス dead-time 制御 (CoPEC)



・ 安全のためQ1, Q2 双方OFFの期間 (dead-time)を設ける。

・ Dead-timeではQ2のBody DiodeがONしてロスになる。

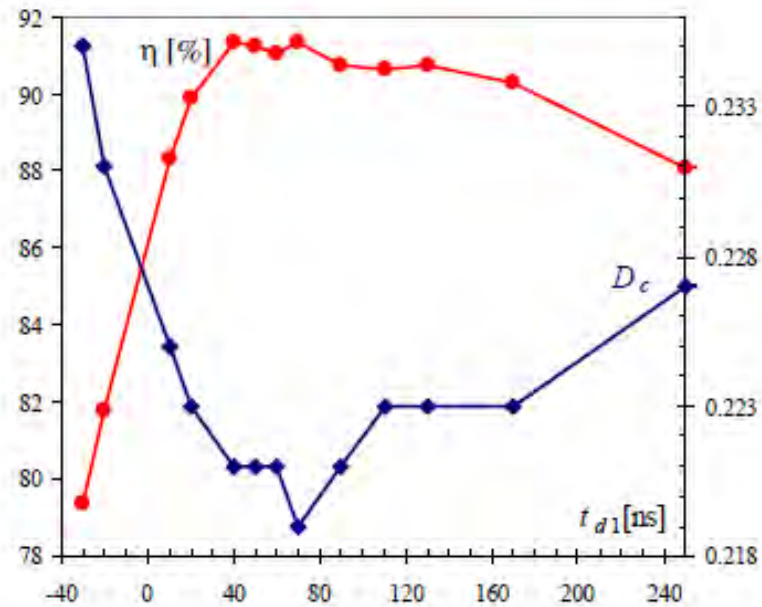
アナログでdead-timeを最適化するには回路の追加とばらつきが問題。



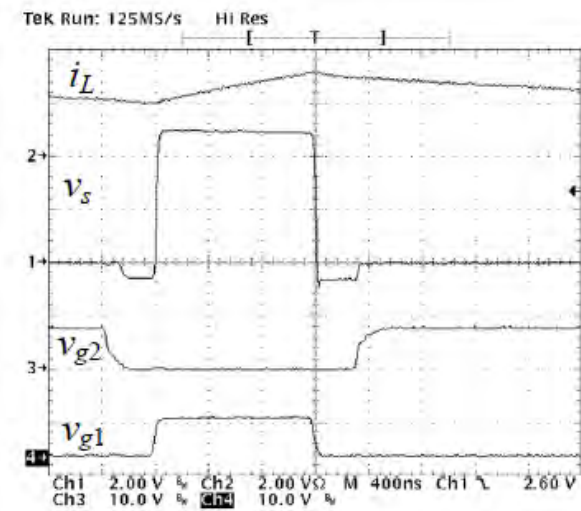
Dead Time



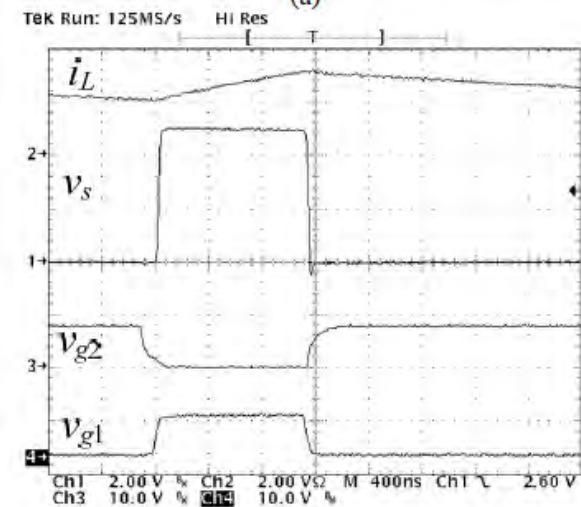
# Experimental results



Measured efficiency and duty-cycle pulse



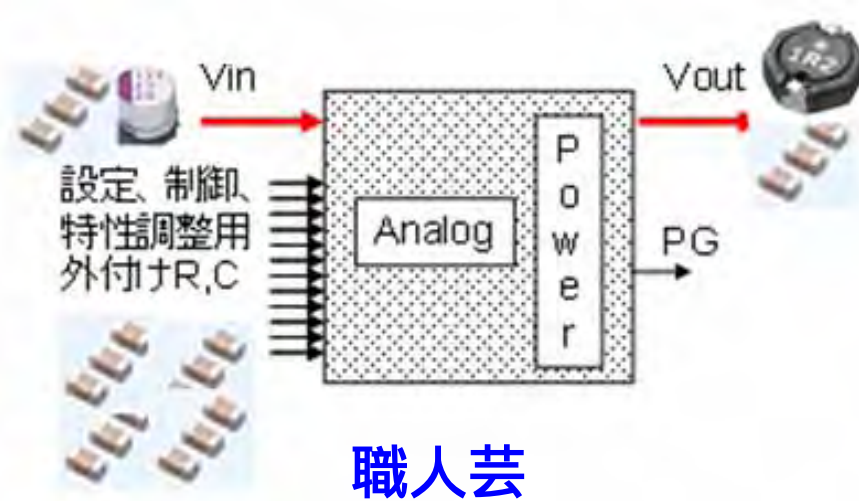
(a)



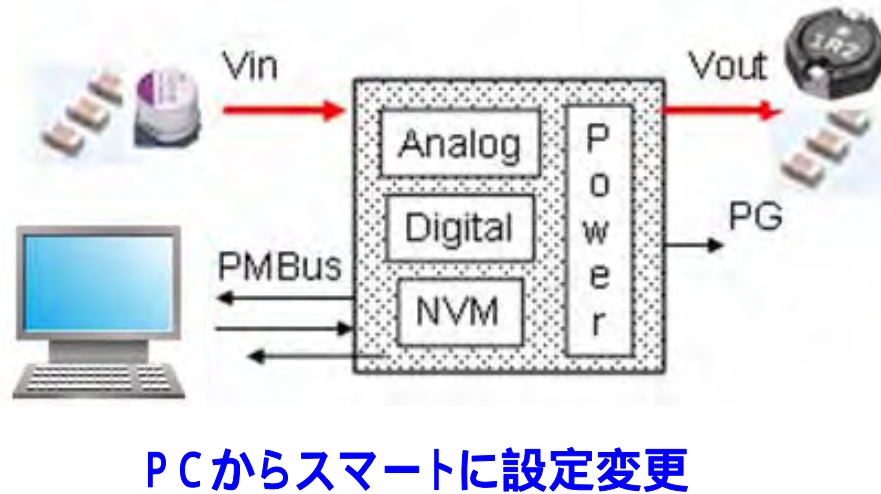
(b)

# 容易なセット開発

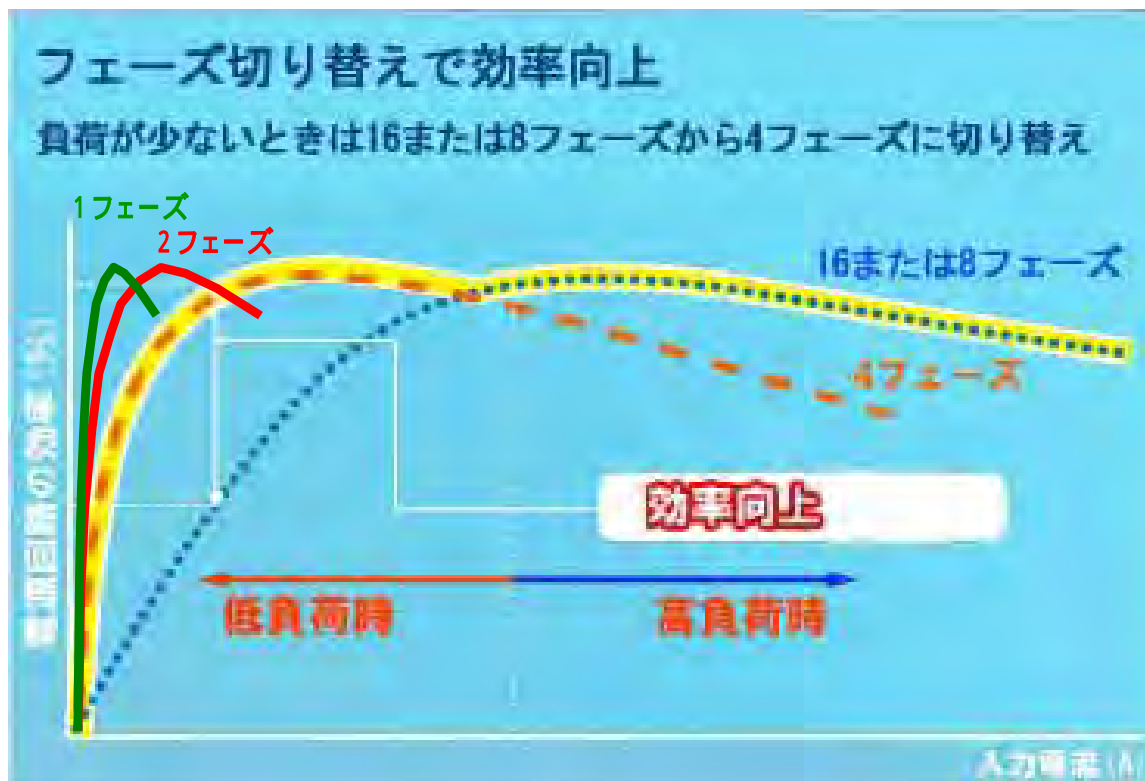
アナログ



デジタル



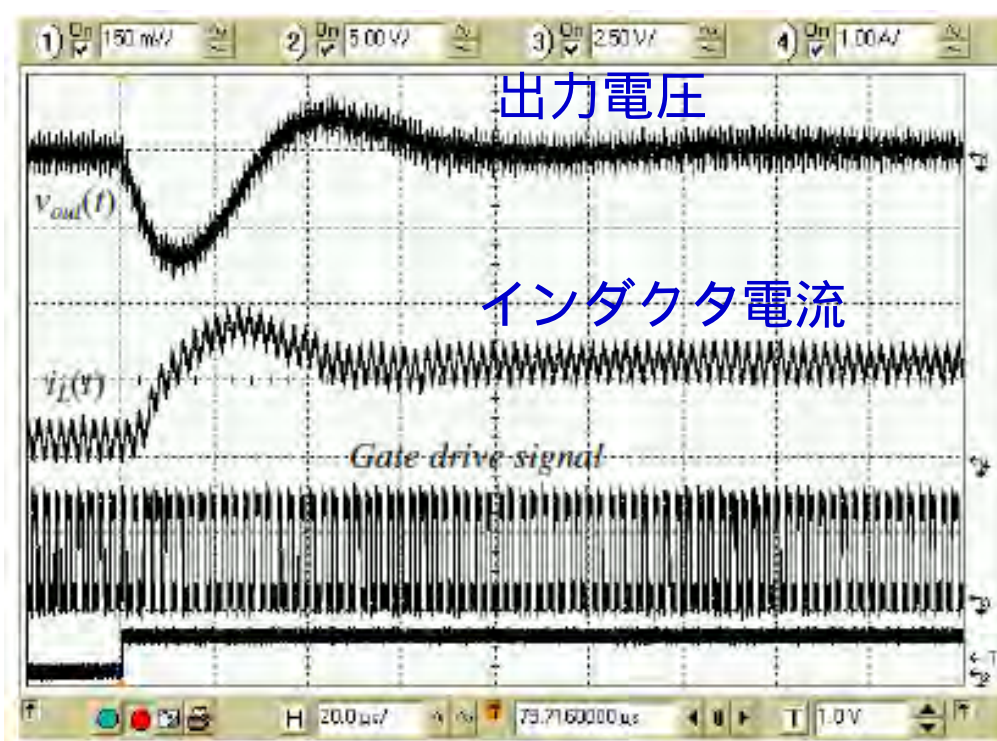
# 高度なパワーマネジメント



# アナログ電源を超えるパフォーマンス

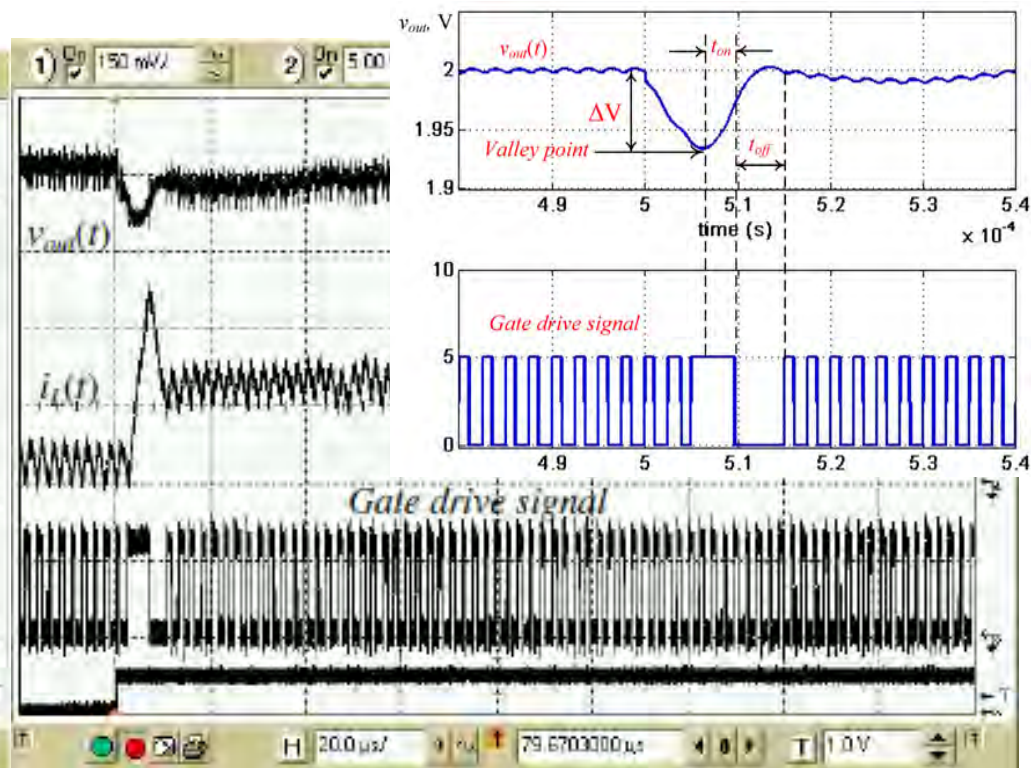
## 超高速負荷応答(トロント大)

従来制御



修正を繰り返して定常状態に

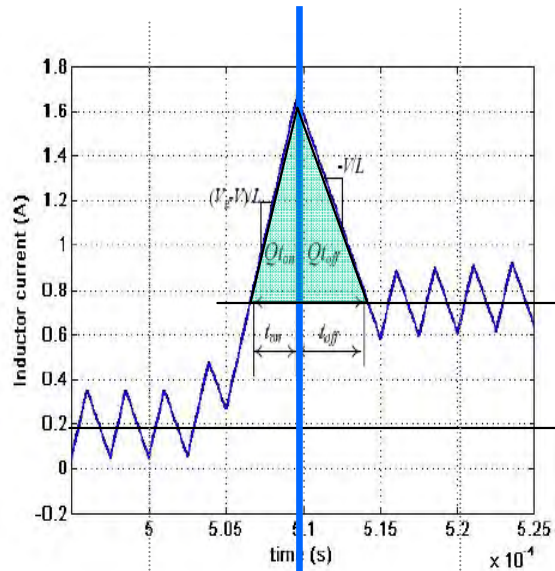
直接最適解を求める



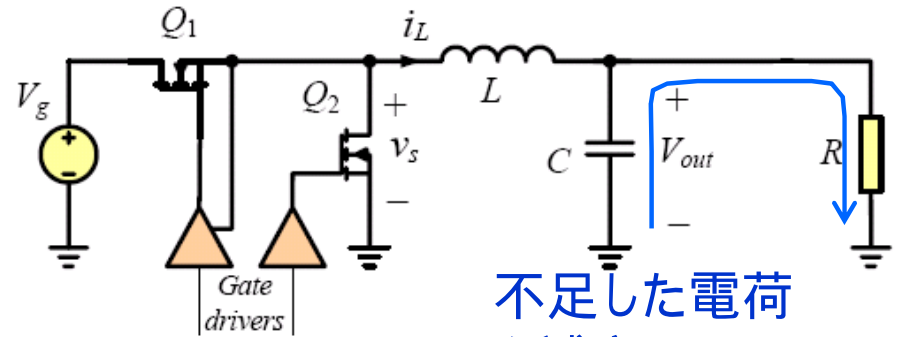
1回の修正のみで安定化



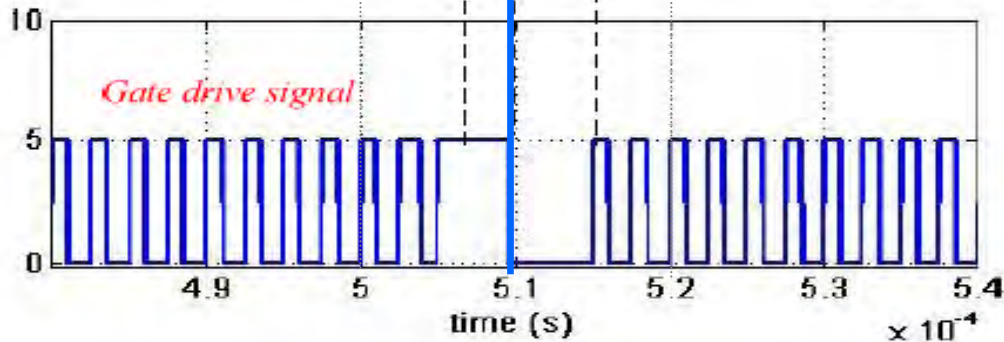
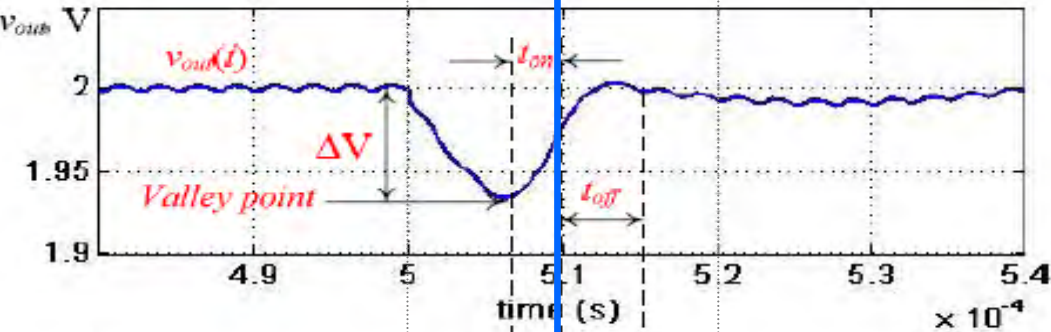
# 超高速過渡応答



↑ 負荷電流増加分



不足した電荷を補充



不足電荷  $Q = C\Delta V$

新しいことに着手してみよう。

思いがけない新しい発見がある。

試行錯誤を繰り返すうちに

新しい解にたどり着く。

小さな新しいことをたくさん繰り返せば

大きな飛躍になる。

新しいことはとにかく早く始めてみよう。

完