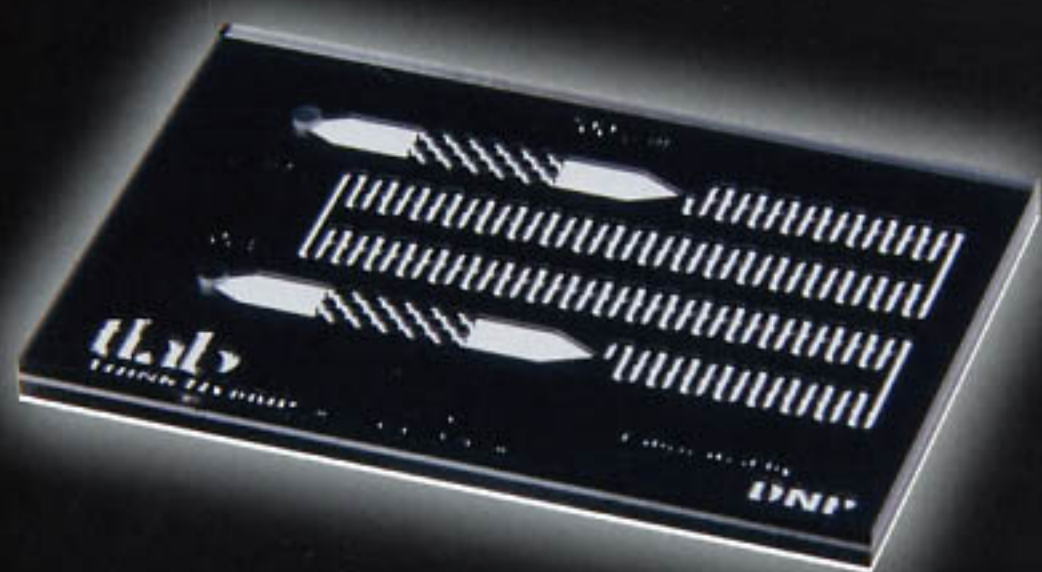


半導体就職読本2008

未来を切り拓く 半導体技術



日本の“コラボレーション”
が始まる

半導体理工学研究センター (STARC)
代表取締役社長&CEO 下東 勝博 氏

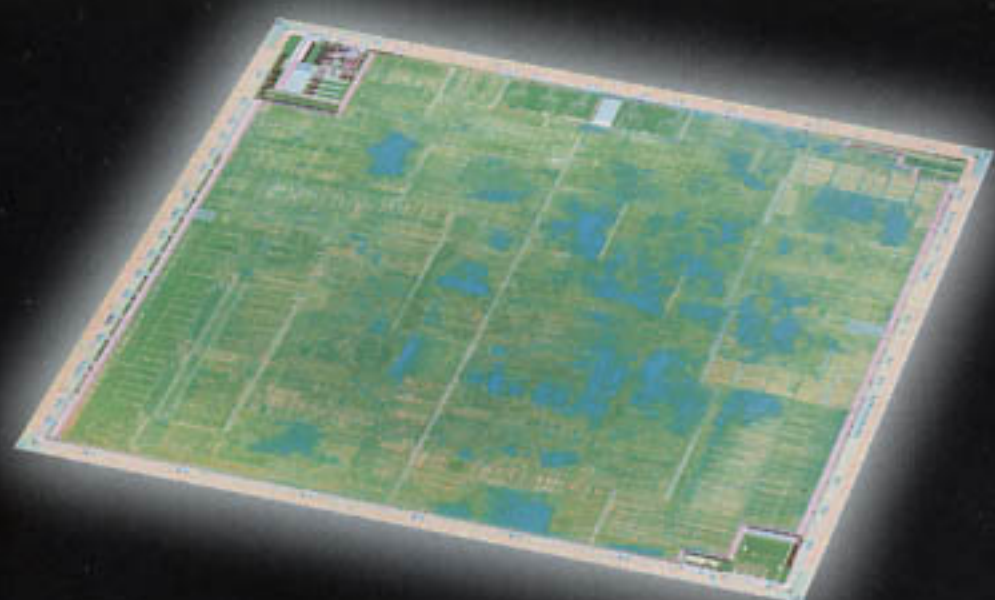
テクノロジーとサイエンス
が同時に進化

東京工業大学 教授 益 一哉 氏



環境対策で半導体の
進化は欠かせない

東芝 執行役専務
電子デバイス事業グループCEO 室町 正志 氏



協力：半導体理工学研究センター (STARC)

NIKKEI
MICRODEVICES 特別編集版

研究室紹介◎堀田研究グループ ナノメータ技術を考慮した 集積化アナログ回路技術の研究

武蔵工業大学
知能工学部情報ネットワーク工学科 教授

堀田 正生

2002年の「International Solid-State Circuits Conference (ISSCC)」で“Does Moore's Law Apply to Analog?”というパネル討論が行われ、そこに筆者がパネリストとして参加した。これまで、アナログ回路は回路性能からデジタルのように素子微細化の恩恵を直接受けにくく、小さくできないというのが一般的な考えだったが、本当にそうなのかをコストに厳しい民生応用の代表としてビデオ用10ビットA-D変換器の面積推移を調べてみたところ、見事にデジタルのゲート面積の低減率と同じ傾向を示していた。

これは、アナログだから面積が大きくて良いということは経済的に許されず、新しい回路方式の開発など、アナログ技

術者の努力によりデジタルと同じようにチップ面積の低減が図られてきたということが分かる。これからのさらなる微細化に対してもこの傾向を維持していくためには積極的に微細素子を用いていくことが必要になる。ところが、MOSトランジスタは微細化に伴い、出力抵抗の低下による増幅率の低減や、ミスマッチの増大、電源電圧の低下によるダイナミックレンジの減少など、アナログ回路の性能維持が難しくなってくる。これらの問題を解決し、微細素子をアナログに適用できる技術を開発することがアナログ・デジタル混載LSIのコスト低減や低消費電力化につながる重要技術と考え、STARCとの共同研究テーマとして提案した。

STARCとわれわれの共同研究は2006年度から始まり、2007年度が2年目で折り返し地点を過ぎたところである。定期的に客員研究員の皆様と議論し、産業界にとって現実的な問題を適確にとらえ、「半導体産業に役に立つ」を基本方



写真◎武蔵工業大学 堀田研究グループ

針に研究を進めていこうと考えている。

研究グループ紹介

この研究は武蔵工業大学と群馬大学との共同チームで行っている。群馬大学工学部電気電子工学科の小林春夫教授、高井伸和講師、傘昊助教、それに筆者を主なメンバーとし、それぞれの研究室の学生が加わって共同研究を進めている。両方の大学の研究室の学生が参加していることから、大学院生が25人、学部4年生が15人という大所帯で、学生はそれぞれのテーマを持って研究に当たっており、研究打ち合わせはまるで研究会での発表のようである。

また、設計環境の構築や教育も高井先生のご好意で両方の学生向けに行っていただくなど、異なる大学の学生が一緒になって研究を進めている。お互いの発表に対してそれぞれの先生方や客員研究員の方々からのいろいろなご指摘やご助言をいただいて、単一の研究室で

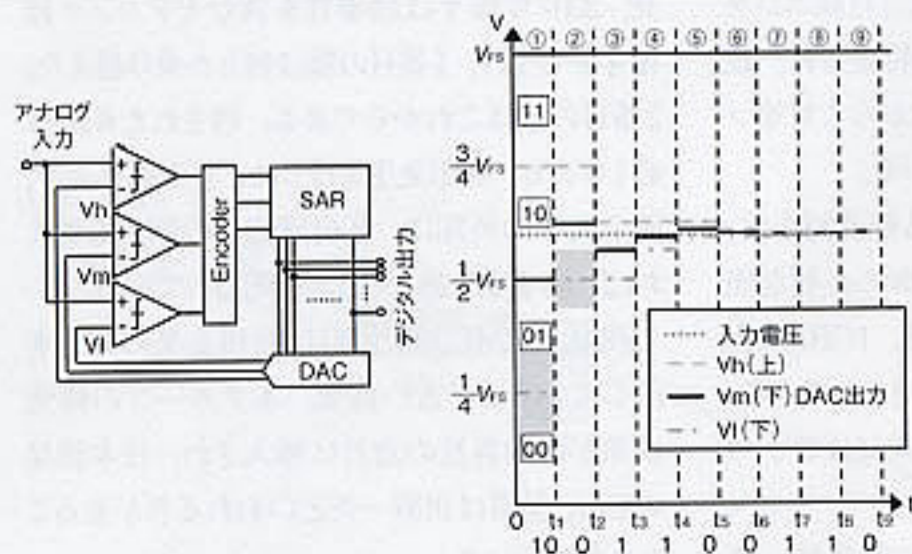


図1●マルチレベル逐次比形AD変換器の構成とタイム・チャート

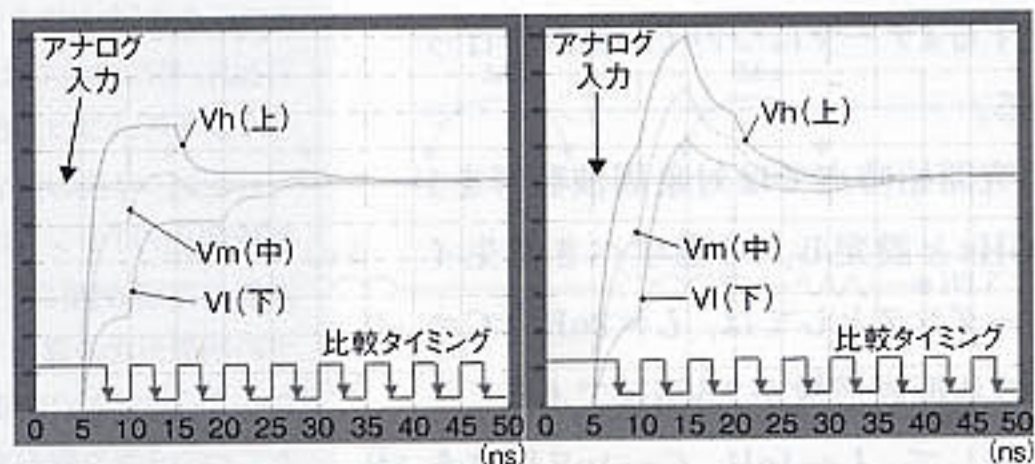


図2●MATLABによる整定時間シミュレーション結果

は味わえない貴重な経験が得られる共同研究となっている。

STARC 共同研究テーマ

本研究の目的は、前項で述べたように、90nm 世代以降で顕在化するMOSトランジスタのアナログ性能の劣化に対応する技術を開発することである。アナログ・デジタル混載システムLSIで重要な要素回路であるA-D変換器を対象に次の三つのテーマで研究を進めている。

(1) 逐次比較形A-D変換器の小型化・高速化の研究：逐次比較形A-D変換器は従来10～14ビットで1～10Msps程度の性能であり、原理的に変換に時間がかかるという問題があるが、高精度の増幅器を必要とせず、精度を問わない比較器で実現できるという特徴を有している。方式としては昔からあるものだが、微細化プロセスに適応できる方式として最近見直され、注目を集め出したものである。われわれも、変換時間を短縮する新たな方式を提案しその可能性について検討を進めている。それは図1に示すように比較器を3個用い、3レベルの参照電圧のどの領域に入力電圧があるかを順次領域を狭めながら探索していく方法である。この方式では仮に領域の判定を間違えても後段でその補正が可能になるために大きな冗長性を持たせることが可能になる。そのため、D-A変換器が十分収束しなくとも比較が行えることから従来に比較して高速化が図れるというものである。その様子を図2に示した。試算では10～14ビットA-D変換器で従来の3～4倍の高速化が図れることになる。

(2) デジタル雑音相殺技術の研究：アナログ・デジタル混載LSIにおいて、デジタル部から発生するデジタル雑音は微

小なアナログ信号を扱う場合に大きな障害になってくる。特に、微細化が進むに連れて混載するデジタル部のゲート数は増大するとともに、電源電圧の低下に伴いアナログのダイナミック・レンジが縮小しSN比の劣化が問題になってくる。

従来、デジタル雑音に関しては、基板を介して混入する基板雑音の研究が多く進められているが、その低減方法に関しては一部報告があるのみとなる。実際のデジタル雑音は基板だけでなく電源やグランド線を介しても混入するので、それらを包括的にどのようにして低減するかが今後の大きな問題となる。その解決方法について検討をしている。

(3) 高速A-D変換器のクロック・ジッタの影響低減技術に関する研究：高速のA-D変換器においては入力周波数が高くなるにしたがい、クロック・ジッタによりSN比が劣化する。クロック・ジッタを小さくすることが必要になるが、微

細化に伴い電源電圧が低下するとクロック発生器でのジッタが大きくなり問題となる。そこで、ジッタを測定してA-D変換値を補正する方法やジッタの影響を平均化する手法など、クロック・ジッタの影響低減技術を検討している。

このSTARCプロジェクトが始まってあと数カ月で2年になるが、定期的開催される打ち合わせにおいて客員研究員の方々から産業界の実情の観点から適切なアドバイスと研究のステアリングをしていただいた。集積回路の研究はまさに実学の研究であり、物になって初めて価値のあるものだという事をIC設計が初めての学生に切実に伝わったということが本当に意義深いものであると実感している。益子耕一郎上級研究員、松浦達治客員研究員、阿部彰客員研究員、八木勝義客員研究員ならびに途中交代されたが近藤守客員研究員にはこの場を借りて心よりお礼申し上げます。

客員研究員主査からのコメント

ルネサス テクノロジ
製品技術本部アナログ技術統括部

松浦 達治

集積回路の微細化が進み、集積度が上がるにつれ、システムに必要なアナログ回路をデジタルと同じチップに搭載するシステム・オン・チップの必要性は高まってきている。

本研究では、「ナノメータ技術を考慮した集積化アナログ回路技術の研究」と題して、三つの大きな柱で研究を進めている。(1) 微細プロセスに向けたA-D変換器の小型化、(2) デジタル雑音相殺技術、(3) 高速A-D変換器のクロック・ジッタ影響低減技術、の研究である。

(1)の小型化では、微細プロセスで性能の出ないアンプを避けたA-D変換形式として逐次比較型A-D変換器を選び、その性能を飛躍的に高める冗長変換方式を工夫してパイプラインA-D変換器に匹敵する高速なA-D変換がで

きないかを研究している。

(2)のデジタル雑音相殺技術の研究では、アナログ回路を差動にする以上にデジタル雑音の影響を低減する技術として、デジタル雑音を差動回路で検出して、信号とデジタル雑音両方を含んだA-D変換結果から、相関を使ってデジタル雑音成分だけを差し引く技術を研究している。

(3)のクロック・ジッタ影響低減技術の研究では、分周後のクロックを複数使って複数の信号サンプリングを行い、それを平均化する方法で、クロック・ジッタの影響を低減できないかを検討している。

また研究成果だけでなく、微細化プロセスで問題になるアナログ特性を徹底的に理解した優秀な学生が世に送り出されることも大いに期待できることである。日本発のナノメータ時代に適したアナログ技術が早く実用化できることを期待している。