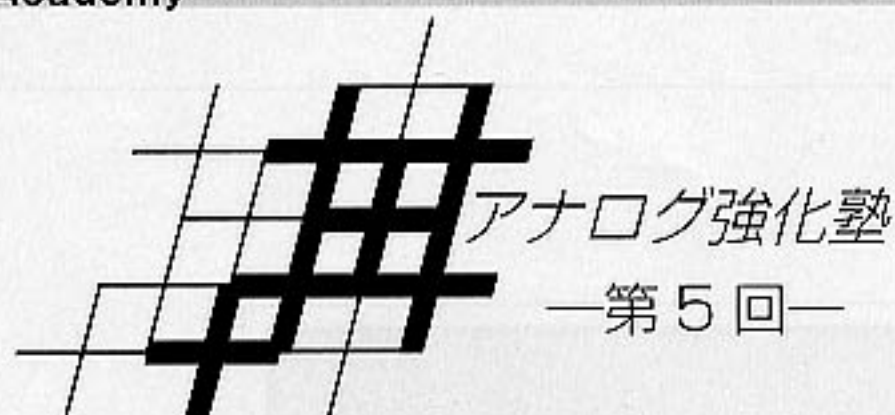


NE ACADEMY

アナログ強化塾 第5回
完全デジタルPLL回路
「ADPLL」を学ぶ
100

計測実践講座 第3回
高周波電力測定の信頼性を
十分に確保できていますか
108

組み込み寺子屋 第6回●プログラミング工程で使うツール
品質を考慮してコードを作成し
実行可能な形式に変換
116



完全デジタルPLL回路 「ADPLL」を学ぶ

無線通信回路の周波数シンセサイザや、マイクロプロセッサの高速クロック生成回路において、必須の回路がPLLである。通常はアナログ回路で実現する。このPLLを、すべてデジタル回路で構成するという設計コンセプトが「ADPLL」だ。実際にADPLLを利用した回路の研究開発を進めている群馬大学の小林氏らが、ADPLLの意義や、構成について解説する。 (本誌)

小林 春夫

群馬大学大学院 工学研究科

壇 徹

三洋半導体

田邊 朋之

群馬大学大学院 工学研究科

最近、回路設計においてADPLL (all digital phase-locked loop) というキーワードを聞くことが多くなってきた。ADPLLは、その名の通り、すべてをデジタル回路で構成したPLLである。特に、微細な設計ルールを用いて製造するCMOS製システムLSIに適した技術と言える。

ADPLLは、元米Texas Instruments Inc. (TI社) のBogdan Staszewski博士によって提案された位相同期回路方式である(図1)¹⁾。無線通信回路の

周波数シンセサイザにおけるキー・テクノロジーであることなどから、各国の大学や企業で活発に研究が進んでいる。これまでも「デジタルPLL」と呼ばれるものがあったが、実際にはかなりアナログ回路が残っていた(図2)。

ADPLLの研究開発には、PLL回路技術に加えてデジタル信号を処理する知識が不可欠である。また、ADPLLの設計思想は、システムLSI内部のほかのアナログRF回路の設計にも示唆を与えるものである。

PLL回路を専門としている日本人の技術者や研究者の方に聞くと、「ADPLLは今後必要な技術だが、直近の仕事で手いっぱい、なかなか着手できない」という声が多い。このため、ADPLLへの理解が不十分で、自社で取り組む余裕がないことから設計会社に開発を委託する、といった例が多いという。

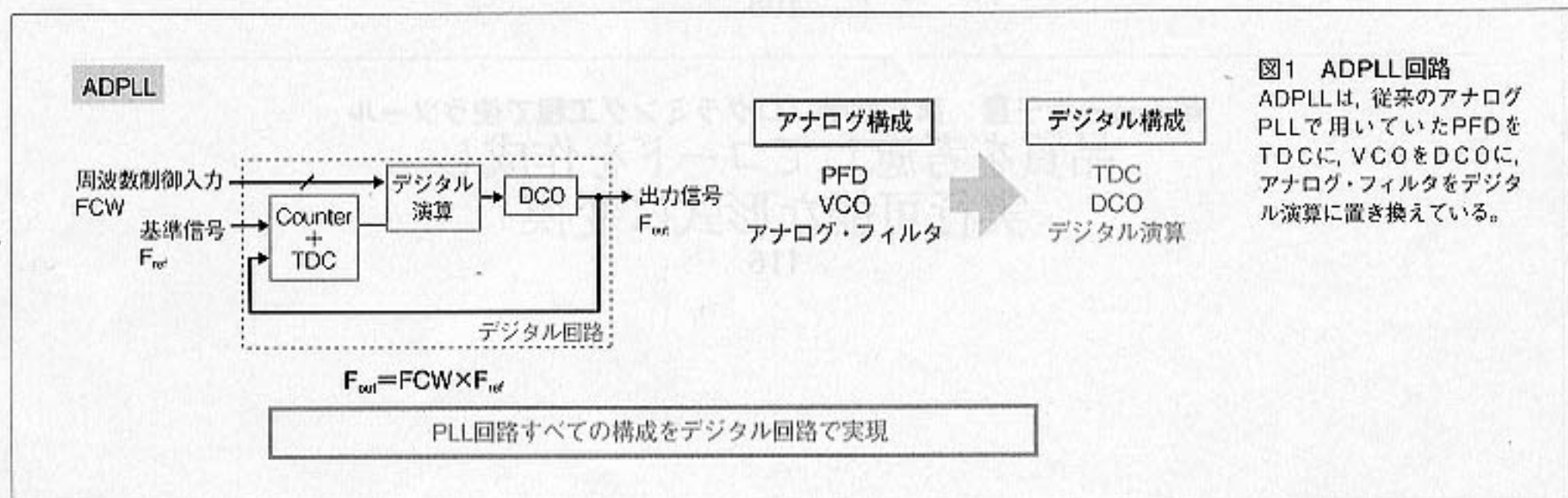
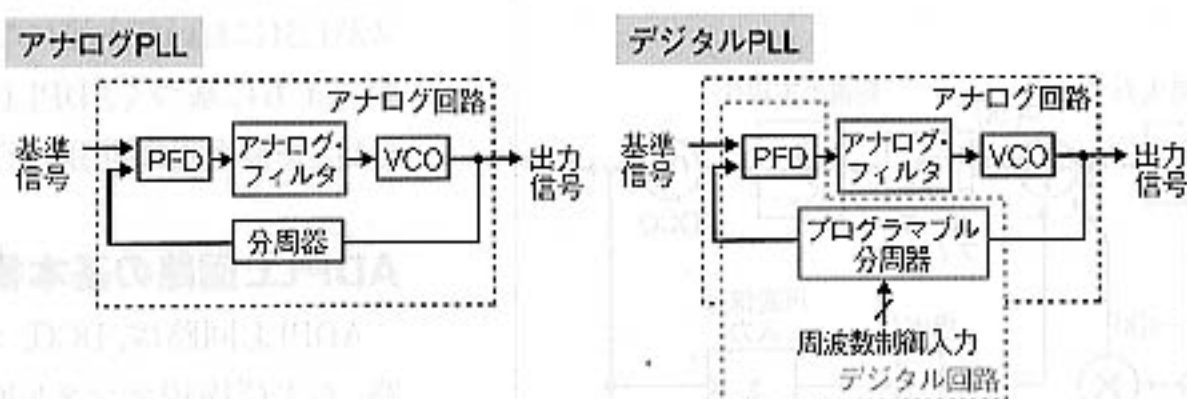


図2 従来のPLL回路

これまではアナログ制御のPLLや、一部(プログラマブル分周器など)だけデジタル制御にしたデジタルPLLなどがあった。



我々は2007年ごろから群馬大学と三洋半導体の共同研究としてADPLLの研究開発に取り組んでおり、非常に将来性のある興味深い技術であると実感している。

ADPLLは無線通信用の発振回路のみならず、システムLSI内部のデジタル・クロック生成回路などへの応用が期待できる。本稿では、ADPLLについて分かりやすく解説したい。

無線通信回路や高周波クロック生成に

まず、一般的なPLL回路の役割を説明する。PLL回路とは、入力された交流信号に対し周波数が等しくかつ位相が同期した信号を、フィードバック制御により別の発振回路(従来のPLL回路ではVCO[†]、ADPLLではDCO[†])から出力するものである。フィードバック経路に分周回路を配置すれば、周波数逡倍も実現できる。

PLLの特徴は、広い周波数範囲にわたって精度の高い信号を発振できることである。近年の通信機器においては、広い周波数範囲での動作が必要になっている。ところが水晶発振器の場合、比較的高い周波数など特定の領域では高い精度(温度依存性など)を実現するが、広範囲な周波数には対応できない。PLL回路は、こうした場合の周波数シンセサイザで利用される。

このほか、システムLSI内部において、デジタル回路を動作させるための高周波クロック信号発生にPLLは利用されている。こうした例では、PLLにおいて比較的low周波の入力クロック信号を周波数逡倍し、高周波クロック信号を生成する。

さらにPLL回路は、FM復調器やクロック・データリカバリなどにも利用されている。

オールデジタルPLL回路

ADPLLは、低電圧動作の進むCMOSシステムLSIでの利用に適したPLL回路方式である。具体的には、最小加工寸法が130nm以降のCMOSプロセスで、1.5V程度以下の電源電圧になると、従来のアナログPLLより高い性能を発揮することを期待できる。

ADPLLのメリットは、以下のようなものだ。

- ▷ 微細な設計ルールを利用するデジタルCMOS回路での、低電源電圧動作に向く
- ▷ CMOSプロセスの微細化が進むほど、性能向上を期待できる(従来のアナログPLLでは、微細化しても必ずしも高性能化するわけではない)
- ▷ チップ寸法が小さく済む
- ▷ 初回での完全動作が期待できる
- ▷ プロセス開発と並行して回路設計が行える
- ▷ プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる

これらのADPLLのメリットは、下記の特徴からもたらされている。

- ▷ デジタル回路で構成するだけでなく、回路設計や検証、そしてテストも、デジタル回路と同様の手法を用いることができる
- ▷ アナログ・フィルタ(抵抗やキャパシタを多用)をデジタル・フィルタに置き換えられるので、チップ面積を縮小できる
- ▷ チャージ・ポンプ回路が不要。このため、低い電源電圧での動作が可能となる。また、チャージ・ポンプのスイッチ動作がなくなるので、位相雑音を低減できる
- ▷ 発振出力の位相雑音の要因を、DCO周波数分

[†]VCO (voltage controlled oscillator) = 電圧制御発振器。

[†]DCO (digitally controlled oscillator) = デジタル制御の発振器。

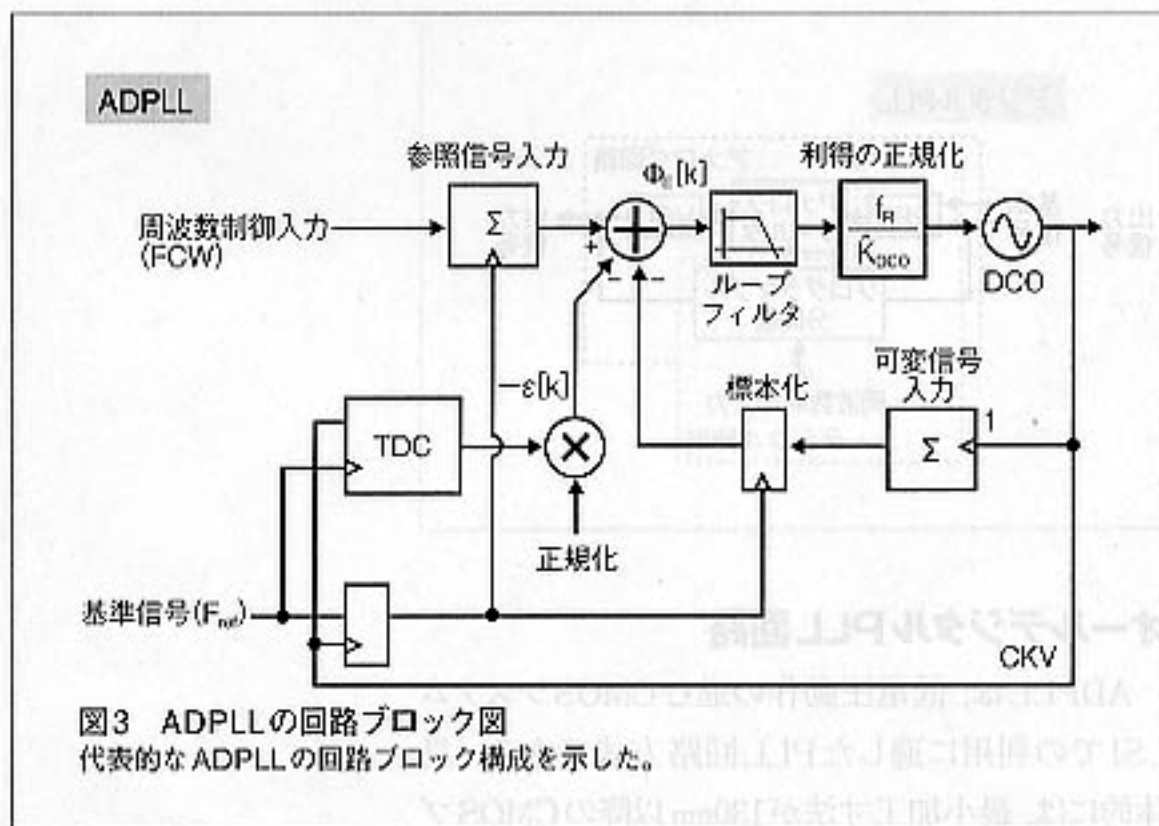


図3 ADPLLの回路ブロック図
代表的なADPLLの回路ブロック構成を示した。

解能, DCO位相雑音, TDC (time to digital converter) 時間分解能の三つに特定できる

▷デジタル回路のためプログラム制御が可能になる。高速整定と位相雑音のトレードオフの問題を解決できる

▷デジタル自己校正により, 製造プロセスや電源電圧, 温度変動のループ伝達関数への影響を自動的にキャンセルできる

ADPLLを提唱したStaszewski博士がその著作で何回も強調しているが, ADPLLは次のような考えに基づいて設計されている。

「ディーブ・サブミクロンのCMOS製造プロセスにおいて, デジタル信号の時間分解能はアナログ信号の電圧分解能よりも優れている」。

デジタルCMOS回路は, スピードや消費電力の

観点から極めて優れており, これがCMOSプロセスがLSIにおいて主流になった理由である。上記の考えに基づくADPLLは, まさに微細CMOSの良さを最大限に利用した方式と言えよう。

ADPLL回路の基本構成

ADPLL回路は, DCO, カウンタ回路とTDC回路, および周辺デジタル回路で構成する(図3)。DCOは, 従来のVCO回路を置き換えるものだ。カウンタ回路およびTDC回路は, 従来のPLL回路における位相比較回路とチャージ・ポンプ回路に相当する。周辺デジタル回路によって従来のアナログ・フィルタをデジタル・フィルタに置き換えている。

○DCO (デジタル制御発振器)回路

ADPLLでは, 内部の発振回路にVCOではなくDCO回路が用いられている。DCOは, 入力デジタル値で, 出力はその値に応じた発振周波数の信号になる。DCOの内部はアナログ回路だが, 入出力信号はデジタル信号である。これは, 基本的なデジタル回路であるフリップフロップ回路と類似している。

DCO回路は例えば, MOSの差動対でゲートとドレインをたすき掛けして構成した負性抵抗と, インダクタLおよび容量Cから構成されるLC発振回路として実現できる(図4)。ここで容量Cは, MOSバラクタ配列として実現する。DCOはデジタル入力に応じて発振周波数を変化させるために, MOSバラクタの容量値を変化させる必要があるが, MOSバラクタのバイアス電圧をアナログ的に変化

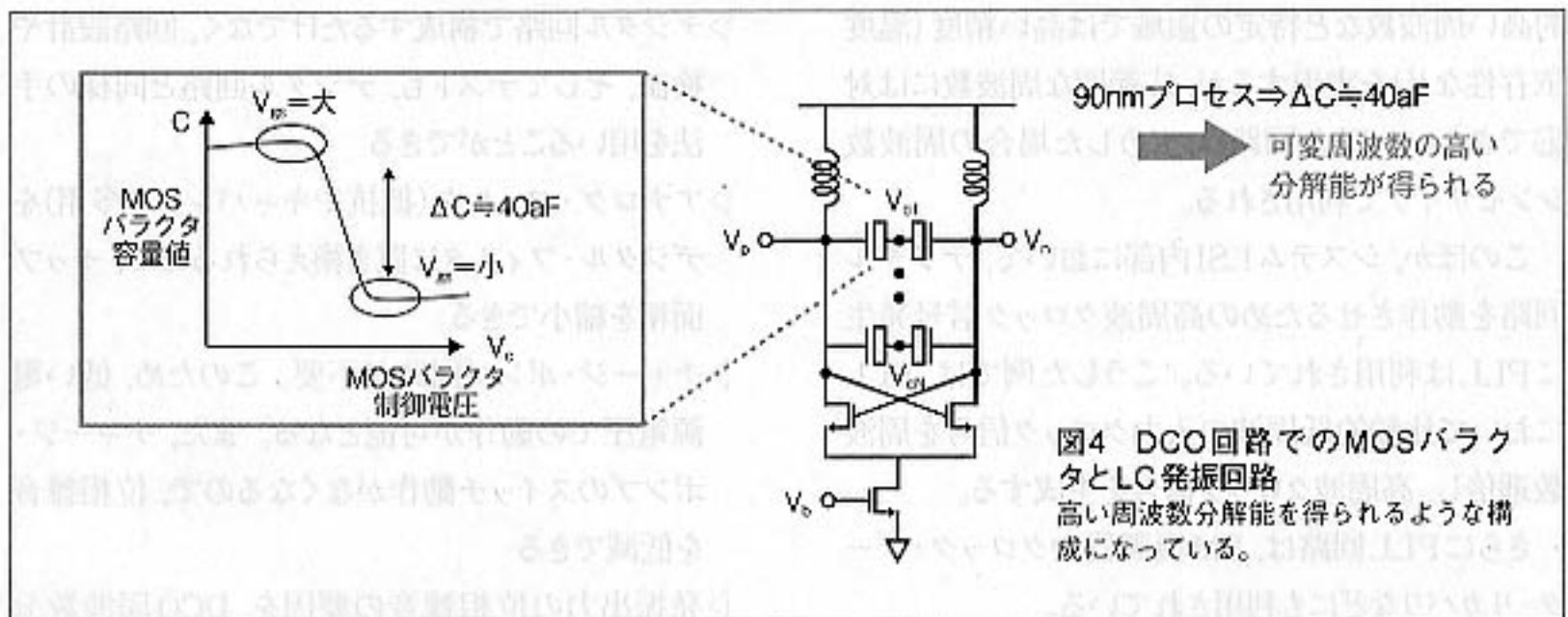
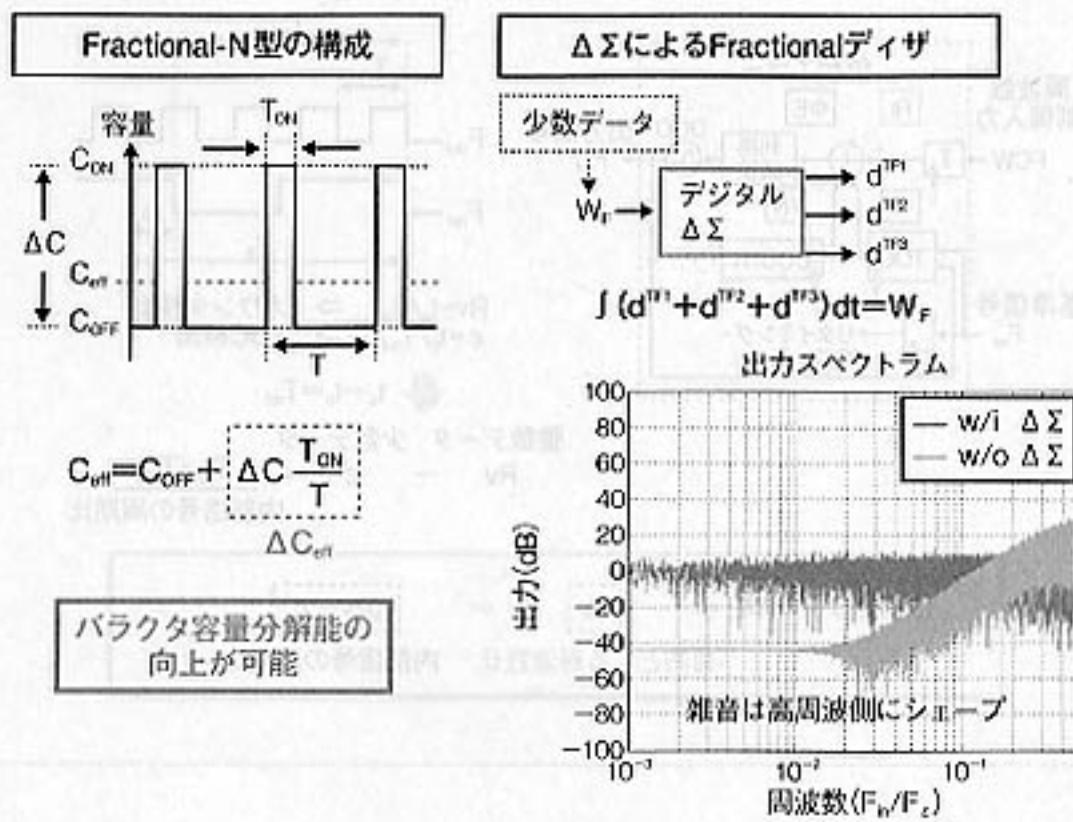


図4 DCO回路でのMOSバラクタとLC発振回路
高い周波数分解能を得られるような構成になっている。

図5 デルタシグマ変調
ディザによる周波数分
解能の向上
バラクタ容量の分解能を向
上できる。



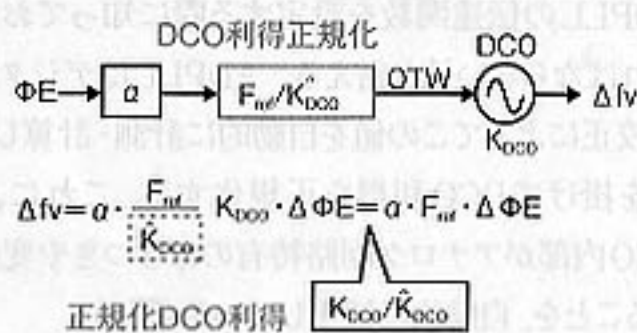
させるのではなく、デジタル値として変化させる。すなわちデジタル入力があるときはバイアス電圧を大きくし(バラクタ容量値C)、1のときはバイアス電圧を小さくし(バラクタ容量値C+ΔC)、バラクタ値を2値として扱う。アナログ・バイアス電圧を与える場合は、その揺らぎが位相雑音になってしまうが、DCO方式ではバイアス電圧の揺らぎが位相雑音に与える影響は少ない。バラクタ配列全体では、デジタル入力にほぼ比例したバラクタの個数に対して高いバイアス電圧を与え、残りのものは低いバイアス電圧を与えることになる。

最小バラクタ容量変化値が、要求される周波数

分解能より大きい場合は、ΔΣ変調によるディザリングを用いる(図5)。例えば、バラクタ1個による容量値変化がCとC+ΔCであるとする、ΔΣ変調によって、時間的にCを選択するのを70%、C+ΔCを選択するのを30%とする。これにより、等価的にC+0.3ΔCを作り出す。これは、いわゆる「Fractional-N型PLL」を実現していることになる。

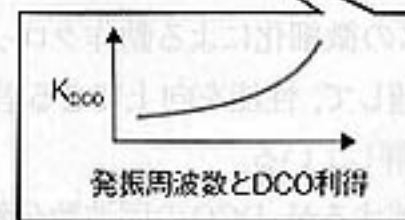
プロセス微細化に伴いバラクタのマッチングは良くなり、最小容量値は小さくなる。このほか、バラクタ値のミスマッチに起因する、デジタル入力とバラクタ配列全体の容量値間の非線形性の影響を軽減するために、時間ごとに選択するバラクタを変

位相エラーΦEから出力周波数f_vまでのブロックモデル



DCO利得の正規化

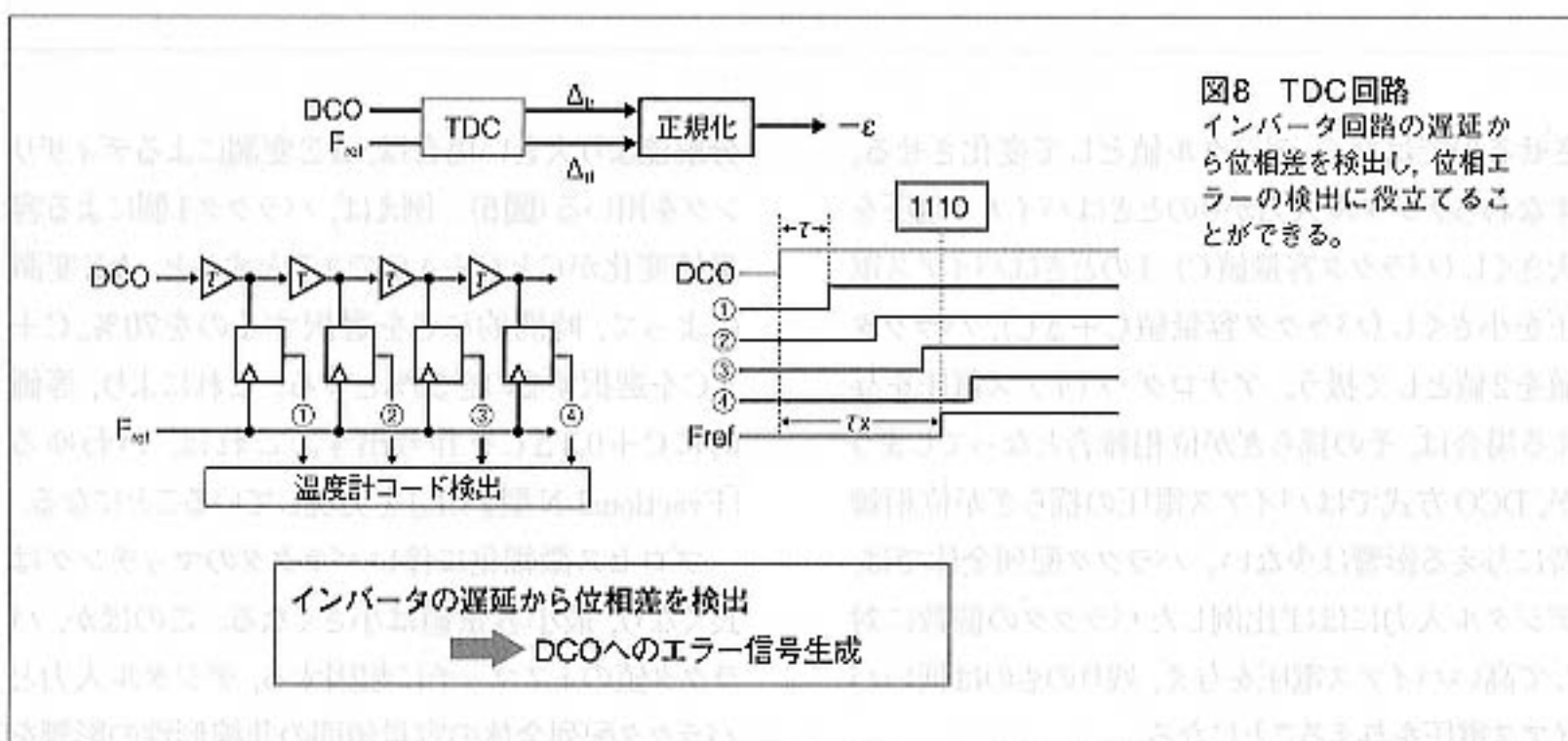
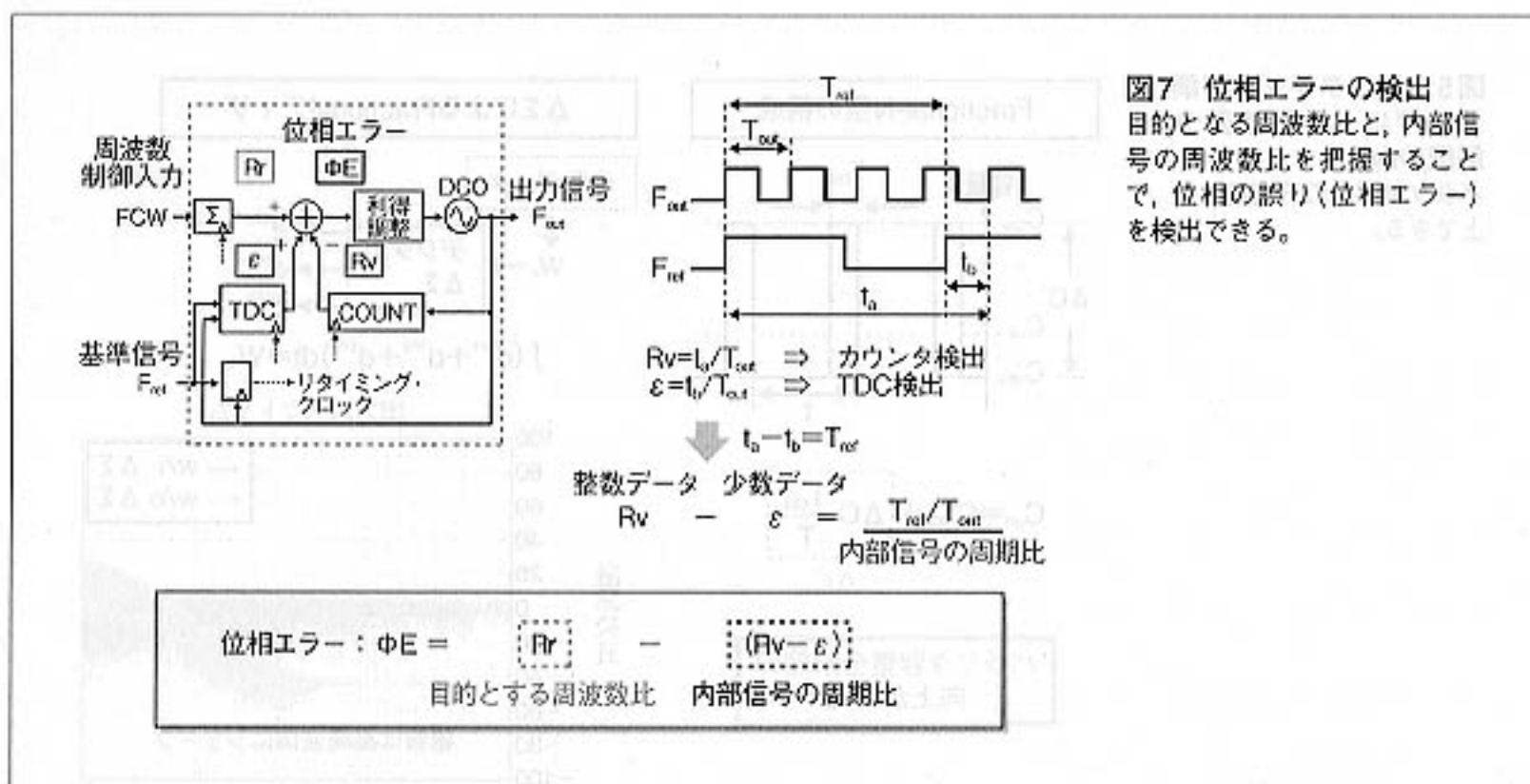
K_{DCO}は発振周波数f_vに依存
→システム伝達関数の変化



発振周波数依存性をキャンセル

図6 DCO利得の正規化

DCOの利得を見積もり、逆関数としてシステムに加えることで、発振周波数への依存性をキャンセルできる。



化させる「ダイナミック・マッチング」という手法も利用できる。これは、 $\Delta\Sigma$ 型のD-A変調器で利用されている技術である。例えば、あるPLL回路研究者は、「ADPLLは規模の大きな $\Delta\Sigma$ 型のD-A変調器ととらえることができる。両者とも、CMOSプロセスの微細化による動作クロック周波数の向上に追従して、性能を向上できる信号発生回路である」と評している。

後述するが、DCOの周波数分解能が有限であることや、LC発振回路の位相雑音があることによって、ADPLLループ伝達関数の出力の位相雑音に影響が出ることもある。ここでDCOの利得を、「DCOのデジタル入力値を1ビット変化させたとき

の出力周波数変化」として定義する。このDCO利得は、温度や電圧、時間の変動だけでなく、発振周波数によっても異なる。このため、DCOの利得はADPLLの伝達関数を設定する際に知っておかなければならない値と言える。ADPLLはデジタル自己校正によってこの値を自動的に計測・計算し、逆数を掛けてDCO利得を正規化する。これにより、DCO内部がアナログ回路特有のばらつきや変動があることを、自動的に補正している(図6)。

○TDC回路による位相差検出

ADPLLでは、出力信号と基準入力信号の周波数/位相比較回路として、カウンタ回路とTDC回

路を用いる(図7, 図8)²⁻³⁾。まずカウンタ回路において、出力周波数が基準入力周波数の約何倍の整数値になるかを計測する。そしてTDCで、少数部分を計測する。両者の値を合わせると、出力周波数(位相)と基準入力周波数(位相)の比(差)を正確に知ることができる。ADPLLは、新世代のアナログ回路として注目の集まるTDCを位相差検出のために用いていることから、ある意味では非常に先進的であり、時間分解能回路の領域を切り開いたとも言えよう。

TDCは、精度の高いトラッキングを実現するのに必要不可欠で、周波数通倍(integer型PLL)でも必要である。TDCの時間分解能や線形性は、周波数/位相比較器の精度を決定し、出力信号の位相雑音に影響を与える。このため、より細かい時間分解能を持つTDCの、回路トポロジーが提案されている。

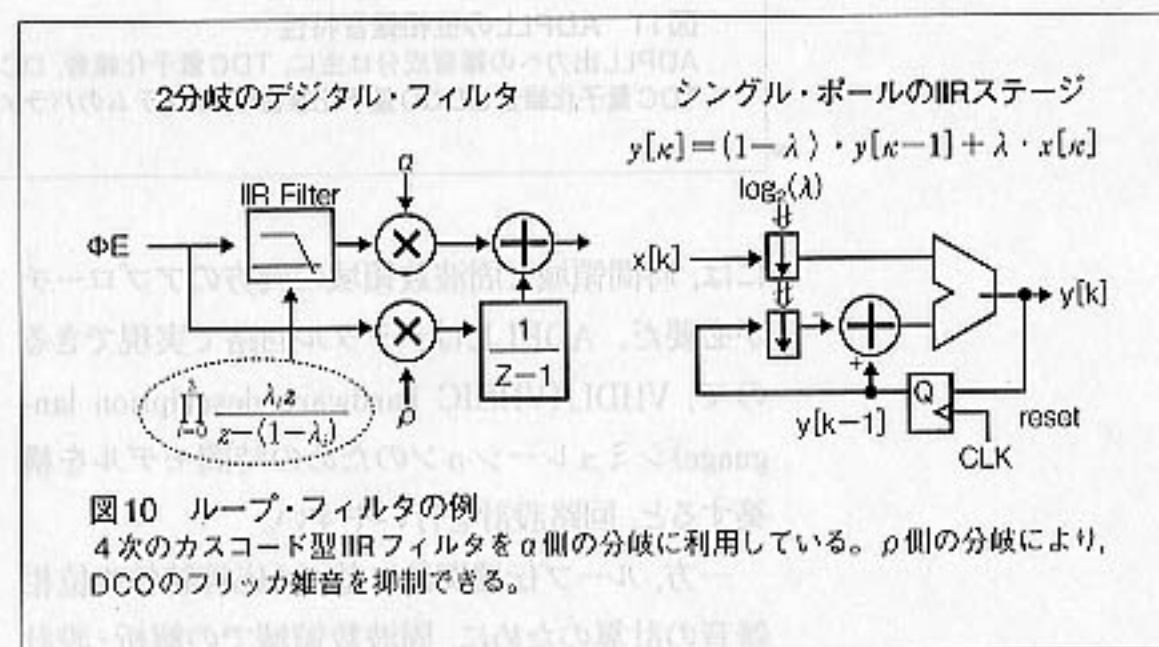
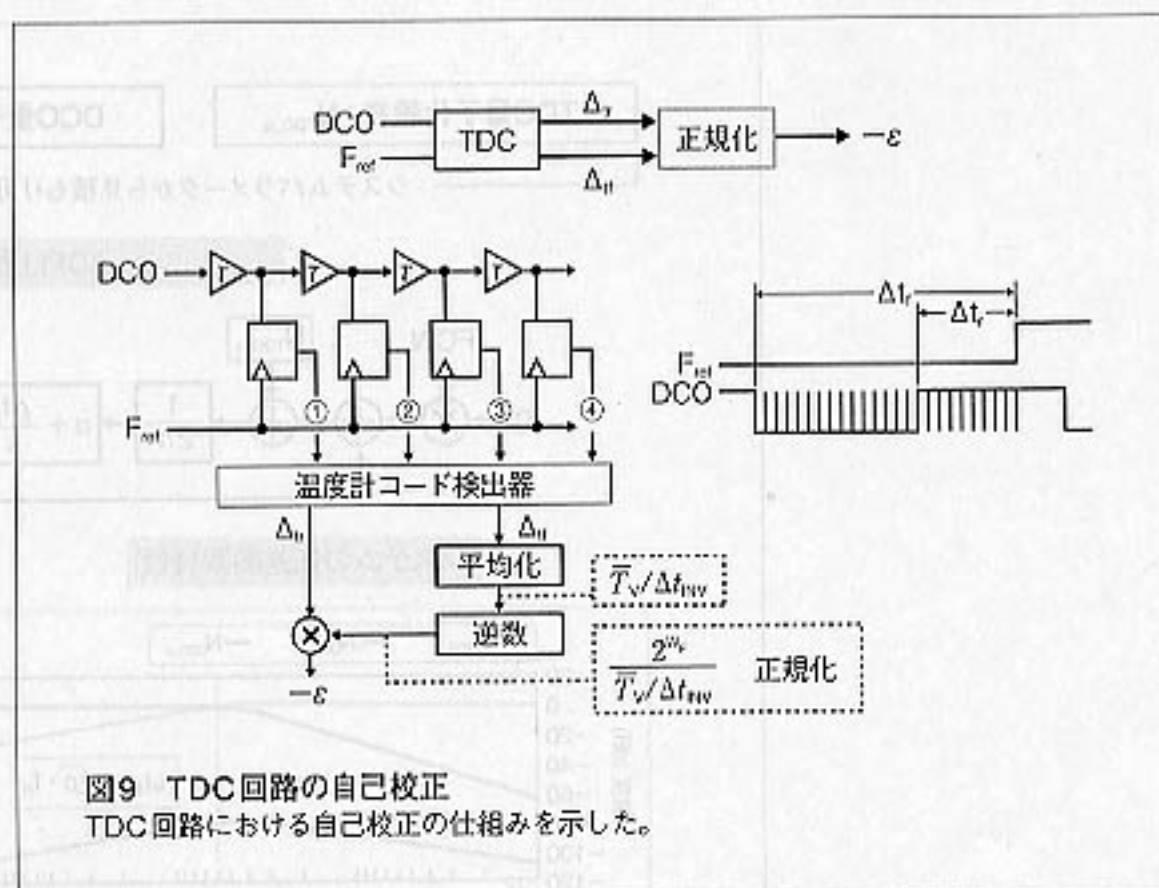
また、TDCを構成するインバータ遅延線の遅延量は温度や電圧変動の影響を受けるが、次のような自己校正を行うことでその影響をキャンセルしている。DCO出力の発振周波数(周期)は既知であるので、TDC回路でその周期をインバータ遅延線の遅延量との相対値として測定する。これにより、逆にインバータ遅延線の遅延値を計測し、その値を基にTDCでの時間計測値を補正するというものだ(図9)。

○同期デジタル回路での信号処理

高い周波数の出力信号で低い周波数の基準入力信号をリタイミングすることで、システム全体を同期回路として信号処理する。しかしこのリタイミングの際、出力信号と基準入力信号は非同期であるので(フリップフロップのセットアップ時間とホールド時間を常に満たしているとは限らないので)、いわゆるメタスタビリティの問題が生じる³⁾。ADPLLでは回路やシステムを工夫することで、メタスタビリティの発生確率を低く抑えている。

○位相領域での演算

カウンタやTDCで計測した位相差を、設定周波数(FCW: frequency command word)を時間積分して位相情報に変換させたものと比較し、デジタ



ル・フィルタを通してDCOへ入力する。FCWを直接DCO入力させる「フィードフォワード方式」によって、応答特性を向上させる手法も提案されている。この場合、FCWによる設定周波数を変更するタイミングをジッタが少ないように、デジタル的に設定できる。

タイプI、タイプII、および高次のPLL回路は、このデジタル・フィルタ部分の設定により実現可能である(図10)。また、フィルタのパラメータを、動作状態によってダイナミックに変更することも可能だ(車の運転に例えてギア・シフトとよばれる)。

○時間/周波数両面からのモデリング・設計

ADPLLのデバイス・モデリングおよび設計の際

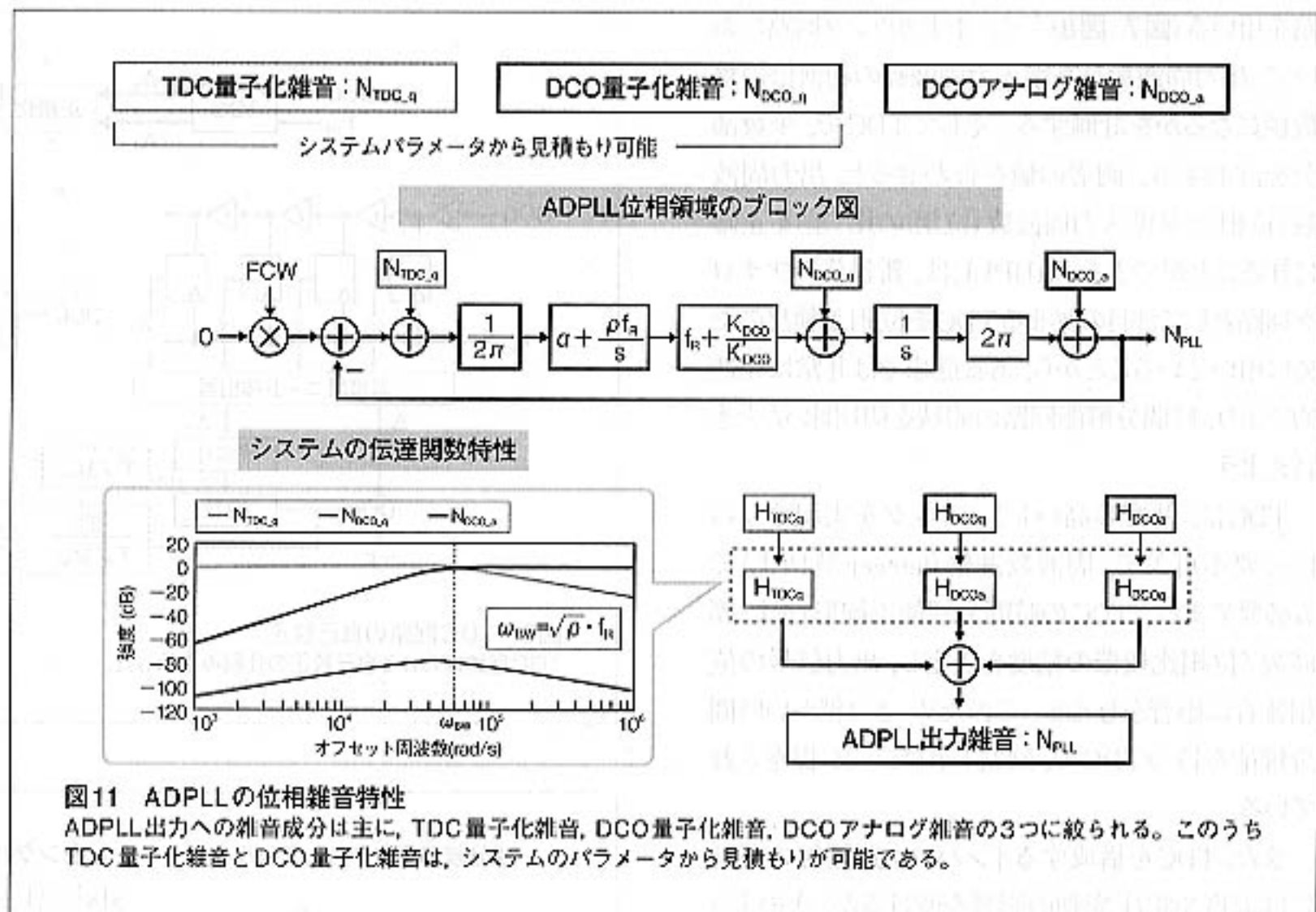


図11 ADPLLの位相雑音特性
ADPLL出力への雑音成分は主に、TDC量子化雑音、DCO量子化雑音、DCOアナログ雑音の3つに絞られる。このうちTDC量子化雑音とDCO量子化雑音は、システムのパラメータから見積もりが可能である。

には、時間領域と周波数領域の両方のアプローチが必要だ。ADPLLはデジタル回路で実現できるので、VHDL (VHSIC hardware description language)シミュレーションのための時間モデルを構築すると、回路設計を行いやすい。

一方、ループ伝達関数に基づく応答特性や位相雑音の計算のために、周波数領域での解析・設計も有用である。TDC量子化誤差、DCO有限周波数時間分解能、DCOの位相雑音が、ADPLL出力信号への位相雑音への要因になる(逆に言えば位相雑音の要因は、これらのみ限定できる)。

これら三つの出力信号位相雑音への影響は、ADPLLループ伝達関数の関数である。TDC有限時間分解能による位相雑音への影響は低周波領域であり、DCO有限周波数分解能による影響は高周波領域となる。つまり、時間、周波数分解能、伝達関数の設計で、出力位相雑音を計算できる。ADPLLは、プロセス微細化とともに分解能が向上するため、位相雑音特性が従来のアナログPLLよりも優れることが期待できる(図11)。

さらにADPLLでは、ある内部ノードにおけるデジタル値の変化と、出力信号の位相雑音に強い相

関があることが分かっている。このため、内部のデジタル値の変化を観測することで、位相雑音特性の製造出荷時のテストを行えることが指摘されている⁹⁾。この場合、高価な計測器を使用せずとも、位相雑音を推定できることになる(LSIテストの分野では一般にこのような手法は「alternative testing」と呼ぶ)。

各国の研究開発動向と今後の展開

ADPLL回路に関する国際学会の発表では、TI社に加えて台湾MediaTek, Inc., 米Intel Corp., 米IBM Corp, 伊仏合弁のSTMicroelectronics社から活発に報告されている。一方大学では、米University of California, San Diego校(UCSD), 米University of California, Los Angeles校(UCLA), イタリアUniversity of Pavia, 東京工業大学からの発表が目立つ。

ADPLLでは、位相変調や周波数変調がデジタル的に容易にプログラム可能であるため、Bluetooth用のポーラ方式送信機内で用いることがTI社から発表されている。また、位相雑音の低減が可能のため、ローカル信号発生器として用いるこ

制御ループの安定性と速応性のトレードオフを解決

フィードバック制御において、安定性と速応性のトレードオフの問題は基本的かつ重要な技術課題である。一方を良くしようとすれば、他方が劣化する。例えば、スイッチング電源回路においてリップルを小さく(安定性を良くする)しようとすれば、負荷変動に対する応答(速応性)は劣化する。従来は、アナログPLL回路においても位相雑音(安定性)と設定周波数の変化に対する応答時間(速応性)もトレードオフの関

係にある。

ADPLLは、デジタル技術により動的にパラメータ値を変更することで、そのトレードオフの問題を解決できる。設定周波数を変化させた過渡状態においては、制御ループ(デジタル・フィルタ)の時定数を小さくして高速応答を行い、動作が収束した際には位相雑音が小さくなるようにループ伝達関数を設定できる。UCLA 教授のAsad Abidi氏に、2007年6月に群馬大学で講演いただ

いた際、会場から「ADPLLよりも良い(better)アイデアはあるか」という質問が飛び出した。これに対してAbidi氏は、「ADPLLは位相雑音と高速応答のトレードオフを解決しているので、十分な(enough)アイデアである」と回答されていたのが印象に残っている。

なお、速応性と安定性のトレードオフの解消(過渡状態で時定数を変更する)については、デジタル制御電源分野でも提案されていることである。

ともできる。

今後はシステムLSI内部のデジタル回路クロック供給や、広帯域の変調ローカル信号発生器にも用いられるだろう。現在、システムLSI内部のデジタル回路へのクロック供給源としては、複数のPLL回路が用いられている。一方で、ADPLLを用いれば抵抗やキャパシタで構成する低域通過フィルタが不要のため、チップ面積が小さく済む。電源電圧が低下したり用いる製造プロセスを変更したりするときにも、設計変更が少ない優位性もある。

国内メーカーからは、ADPLL技術の研究開発が必ずしも精力的に行われてないという声も聞くが、

今後必要不可欠な技術になるのは間違いない。その際のADPLLおよびそれを用いた回路システムの設計には、従来の高周波回路設計者やPLL設計者に加え、信号処理研究者の協力が重要になるだろう。

参考文献

- 1) Staszewski, R., Balsara, P. *All-Digital Frequency Synthesizer a Deep-Submicron CMOS*. Wiley Interscience, 2006.
- 2) 小林春夫, 「アナログ技術の新潮流 時間分解能型回路とTDC (前編)」, 『日経エレクトロニクス』, 2009年4月6日号, no.1001, pp.88-92.
- 3) 小林春夫, 「アナログ技術の新潮流 時間分解能型回路とTDC (後編)」, 同上, 2009年4月20日号, no.1002, pp.102-107.

小林 春夫 こばやし・はるお

群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校(UCLA) 電気工学科 修士課程修了。1997年、群馬大学 助教授。2002年、同教授。A-D変換器、電子計測、ミックスド・シグナル集積回路設計、信号処理などを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。工学博士(早稲田大学)。

壇 徹 だん・とおる

三洋半導体 カスタムLSI事業部 基礎回路技術部 アナログ回路技術課 課長

1983年、大阪大学 工学部 電子工学科卒業。同年、三洋電機入社。1987～1989年 東京工業大学 客員研究員。CMOSデバイス、高周波デバイス、高周波回路の研究開発に従事し、2008年7月から現職。2002～2006年、IEEE VLSI Technology Symposium のプログラム委員会メンバー。

田邊 朋之 たなべ・ともゆき

群馬大学大学院 工学研究科

2007年、群馬大学 工学部 電気電子工学科卒業。2009年、群馬大学大学院 工学研究科 電気電子工学専攻 博士前期課程修了。ADPLL, RFサンプリング回路などを研究。現在、旭化成エレクトロニクス勤務。