

シリコン・サイクルと研究開発

株式会社アドバンテスト研究所 山口 隆弘

「トランジスタの発明は、非常にうまいマネージメントでおこなわれた研究のなかから偶然生じた」とショックレーはのべている。CMOSの指数関数的集積度向上は技術開発の課題設定の質を鋭く問う。最初に VLSI チップ試験についての国際会議を紹介する。

テスト・コンファレンス。 テストについての最大の国際会議 International Test Conference が、毎年秋に米国で開催される。1999年、Intel社 Patrick Gelsinger 副社長が ITC 基調講演 “Discontinuities Driven by a Billion Connected Machines” をおこない、テストにかんする課題（I. ストラクチャル・テスト用の低価格 VLSI 試験装置—そのチャンネル数は被試験 VLSI のピン数より少ない、II. 高性能の試験パターン自動合成法開発--ストラクチャル・テストへの転換、III. 高速定電圧供給源--ダイナミックな電流変化 di/dt への対応）を論じ、試験技術研究・開発に大きなインパクトをあたえた。インテルは、この転換点に対応する戦略的研究を5年前、1994年からすすめていた。

Gordon E. Moore の ISSCC2003 基調講演 “No Exponential is Forever ...” に対応する試験戦略を先

行的に明らかにしたのが、Gelsinger の ITC1999 基調講演であった。

ジッタ測定・試験に関する論文数の推移。 電気信号のタイミングゆらぎはジッタと呼ばれる。図1はこのジッタ測定・試験にかんする（ITCで発表された）論文数の推移を示している。ジッタは1999年にITCに登場し、12年間に129論文/パネル討論が発表された。（a）ITC1999においては、最終日のセッションが割り当てられた（試験は因果関係にもとづき、被試験VLSIの応答を期待値と比較する。確率過程は試験しない）。（b）ITC2002から初日のセッションも割り当てられた。タイミングゆらぎ（=確率過程）をデジタル的手法で試験する技術に発展している。（c）ITC2009における2つの最先端技術。Intel社は、組込み自己テストを展開し作り上げた、VLSIのシリコン物理層の統一的試験インフラストラクチャを説明した。この結果、統計的マージン試験（=アイ・ダイアグラム測定）がオン・チップ回路で可能となった。AMD社は、低価格VLSI試験装置と被試験対象プロセッサ自身を活用したI/Oテスト法を発表した（Gelsingerの課題Iの解決例）。[i] 外部のVLSI試験装置の低速ピンからテスト・プログラムを被試験対象のプロセッサ内部にロード、[ii] 被試験対象プロセッサ自身のデータ処理能力を活用し、被試験対象プロセッサのI/Oをテストする。プロセッサのDDRインタフェースのデータ・アイ・ダイアグラム測定を可能とした。統計的試験がテストの最先端をドライブしている。

女神。 リスキーな課題設定の例とそこにあらわれた幸運の女神を、ジッタ試験法の開発を例に論じる。

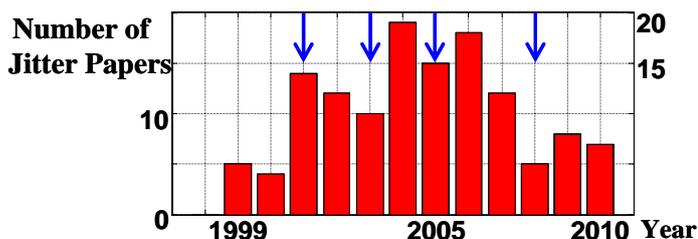


図 1. IEEE International Test Conference における、ジッタ試験関連の論文数の推移。青色矢印はシリコン・サイクルの谷を示す。