クロックジッタの ADC 性能への影響

ヴェリジー株式会社
プリンシパル・アプリケーション・コンサルタント

前田 明徳

内容

アナログ・デジタル変換器のテスト

ジッタについて

ジッタと SNR

位相雑音

クロック・ノイズのスペクトラムへの影響

クロックの生成

ジッタを低減するには

まとめ

研究の背景

アナログ・ディジタル変換器(ADC)の性能が向上してきた

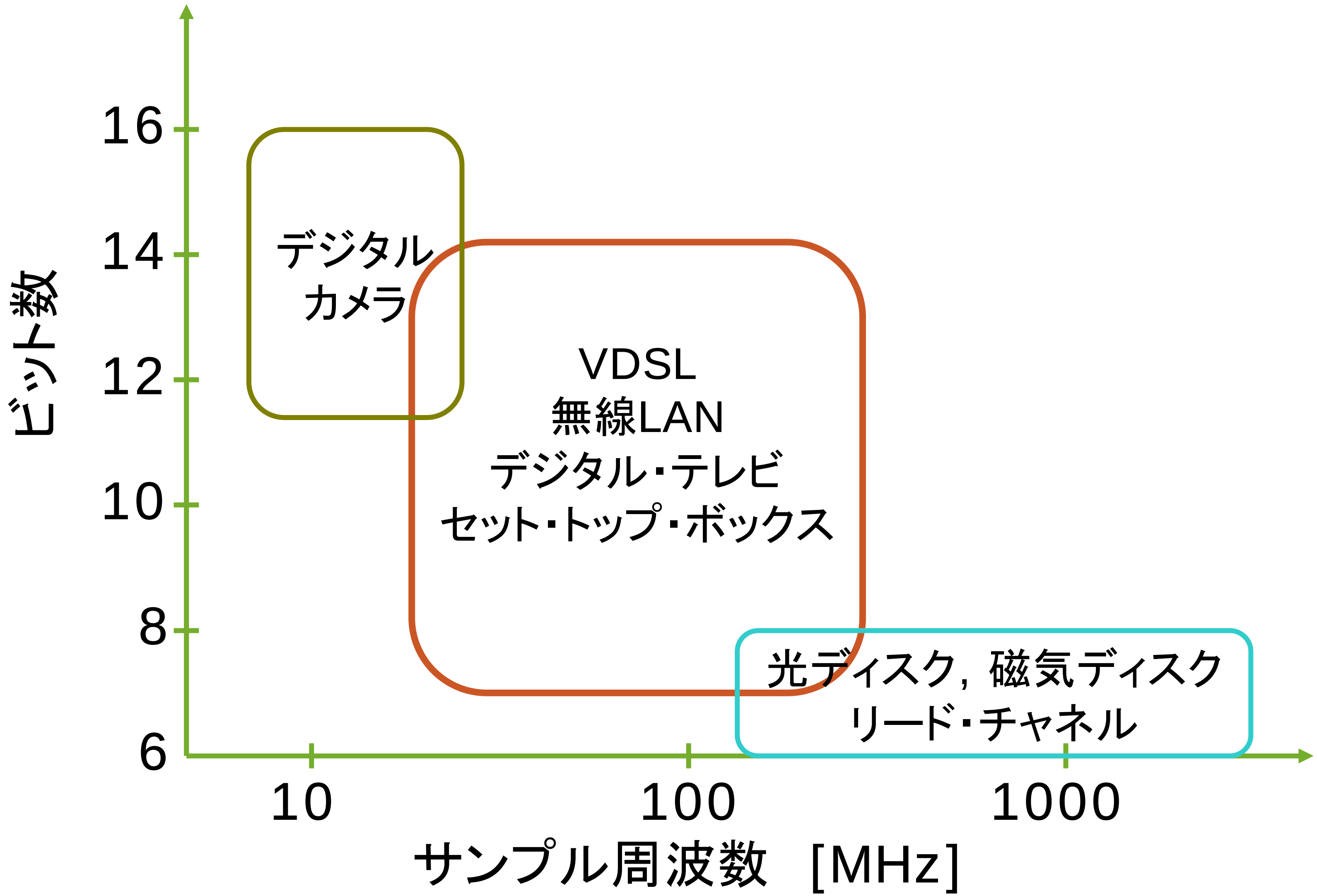
– サンプル周波数: >100MHz
– 分解能: > 14ビット
– 入力帯域: > 1GHz

このような ADC をテストするためにはクリーンなサイン波が必要

– 低歪、低ジッタ
– 低歪については前回紹介

同様に低ジッタのクロックも必要

高速ADCのアプリケーション



Verigy Restricted

内容

アナログ・デジタル変換器のテスト

ジッタについて

ジッタと SNR

位相雑音

クロック・ノイズのスペクトラムへの影響

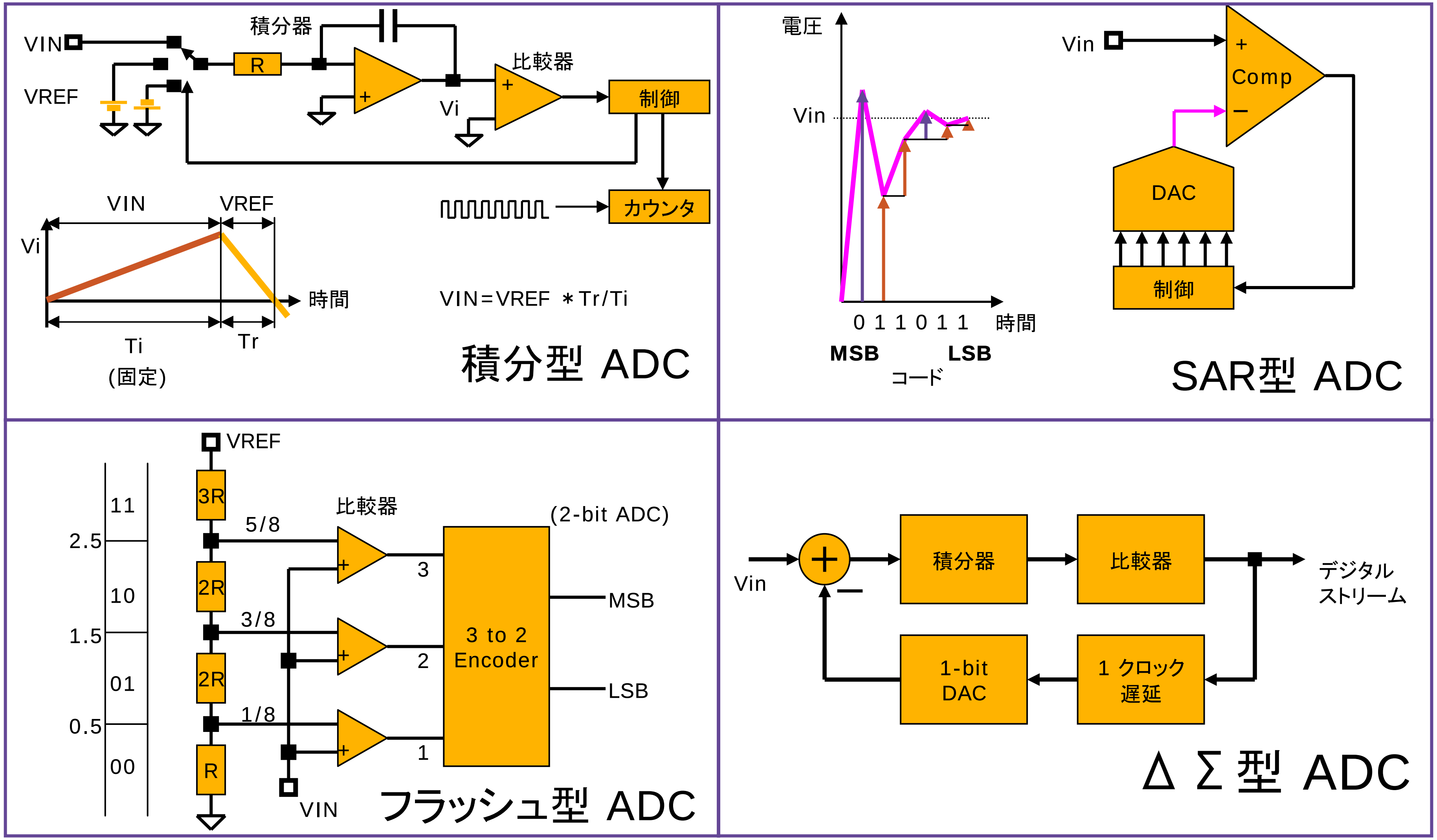
クロックの生成

ジッタを低減するには

まとめ

Verigy Restricted

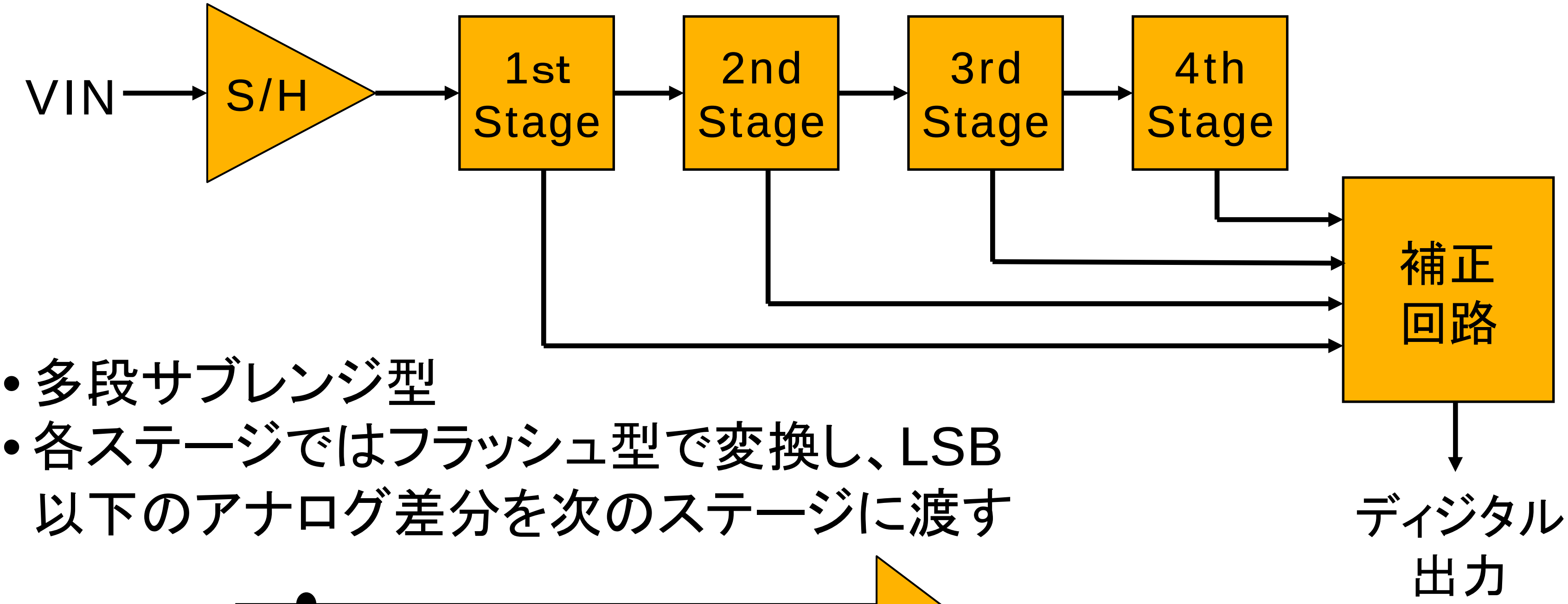
ADC の種類



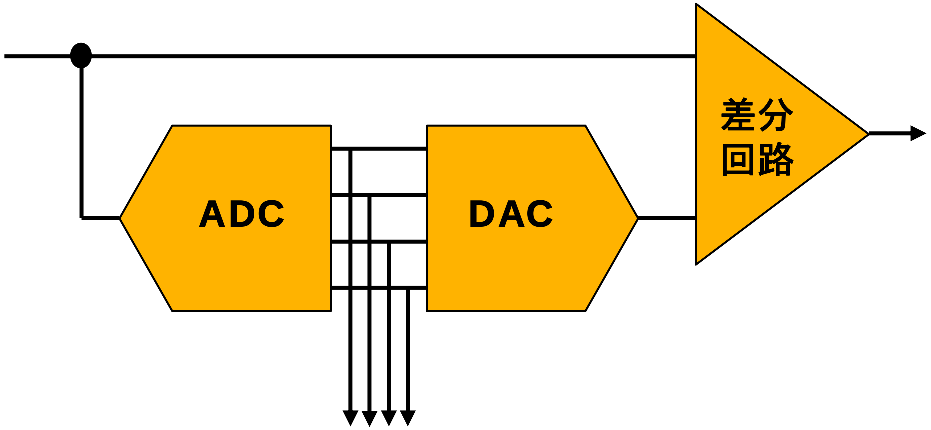
SAR=Successive Approximation Register

Verigy Restricted

パイプライン型 ADC

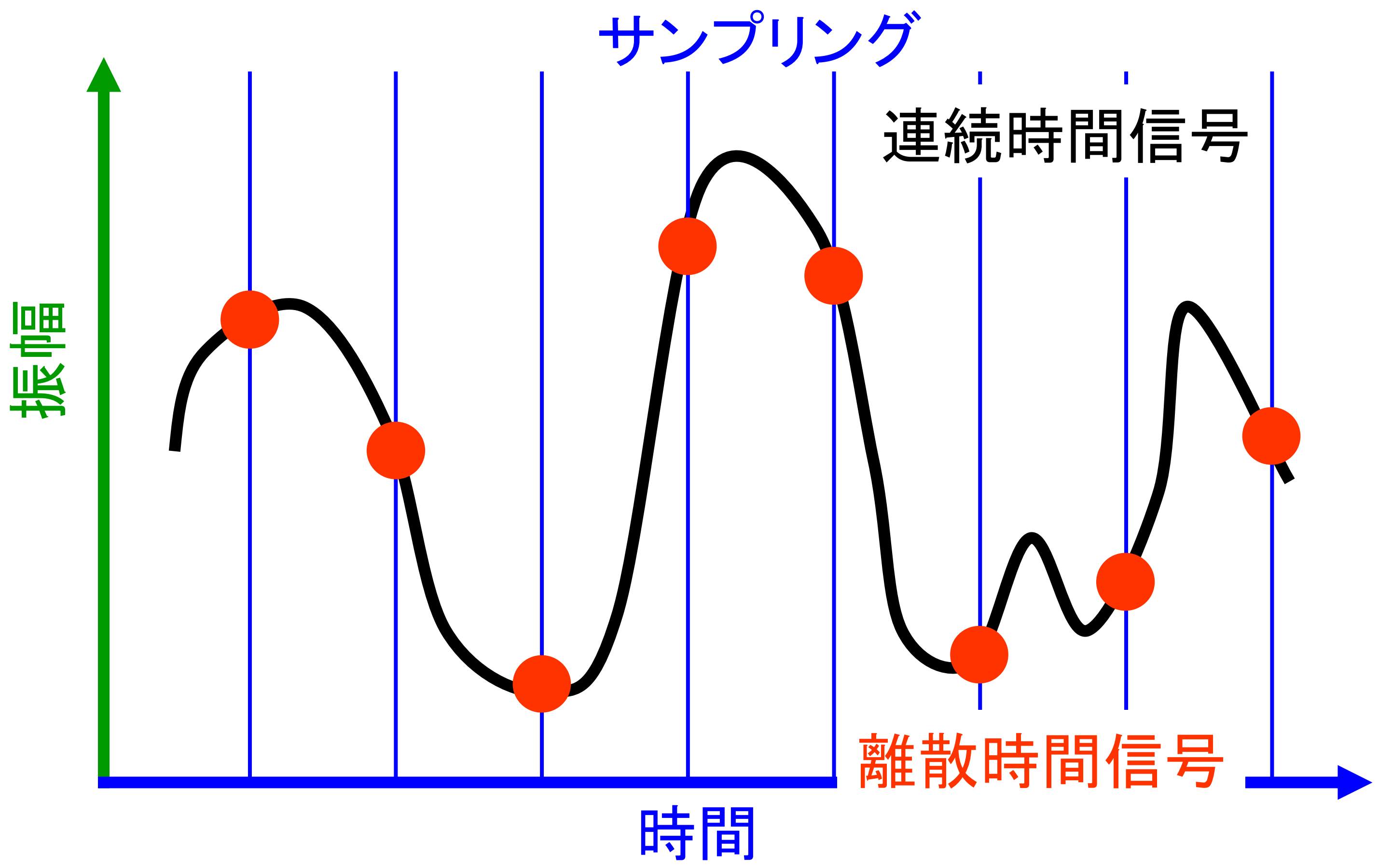


- 多段サブレンジ型
- 各ステージではフラッシュ型で変換し、LSB以下のアナログ差分を次のステージに渡す



Verigy Restricted

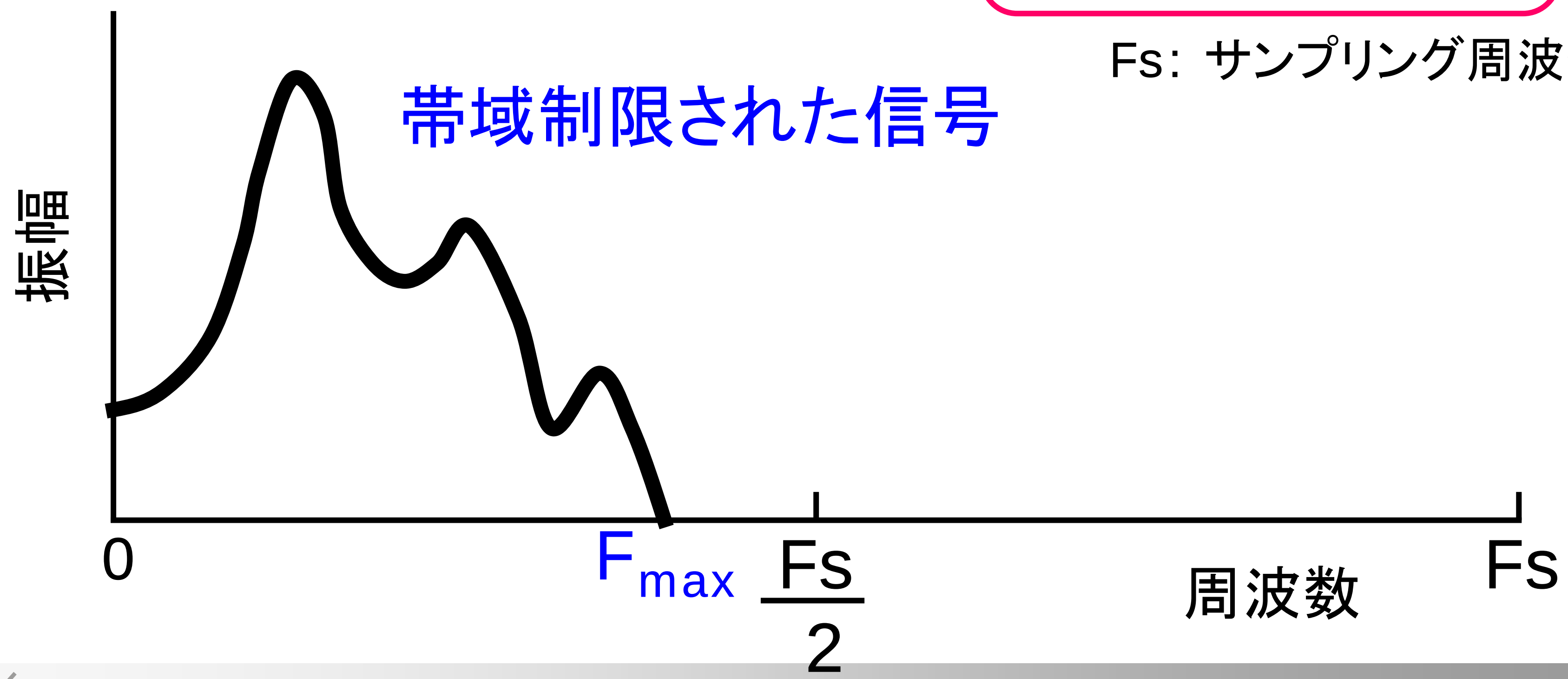
サンプリング: 連続時間信号から離散時間信号へ



サンプリングの帯域制限

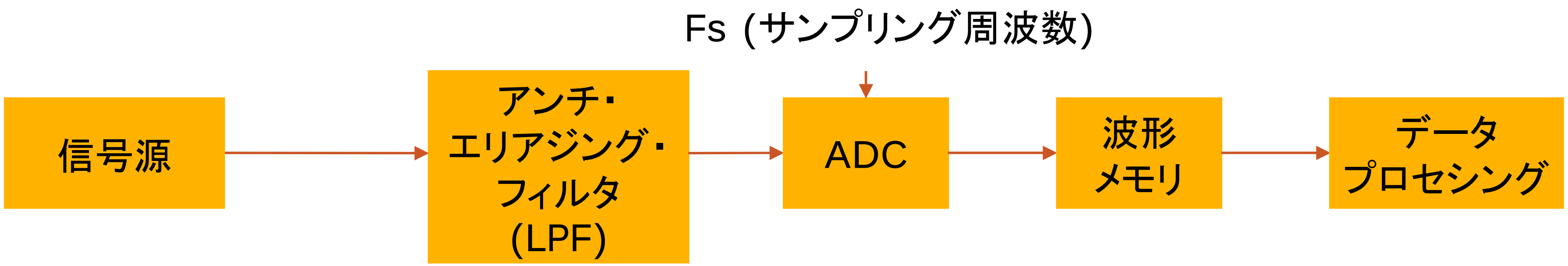
$$2 * F_{max} < Fs$$

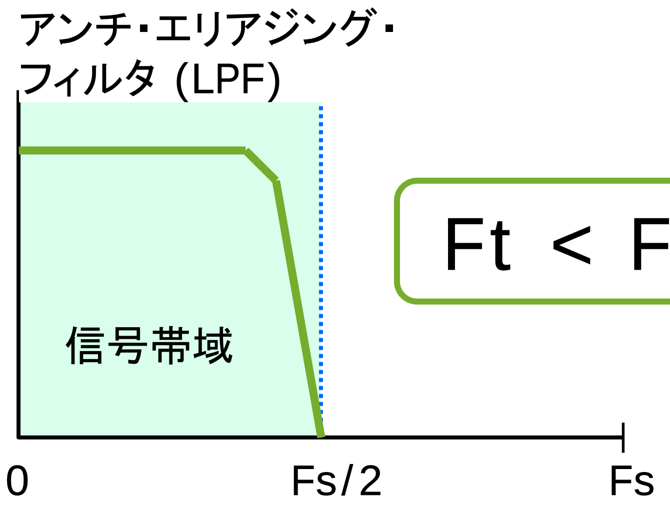
Fs: サンプリング周波数



Verigy Restricted

ADC によるリアルタイム・サンプリング



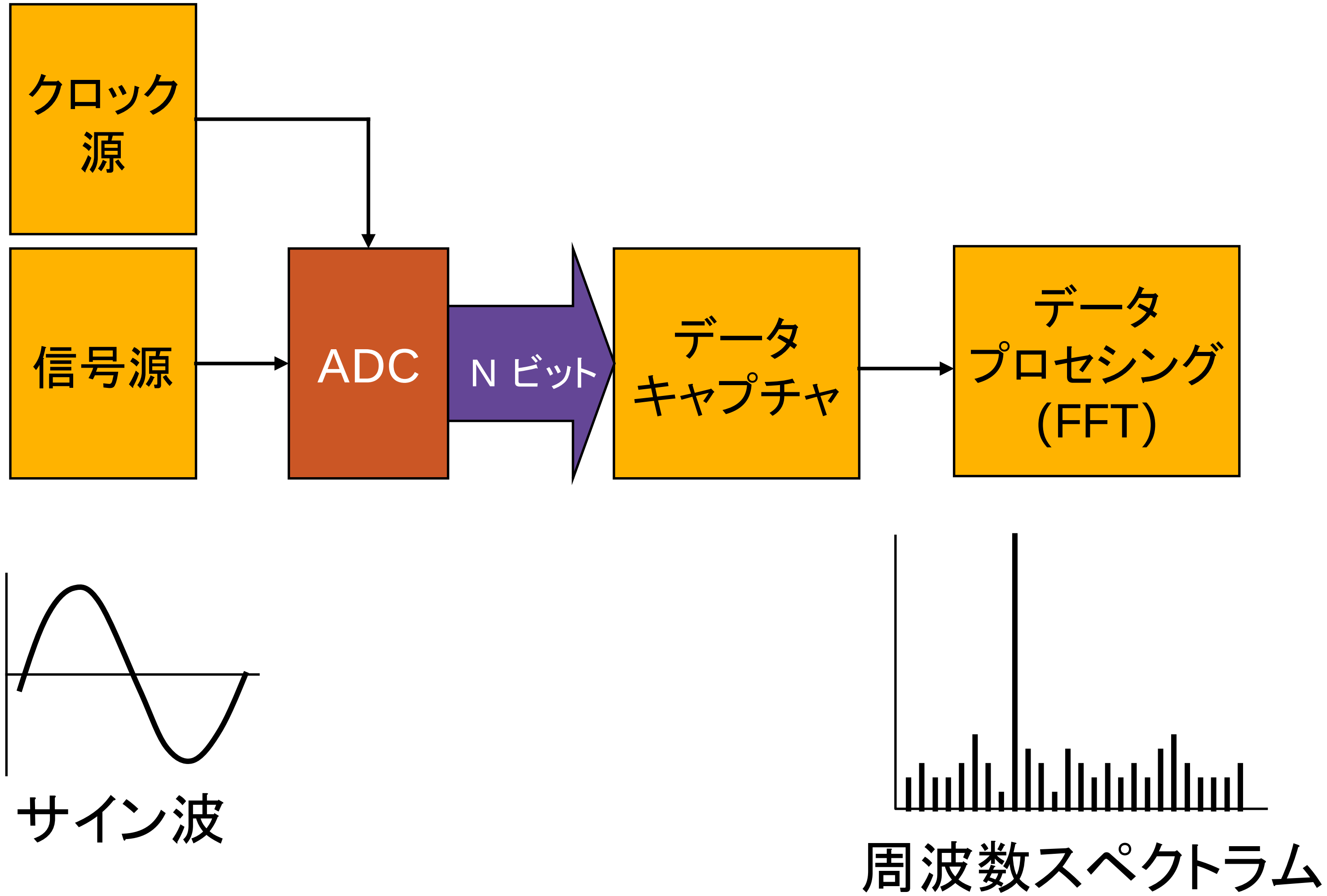


Ft < Fs/2

サイン波によるADCのテスト項目

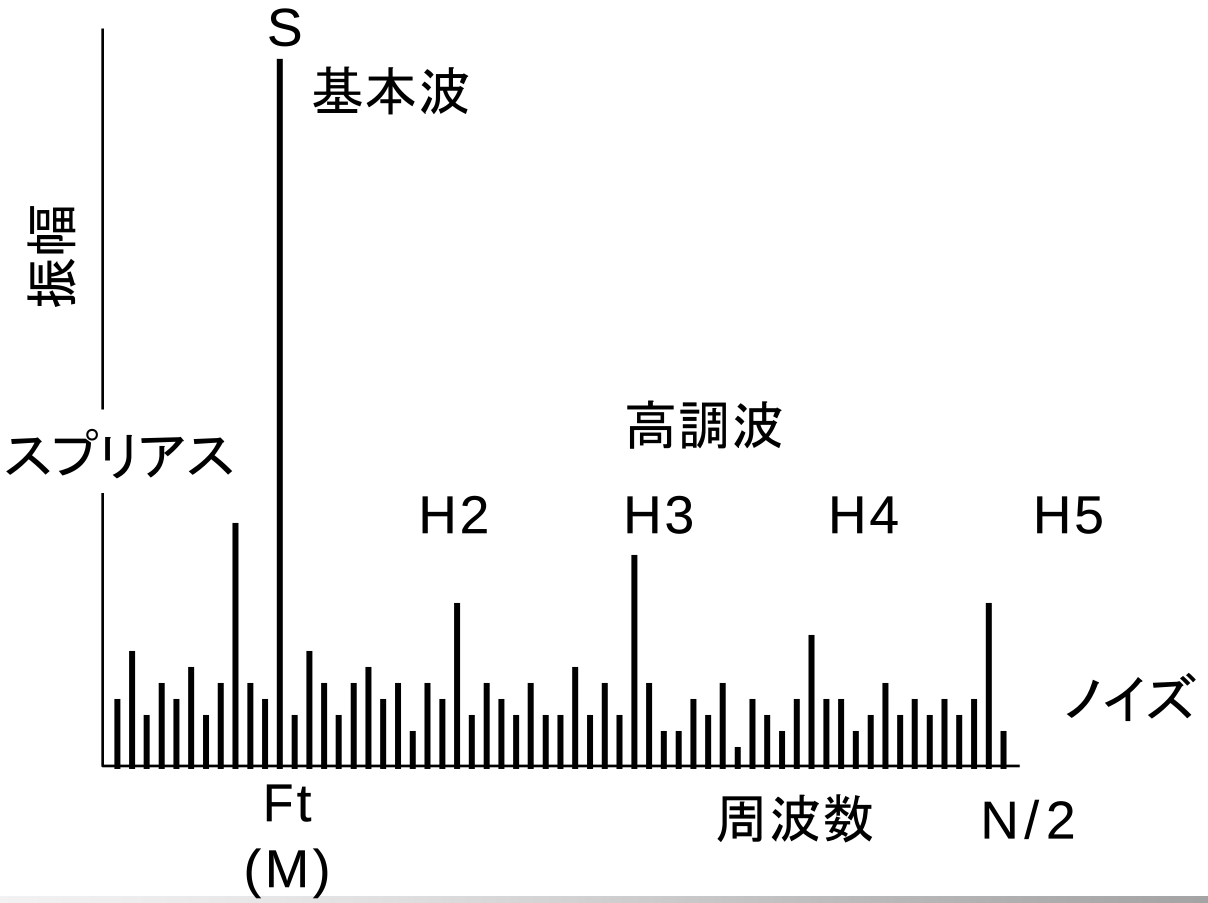
S/(N+D)	Signal to Noise and Distortion Ratio (SINAD)
ENOB	Effective Number of Bits（有効ビット数）
S/N	Signal to Noise Ratio (SNR)
THD	Total Harmonic Distortion（全高調波歪）
SFDR	Spurious Free Dynamic Range

サイン波によるADCのテスト



VERIGY
Verigy Restricted

周波数ドメイン解析



周波数ドメイン解析のパラメタ定義

サンプリング周波数	Fadc [Hz]
データの数	N [points]
信号測定時間	N/Fadc [sec]
データ中のサイン波のサイクル数	M [cycles]
解析帯域	Fadc/2 [Hz]
周波数分解能	1/UTP = Fadc/N [Hz]
信号ビン	M
高調波ビン	2M, 3M, 4M, …

Verigy Restricted

パワーの計算

信号パワー $fSp[M]^2$

全ノイズパワー $\sum_{k=1}^{M-1}(fSp[k])^2 + \sum_{k=M+1}^{\frac{N}{2}-1}(fSp[k])^2$

全高調波パワー $\sum_{k=2}^{r}(fSp[kM])^2$

fSp：周波数ドメインでのビンの信号の振幅

パラメタの計算

$$S/(N+D) = 10 * \log \frac{\text{Signal Power}}{\text{Total Noise Power}}$$

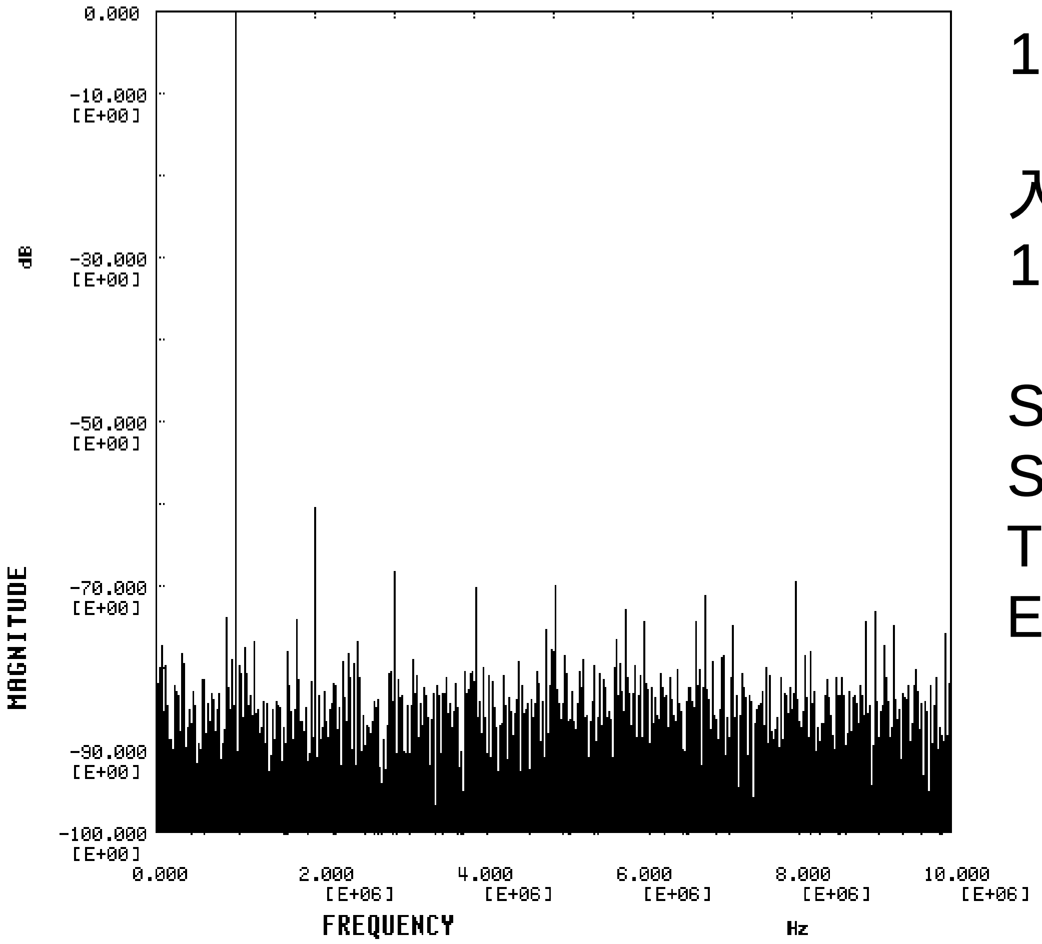
$$S/N = 10 * \log \frac{\text{Signal Power}}{\text{Total Noise Power - Total Harmonics Power}}$$

$$THD = 10 * \log \frac{\text{Total Harmonics Power}}{\text{Signal Power}}$$

SFDR = Signal Level[dB] - Max.Spurious Level[dB]

$$ENOB = \frac{S/(N+D)[dB] - 1.76}{6.02}$$

実際のADCの測定結果の例



10ビット 20Msps ADC

入力信号:
1MHz サイン波

SINAD=53.7dB
SNR=55.4dB
THD= -58.7dB (9th)
ENOB=8.6 bits

内容

- アナログ・デジタル変換器のテスト
- ジッタについて
- ジッタと SNR
- 位相雑音
- クロック・ノイズのスペクトラムへの影響
- クロックの生成
- ジッタを低減するには
- まとめ

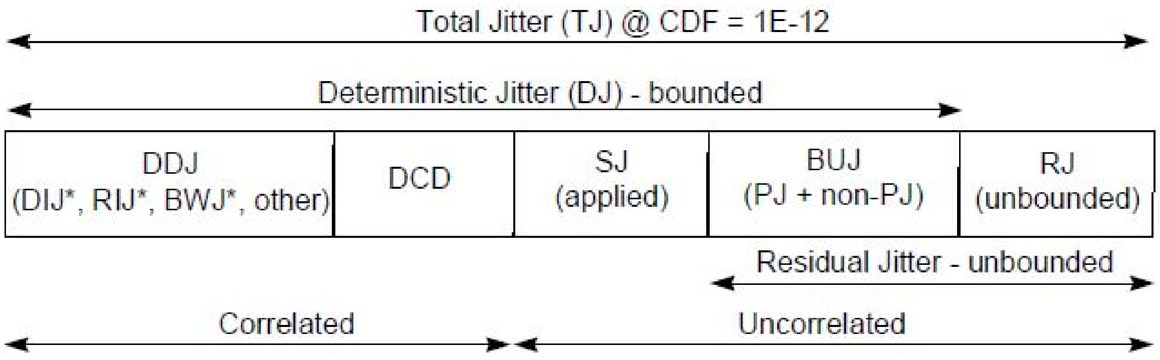
ジッタの定義

INCITS/TR-35:2004[R2009] Information technology - Fibre Channel - Methodology of Jitter and Signal Quality Specification (FC-MJSQ) [T11.2]

jitter: the collection of instantaneous deviations of a signal edge times at a defined signal level of the signal from the reference times for those events.

ジッタ: ある定められたレベルの信号のエッジ時間と、
基準時間の、その瞬間の偏差の集まり

ジッタの分類



DDJ = Data Dependent Jitter
DCD = Duty Cycle Distortion Jitter
SJ = Sinsoidal Jitter (applied periodic jitter during signal tolerance testing)
BUJ = Bounded Uncorrelated Jitter
RJ = Random Jitter (Gaussian - unbounded)
DIJ = Dispersion Induced Jitter
RIJ = Reflection Induced Jitter
BWJ = Baseline Wander Induced Jitter
PJ = Periodic Jitter refers to spectral peaks in the jitter frequency distribution of BUJ
* Crosstalk may also induce uncorrelated jitter via these mechanisms -
only the correlated portions apply to DDJ

Figure 34 - Taxonomy of jitter terminology and relationships

INCITS/TR-35:2004[R2009] Information technology - Fibre Channel - Methodology of Jitter and Signal Quality Specification (FC-MJSQ) [T11.2]

Bounded & Unbounded Jitter

- Unbounded jitter has the property that some finite population exists at all values of jitter (assuming an infinite sample size).
- Bounded jitter has the property that no population exists beyond specific limits regardless of the number of events obtained.

- All bounded jitter is deterministic (by definition) and all unbounded jitter is Gaussian.

Verigy Restricted

Bounded & Unbounded Jitter

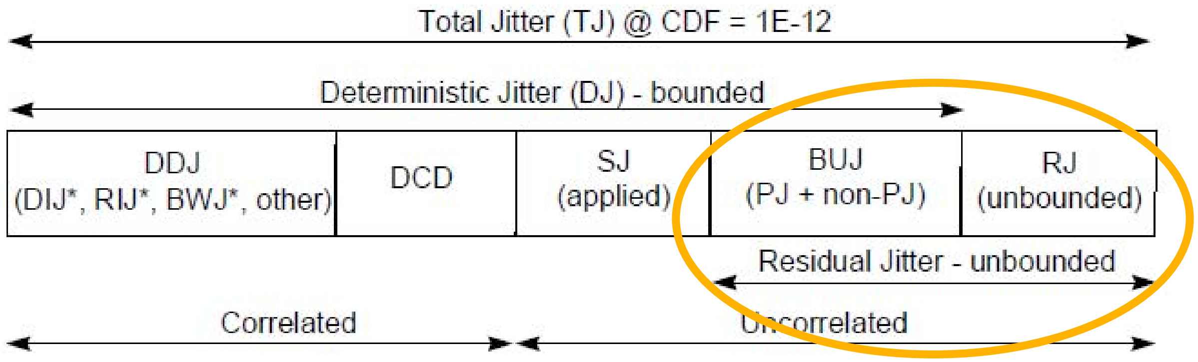
- Unbounded ジッタは、無限のサンプル数を仮定すると、総てのジッタ値に対して有限のサンプルが存在する
  - どんなに大きな偏差も存在する
  - ガウス分布する
- Bounded ジッタはサンプル数に関係なく、ある範囲を超えるとそこにはサンプルが存在しない
  - 偏差はある範囲内にしか存在しない
  - Bounded ジッタは Deterministic ジッタである

Correlated & Uncorrelated Jitter

Correlated：伝送されているデータと関連がある

Uncorrelated:伝送されているデータと関連がない

クロックのジッタ



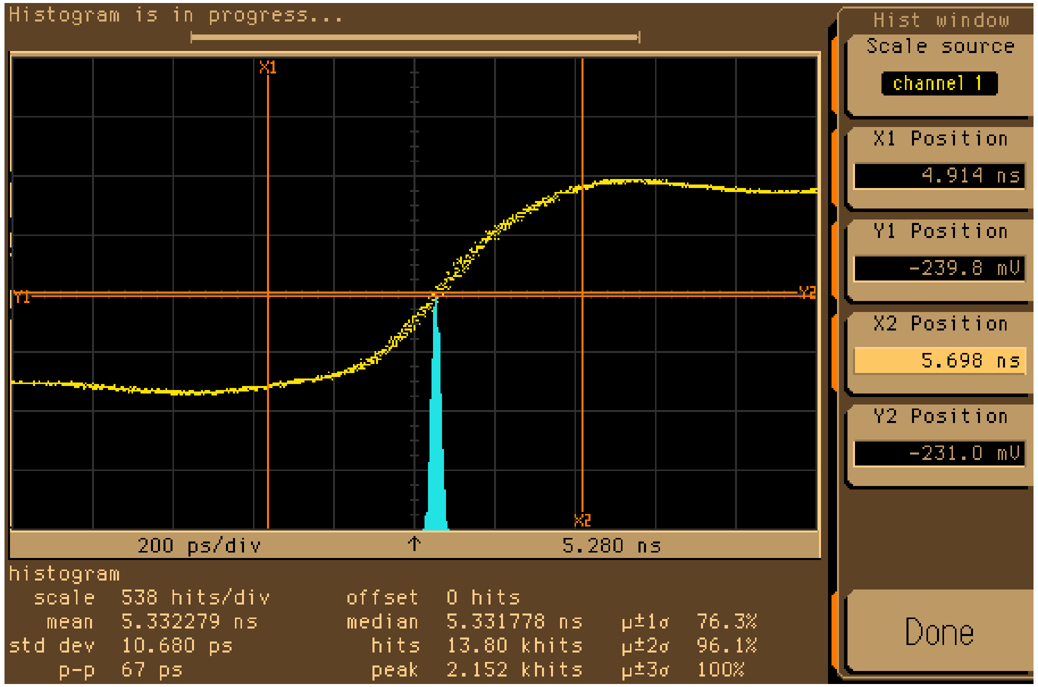
DDJ = Data Dependent Jitter
DCD = Duty Cycle Distortion Jitter
SJ = Sinsoidal Jitter (applied periodic jitter during signal tolerance testing)
BUJ = Bounded Uncorrelated Jitter
RJ = Random Jitter (Gaussian - unbounded)
DIJ = Dispersion Induced Jitter
RIJ = Reflection Induced Jitter
BWJ = Baseline Wander Induced Jitter
PJ = Periodic Jitter refers to spectral peaks in the jitter frequency distribution of BUJ
* Crosstalk may also induce uncorrelated jitter via these mechanisms -
only the correlated portions apply to DDJ

Figure 34 - Taxonomy of jitter terminology and relationships

INCITS/TR-35:2004[R2009] Information technology - Fibre Channel - Methodology of Jitter and Signal Quality Specification (FC-MJSQ) [T11.2]

実際のクロックのジッタ

クロックのジッタは unbounded jitter のみでガウス分布している



ピーク値ではなくシグマ値でジッタ量をあらわす

内容

アナログ･デジタル変換器のテスト

ジッタについて

ジッタと SNR

位相雑音

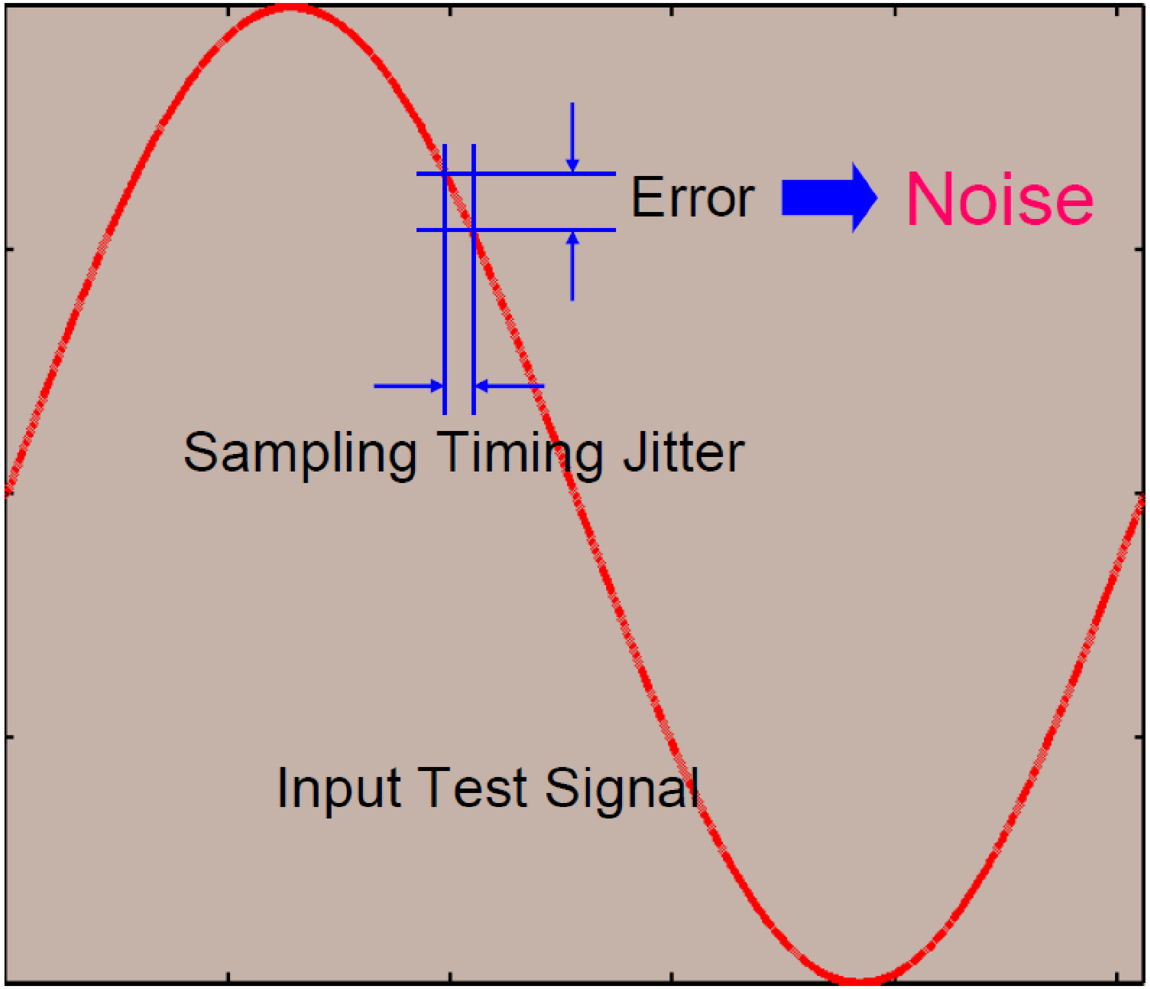
クロック･ノイズのスペクトラムへの影響

クロックの生成

ジッタを低減するには

まとめ

クロック･ジッタと SNR



クロック･ジッタによる SNR の計算

Test Signal $v(t) = A\sin(2\pi \cdot F_{sig} \cdot t)$

$$\frac{dv}{dt} = A \cdot 2\pi \cdot F_{sig} \cos(2\pi \cdot F_{sig} \cdot t)$$

Noise by Jitter $\Delta v = A \cdot 2\pi \cdot F_{sig} \cos(2\pi \cdot F_{sig} \cdot t) \cdot \Delta t$

$$\Delta v\big|_{rms} = \frac{A \cdot 2\pi \cdot F_{sig} \cdot \Delta t\big|_{rms}}{\sqrt{2}}$$

$\dfrac{\text{RMS Signal}}{\text{RMS Noise}}$

$$SNR = \frac{\frac{A}{\sqrt{2}}}{\Delta v\big|_{rms}} = \frac{\frac{A}{\sqrt{2}}}{\frac{A \cdot 2\pi \cdot F_{sig}}{\sqrt{2}} \Delta t\big|_{rms}} = \frac{1}{2\pi \cdot F_{test} \cdot \Delta t\big|_{rms}}$$

$$SNR[dB] = -20\log\left(2\pi \cdot F_{sig} \cdot \Delta t\big|_{rms}\right) = -20\log\left(2\pi \cdot F_{sig} \cdot J_{rms}\right)$$

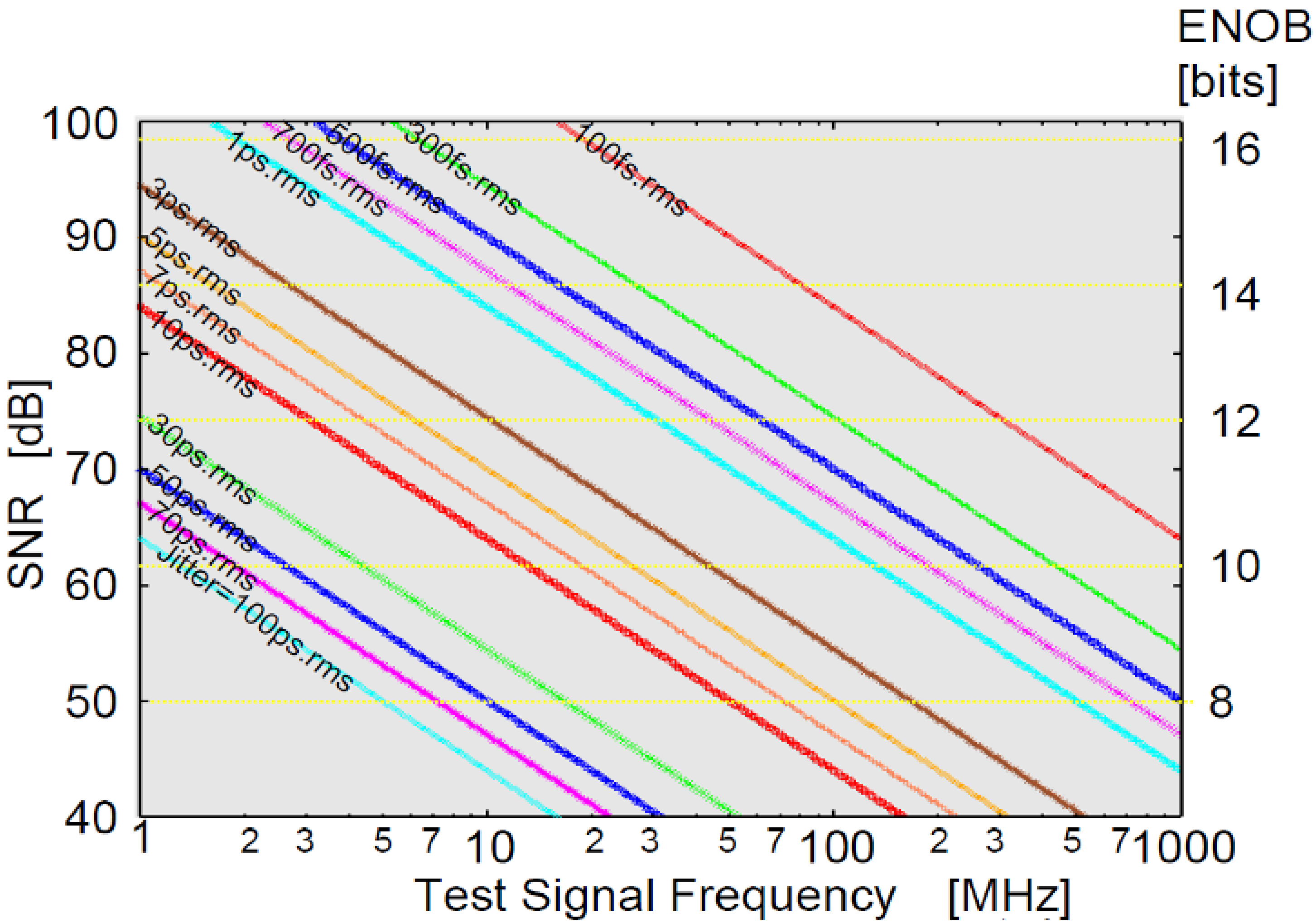
クロック・ジッタによる SNR

$$SNR[\mathrm{dB}] = -20 \cdot \log(2\pi \cdot F_{sig} \cdot J_{rms})$$

- クロック・ジッタによる SNR は入力信号の周波数とジッタのみで決まる
- クロックの周波数には関係しない

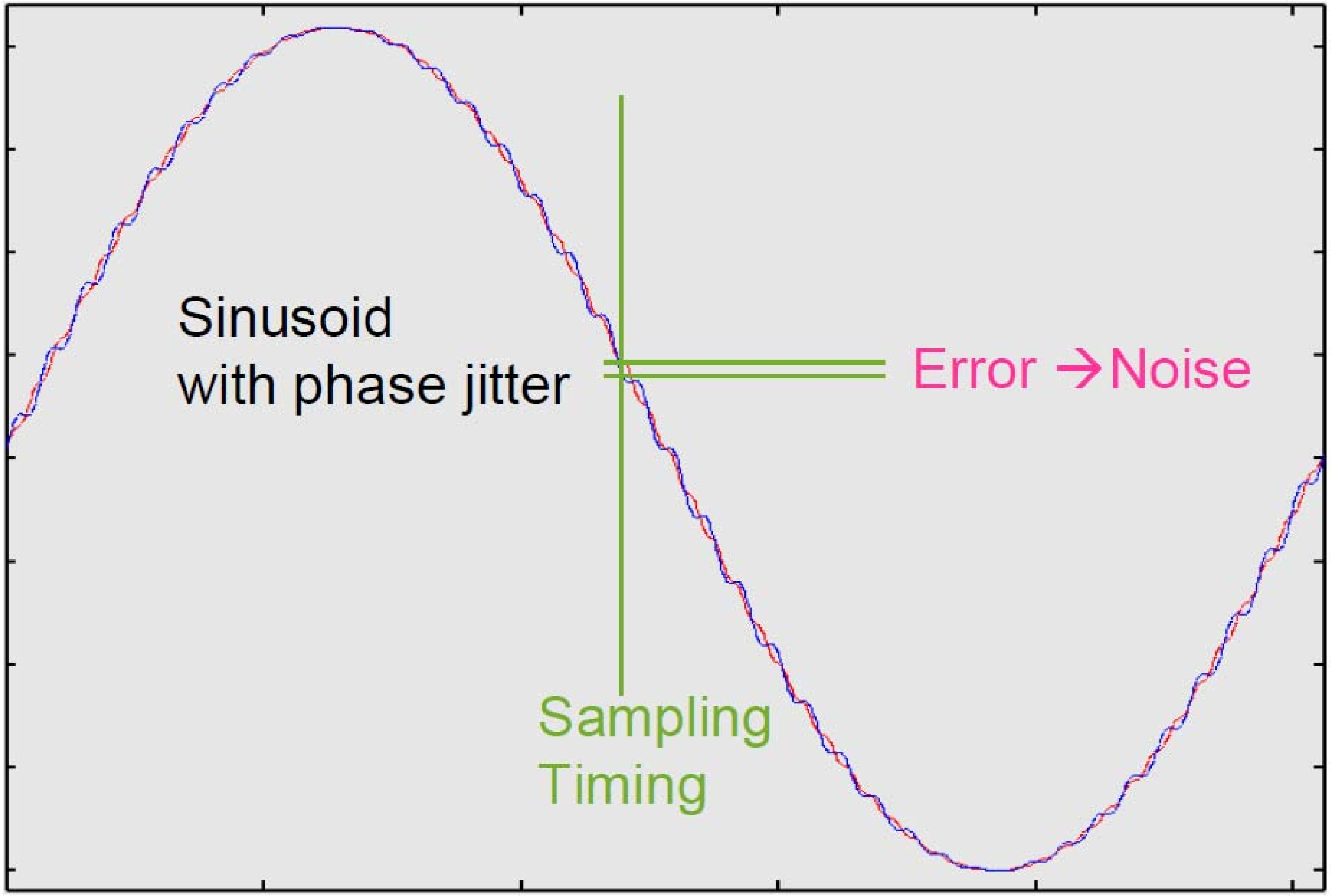
Verigy Restricted

入力信号周波数、クロック･ジッタと SNR

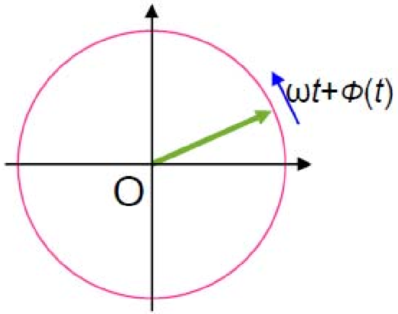


Verigy Restricted

入力信号のジッタと SNR



入力信号のジッタによる SNR の計算



Phase Jitter=J_{rms}=Φ_{rms}/ω_{sig}

$$v(t) = A\sin\left(\omega_{sig}t + \phi(t)\right)$$
$$= A\cos\phi(t)\cdot\sin\left(\omega_{sig}t\right) + A\sin\phi(t)\cdot\cos\left(\omega_{sig}t\right)$$
$$\left[\phi(t)\cong 0, \cos\phi(t)\cong 1, \sin\phi(t)\cong\phi(t)\right]$$
$$\approx A\sin\left(\omega_{sig}t\right) + A\phi(t)\cos\left(\omega_{sig}t\right)$$
$$= Signal + Noise$$

$$SNR = \frac{Signal\,|_{rms}}{Noise\,|_{rms}} = \frac{\frac{A}{\sqrt{2}}}{\phi(t)|_{rms}\cdot\frac{A}{\sqrt{2}}} = \frac{1}{\phi_{rms}}$$
$$\left[\phi_{rms} = \omega_{sig}\cdot J_{rms}\right]$$
$$= \frac{1}{2\pi\cdot F_{sig}\cdot J_{rms}}$$

$$SNR\,[dB] = 20\log\left(\frac{1}{2\pi\cdot F_{sig}\cdot J_{rms}}\right) = -20\log\left(2\pi\cdot F_{sig}\cdot J_{rms}\right)$$

Verigy Restricted

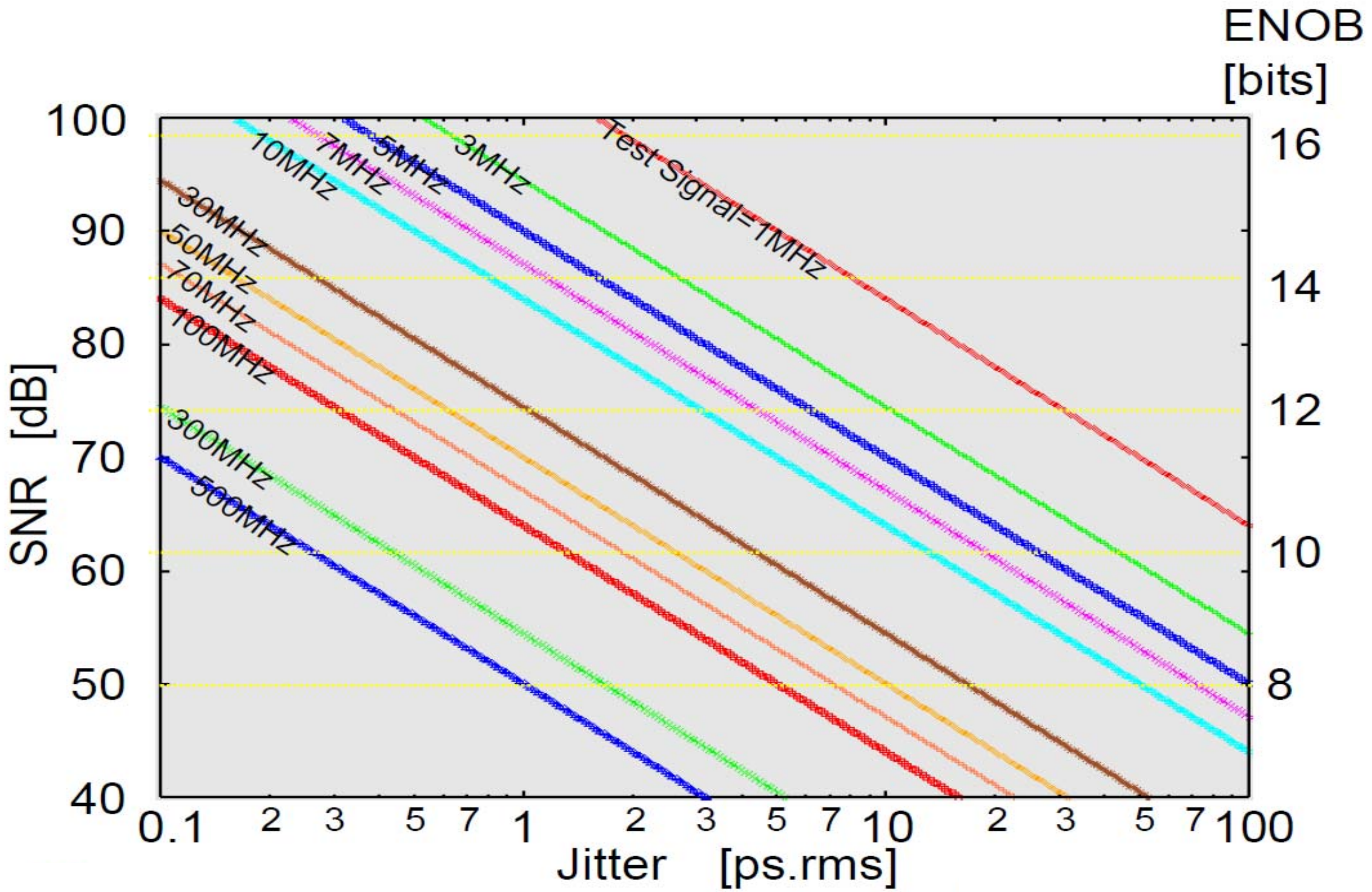
入力信号のジッタによる SNR

$$SNR[\mathrm{dB}] = -20 \cdot \log(2\pi \cdot F_{sig} \cdot J_{rms})$$

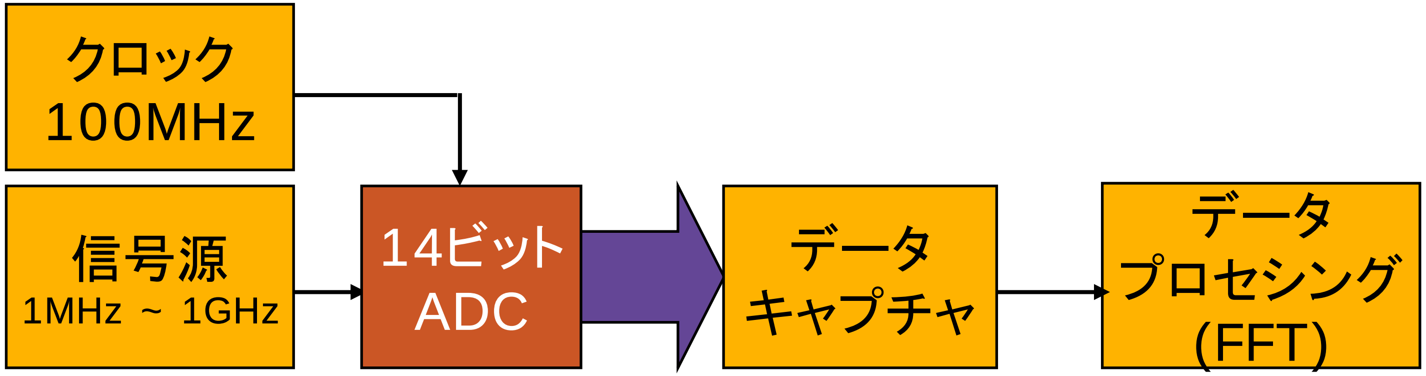
- クロック・ジッタによる SNR と同じ

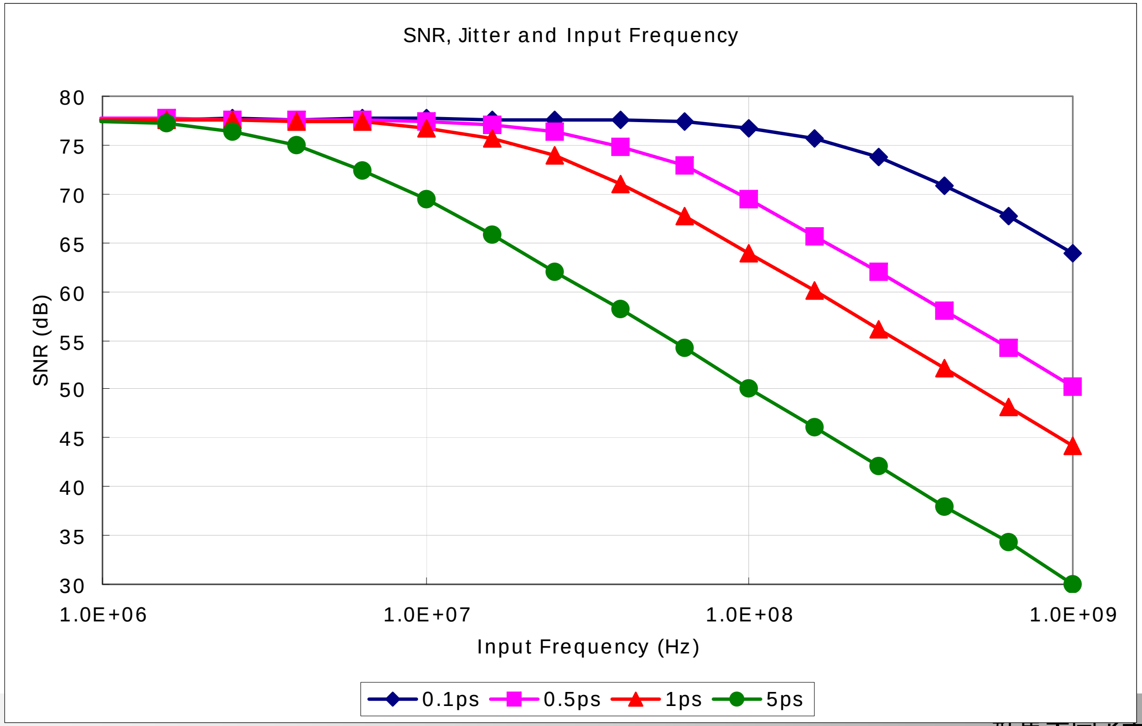
Verigy Restricted

入力信号の周波数、ジッタと SNR



入力信号を変化させた時の ADC の SNR





Verigy Restricted

内容

アナログ・デジタル変換器のテスト

ジッタについて

ジッタと SNR

位相雑音

クロック・ノイズのスペクトラムへの影響

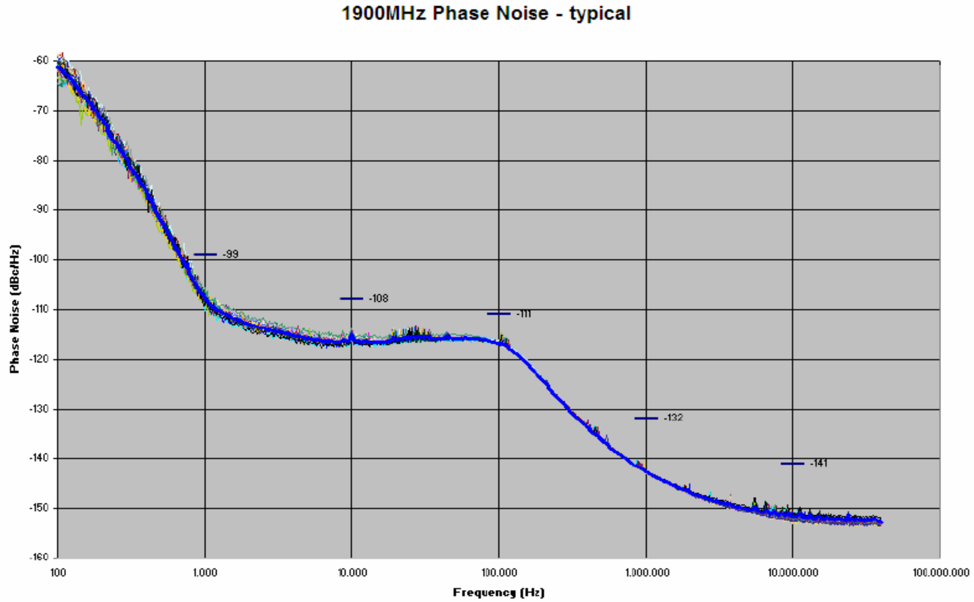
クロックの生成

ジッタを低減するには

まとめ

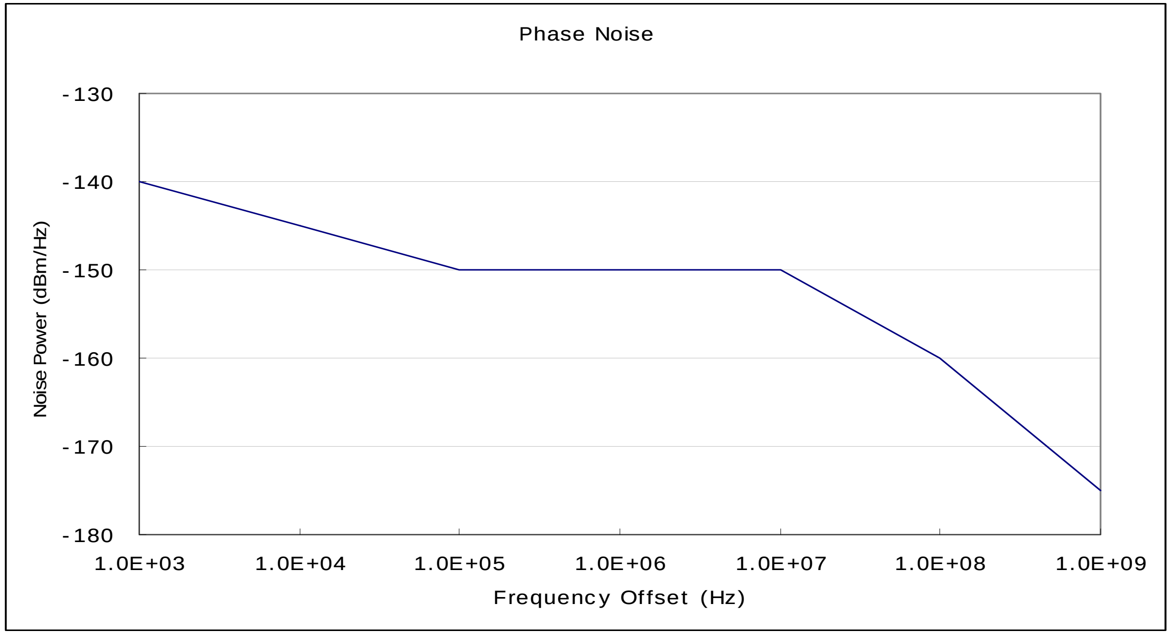
クロックの位相雑音

- クロックのジッタ性能を Phase Noise (位相雑音）で議論することが多くなった
  - 発振器、PLL などの仕様はジッタではなく位相雑音が用いられている
  - アプリケーションが、RF に及ぶようになり、RF でよく用いられる位相雑音が使われるようになった（？）



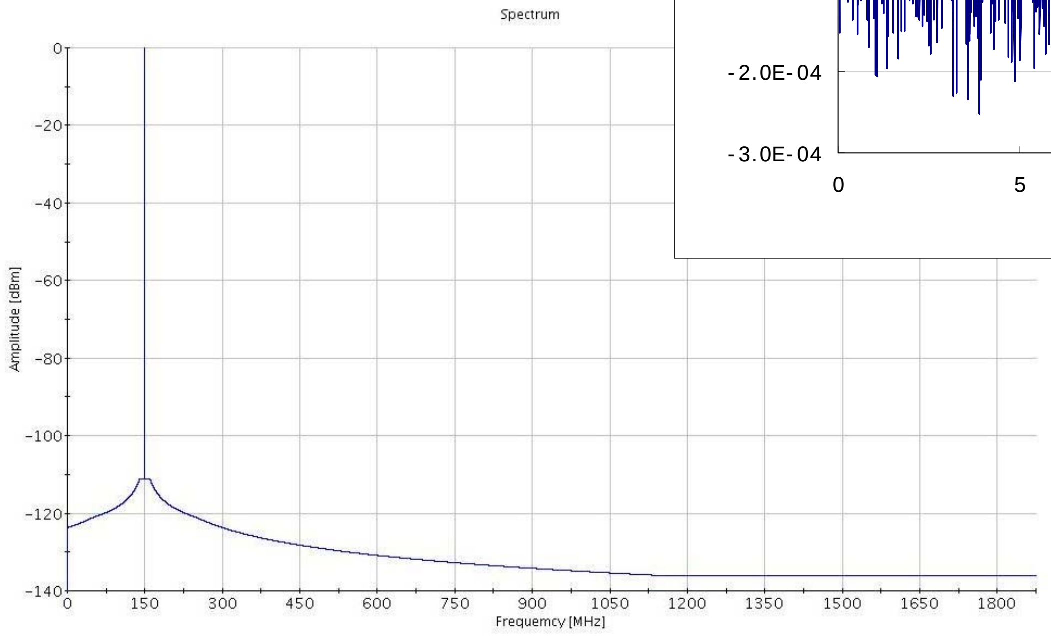
位相雑音のあるクロック: 位相雑音

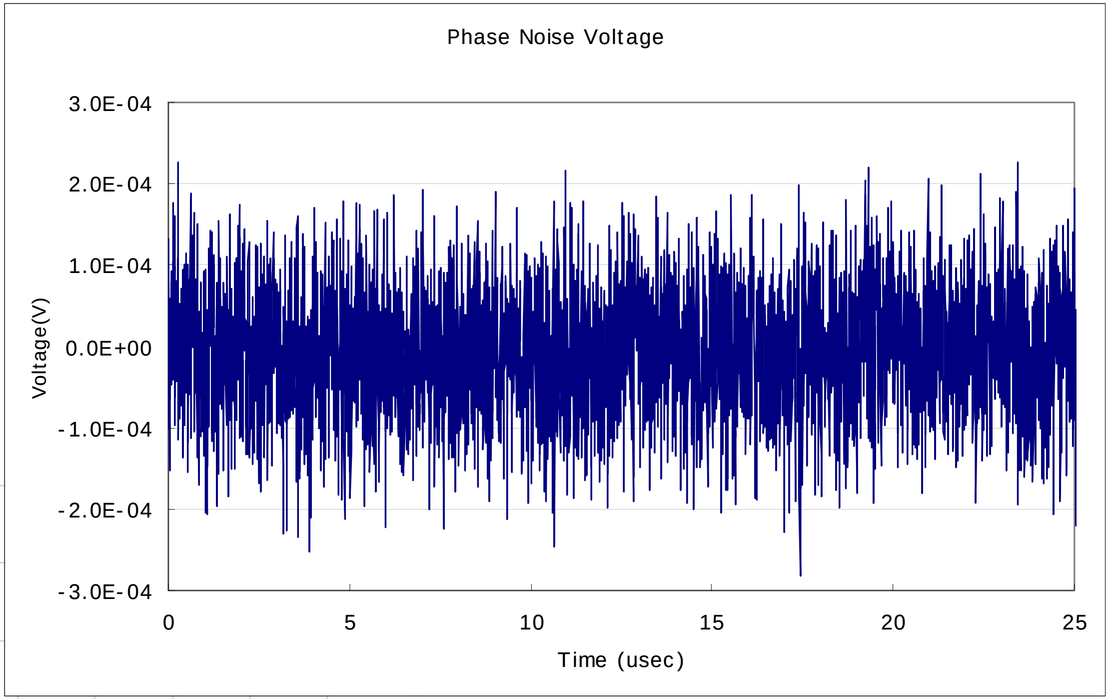
Frequency Offset	Phase Noise (dBm/Hz)
1KHz	-140
10KHz	-145
100KHz	-150
1MHz	-150
10MHz	-150
100MHz	-160
1GHz	-175



Verigy Restricted

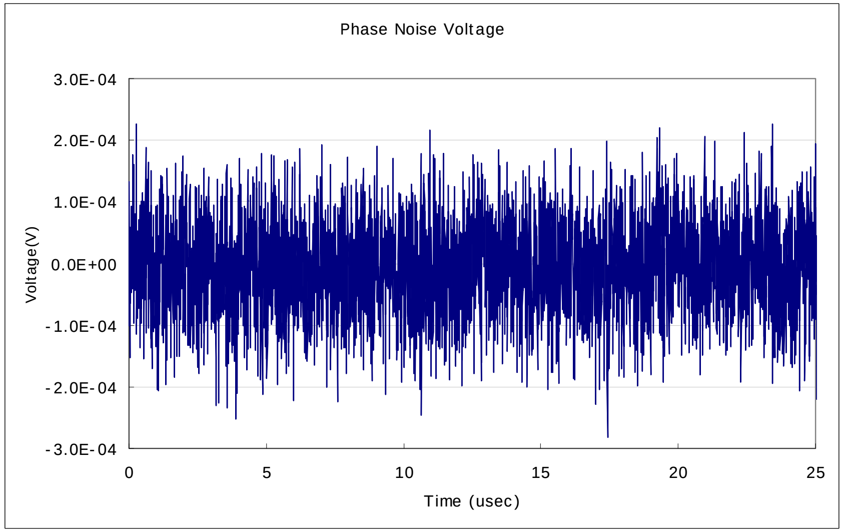
位相雑音のあるクロック: 150MHz, 0dBm



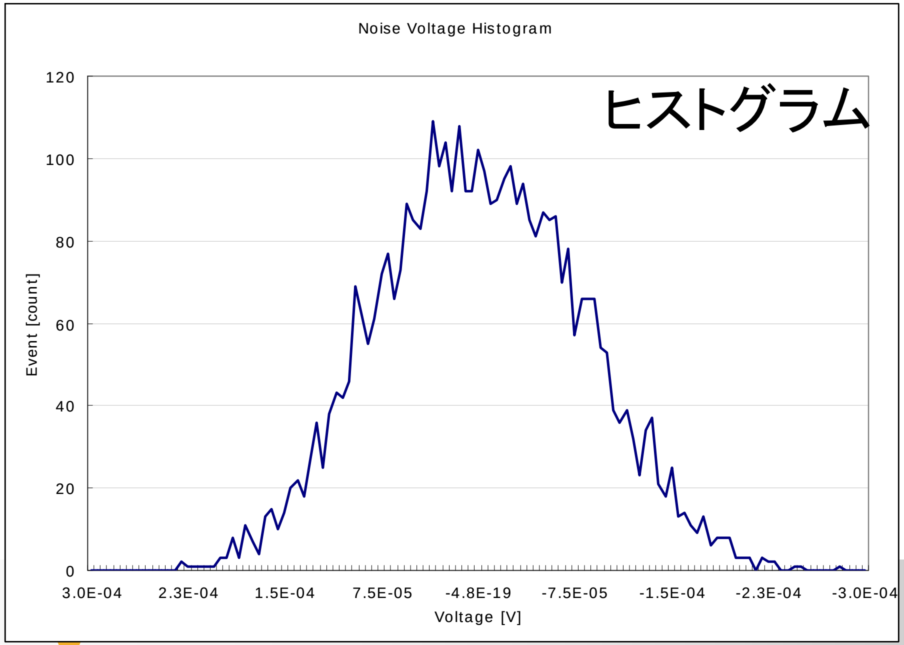


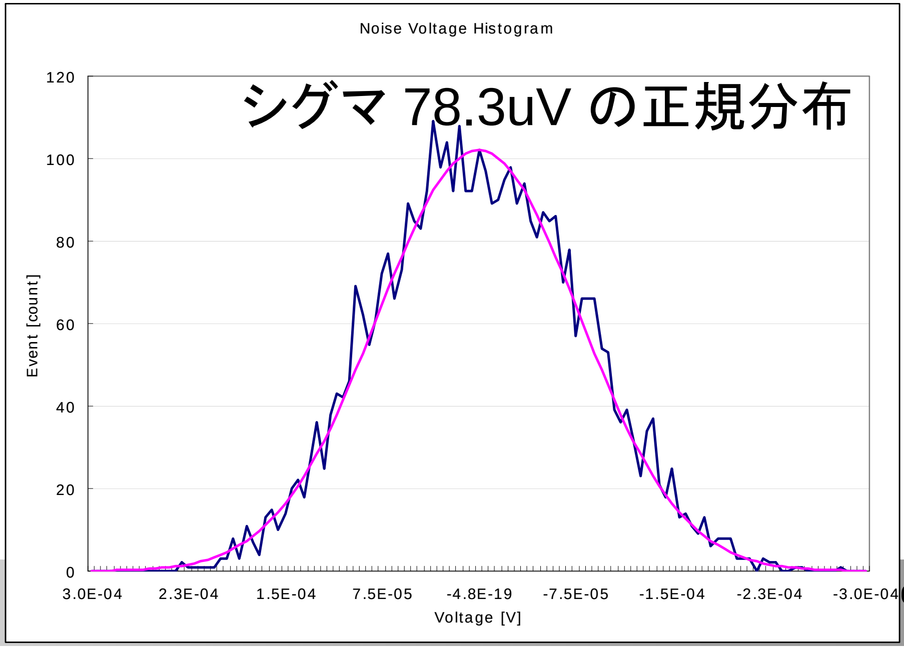
Verigy Restricted

位相雑音のあるクロック: 雑音電圧



ピーク･ピーク値: 509uV
シグマ値: 78.3uV





Verigy Restricted

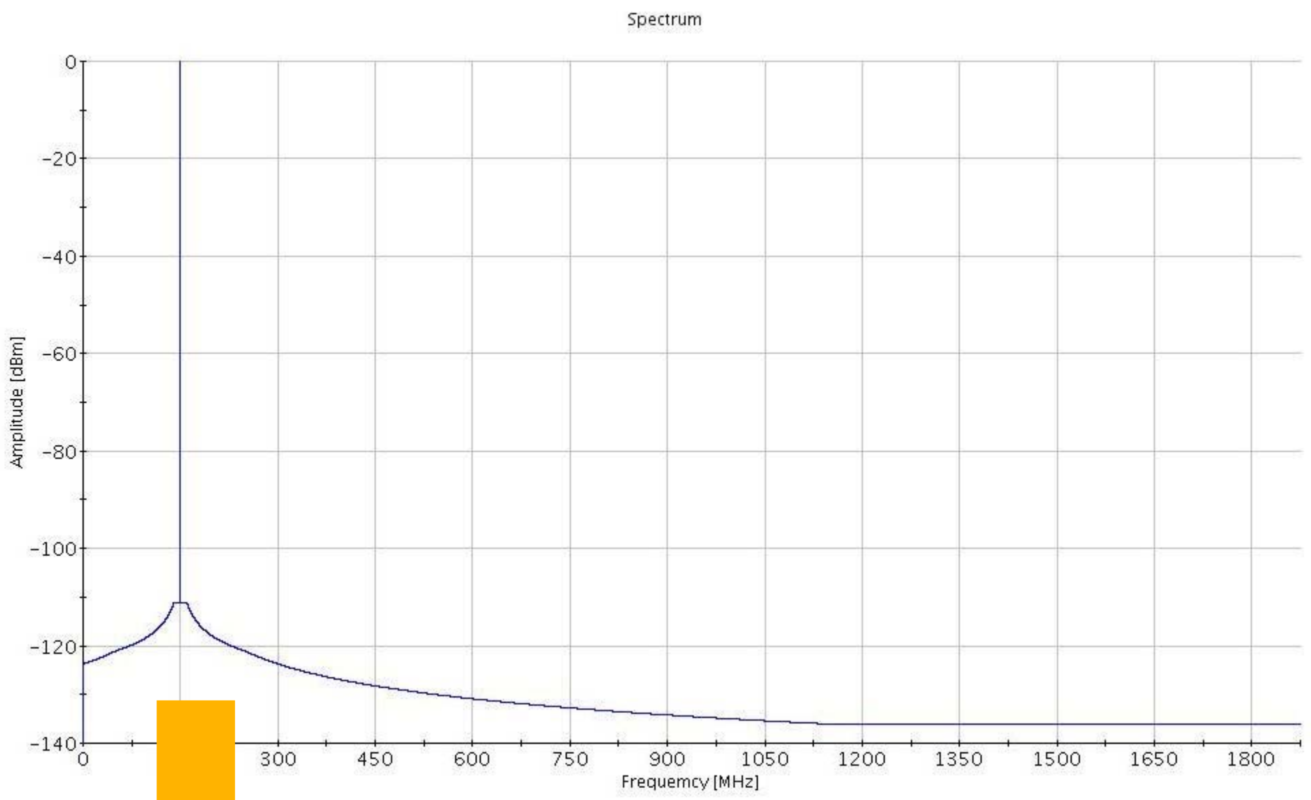
雑音電圧からのジッタ計算

$$\text{ジッタ [sec rms]} = \frac{\text{雑音電圧 [V rms]}}{2 * \pi * \text{周波数 [Hz]} * \text{振幅 [V]}}$$

$$= \frac{78.3\text{uV rms}}{2 * \pi * 150\text{MHz} * 0.31623\text{V}}$$

$$= 0.263\text{ps rms}$$

位相雑音からの雑音電圧

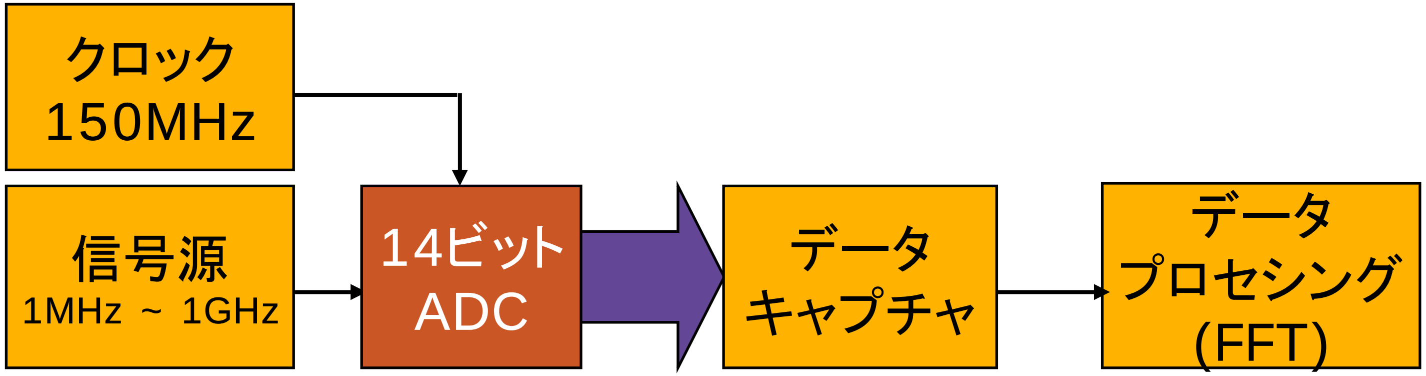


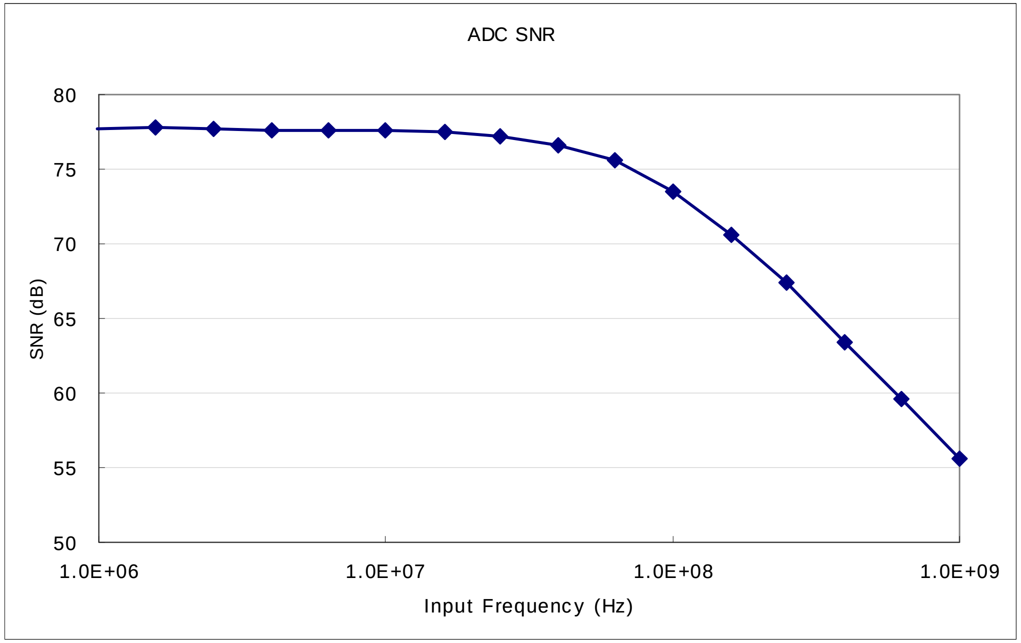
ノイズ･フロアの電圧 (0Hz – 2.048GHz)

74.7uV rms

0.25psec rms

位相雑音のあるクロックでの ADC の SNR





ジッタ: 0.27ps rms

Verigy Restricted

位相雑音のあるクロック

- 位相雑音はランダム･ノイズとなる
  - Unbounded Jitter
- 雑音電圧がジッタとして現れる
- クロック入力の持つ周波数帯域の総てのノイズがジッタとなる
  - クロックの電圧ノイズが大きいとジッタが増加する
  - 高域のノイズまで影響がある

内容

- アナログ･デジタル変換器のテスト
- ジッタについて
- ジッタと SNR
- 位相雑音
- **クロック･ノイズのスペクトラムへの影響**
- クロックの生成
- ジッタを低減するには
- まとめ

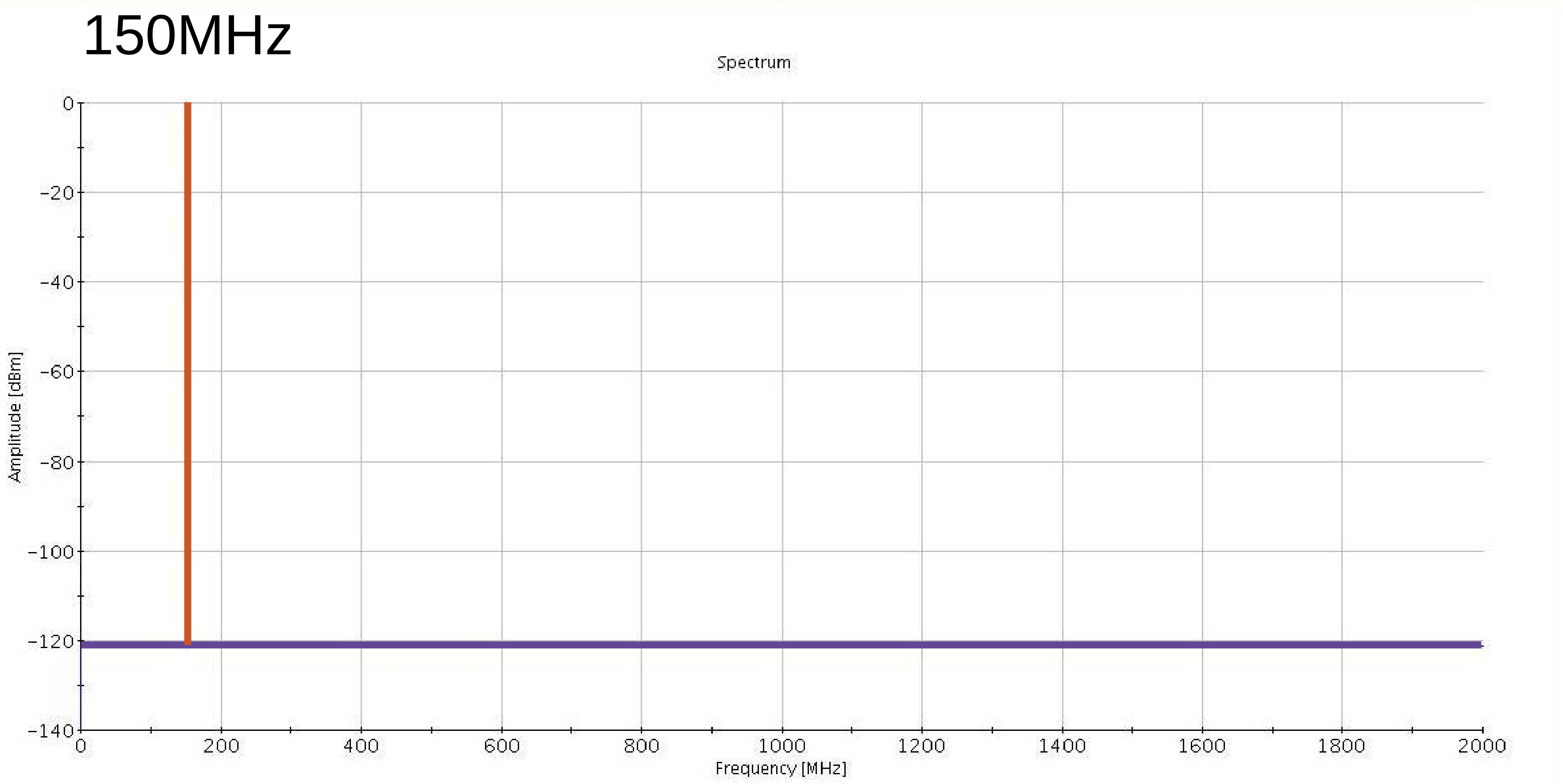
クロックのノイズがADCのスペクトラムに与える影響

- クロック源のノイズが、ADC の ノイズ･フロア にどのように影響するか？

- ノイズの周波数の偏り
  - 150MHz, 0dBm
  - ノイズ電圧: 100uV rms (-67dBm)
  - 0.335psec rms jitter

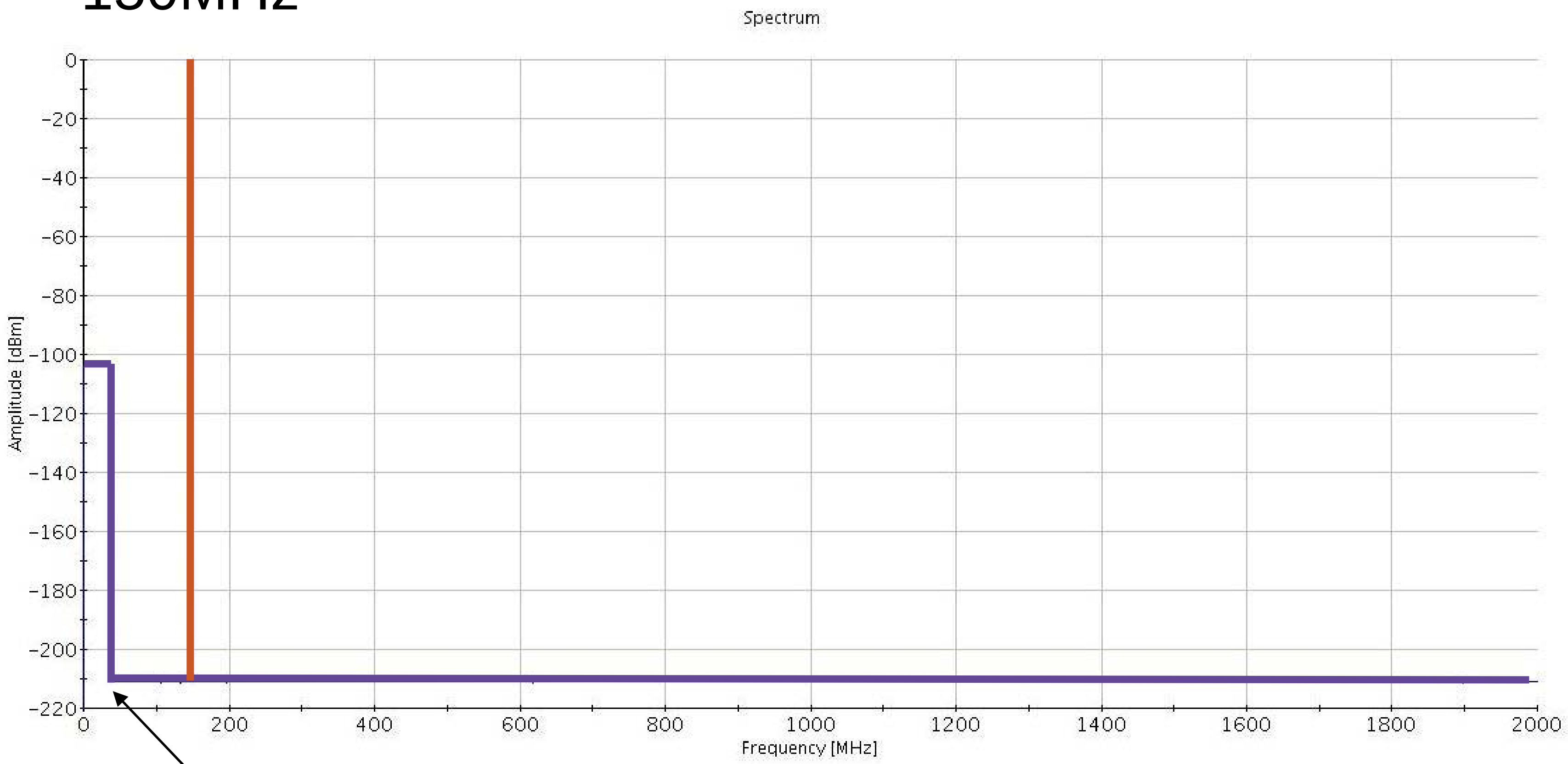
Verigy Restricted

ケース A: ホワイト･ノイズ



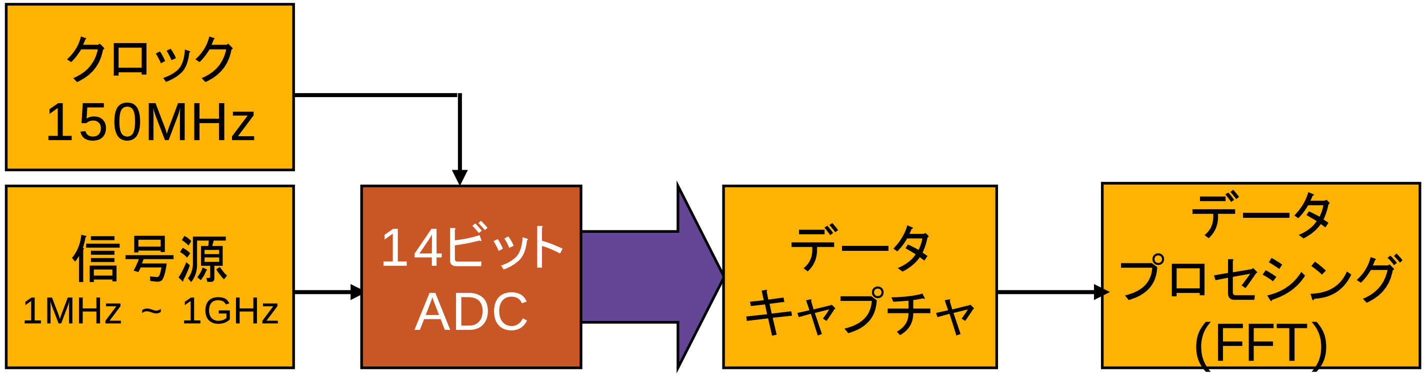
ケース B: ピンク･ノイズ

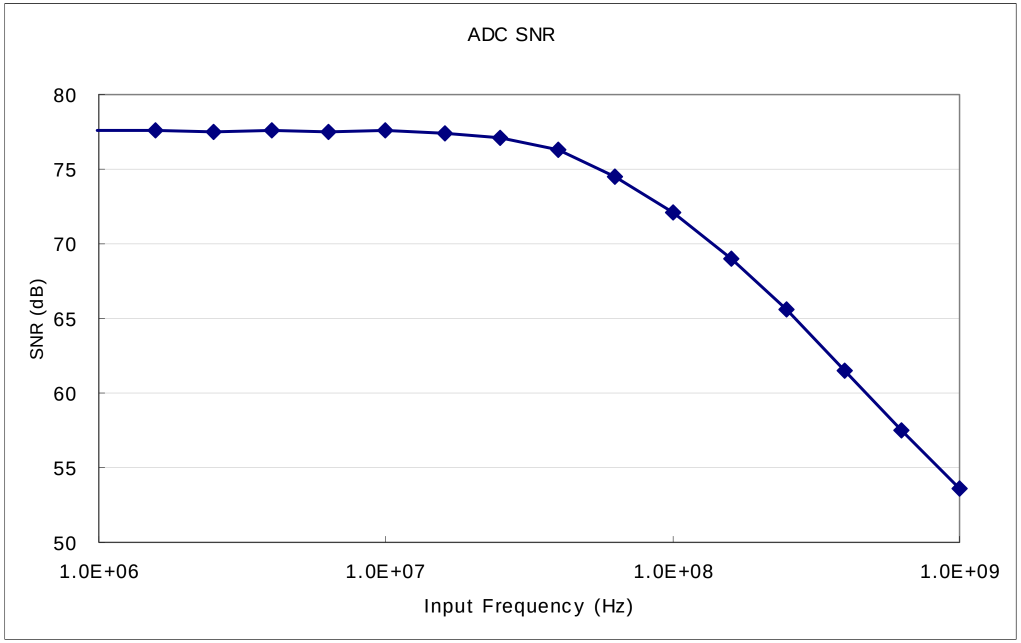
150MHz



37.5MHz

ADC の SNR



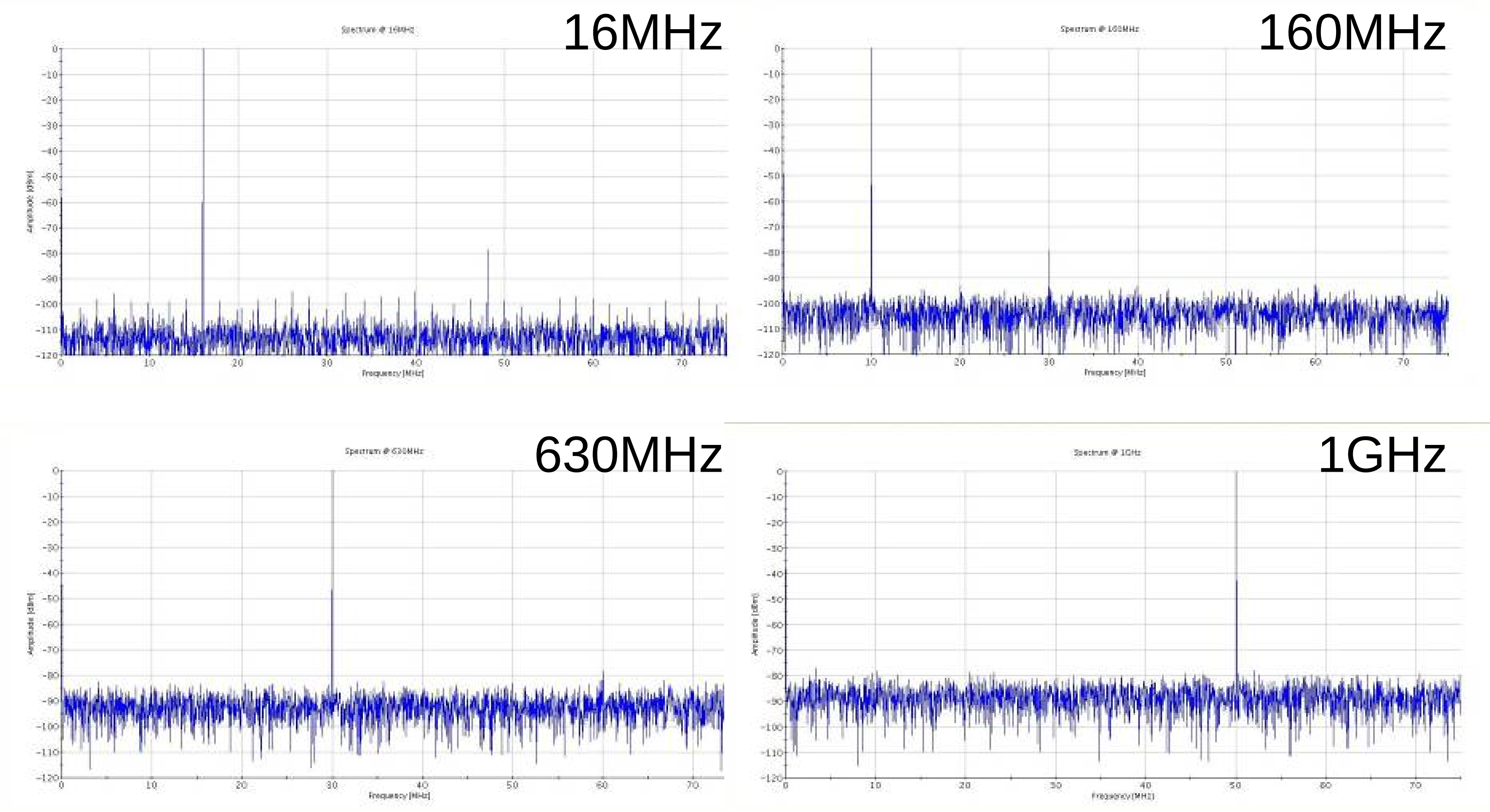


ジッタ: 0.34ps rms

ケース: A、ケース:B
とも同じ結果

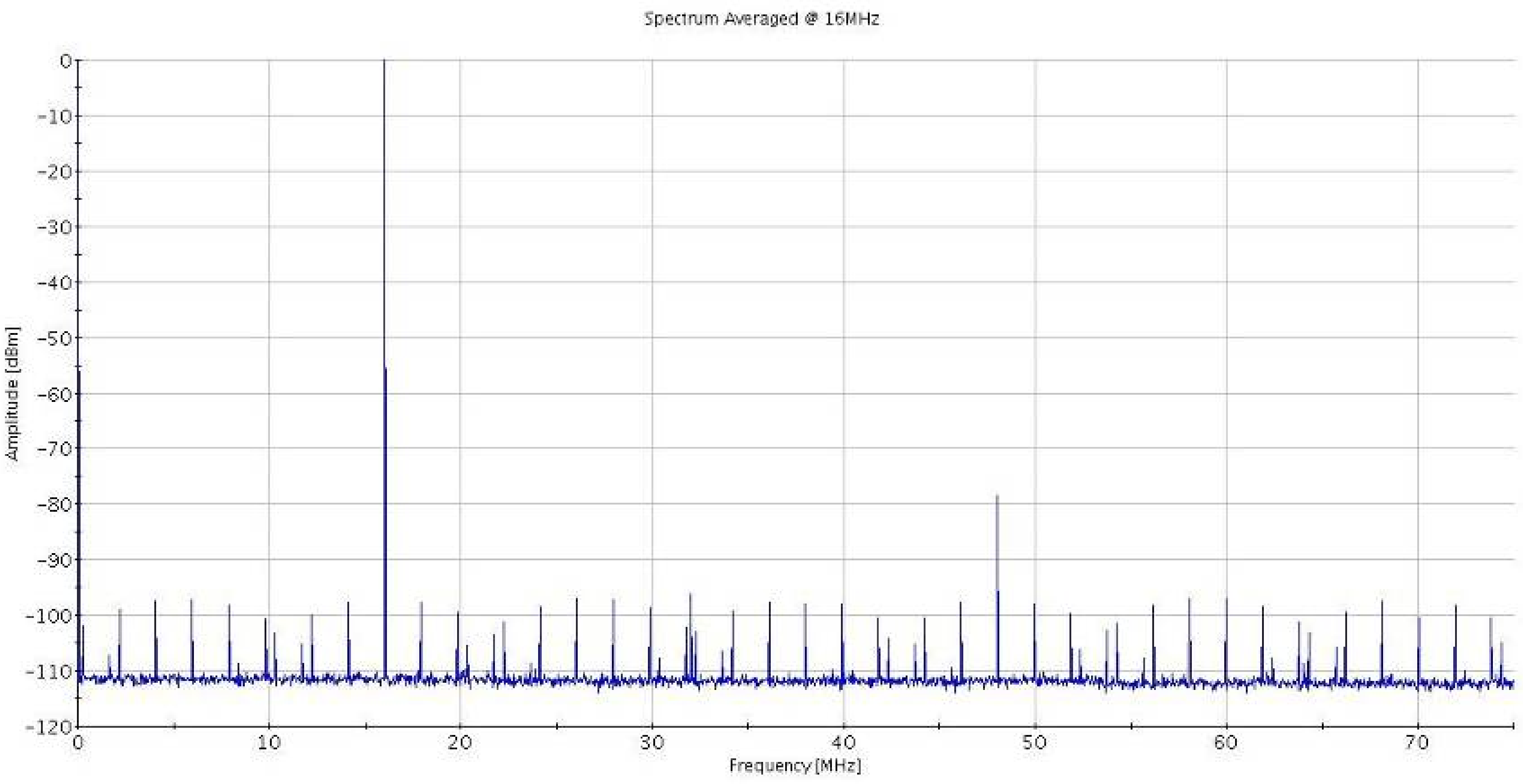
Verigy Restricted

ケース A：ホワイト･ノイズのスペクトラム

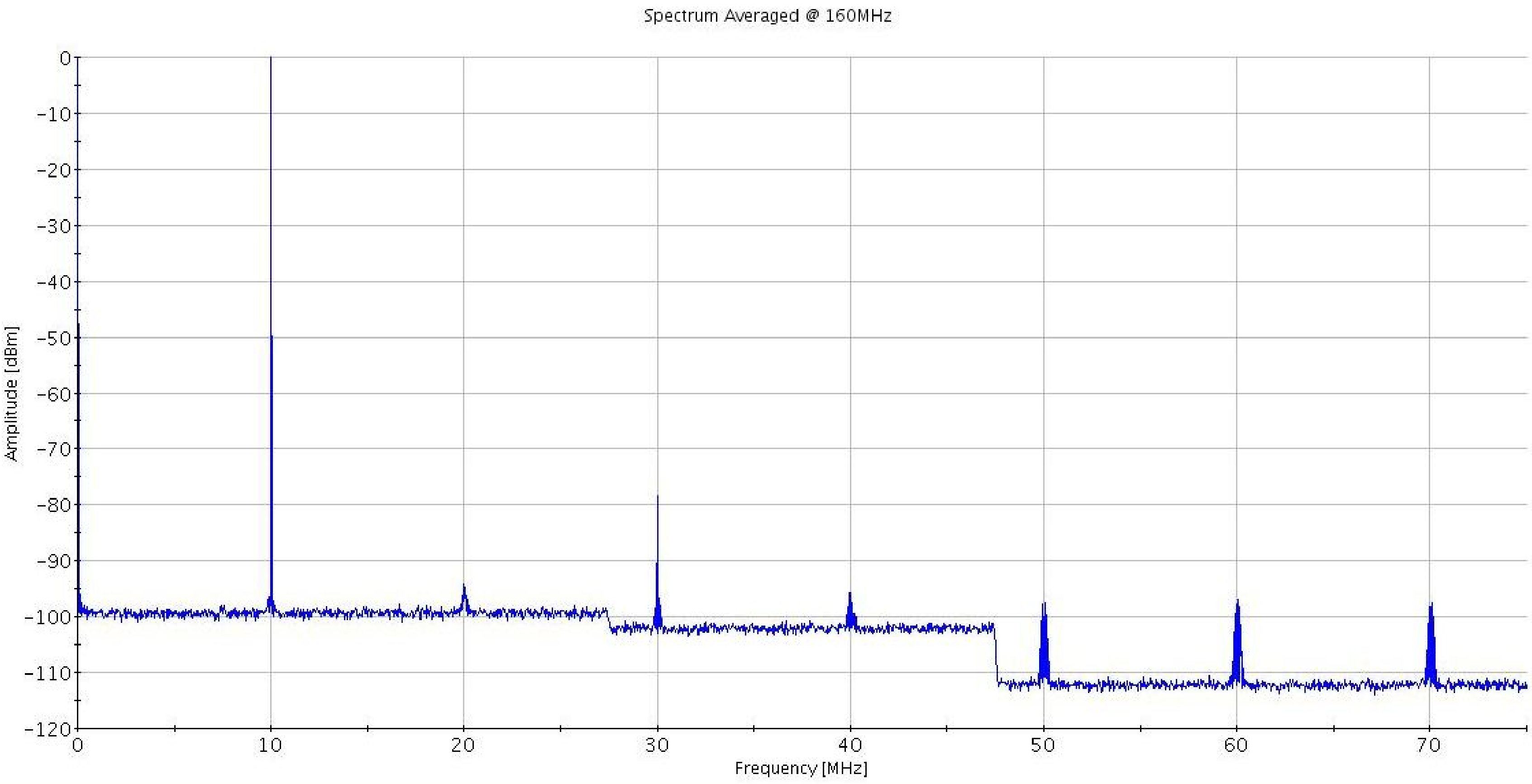


Verigy Restricted

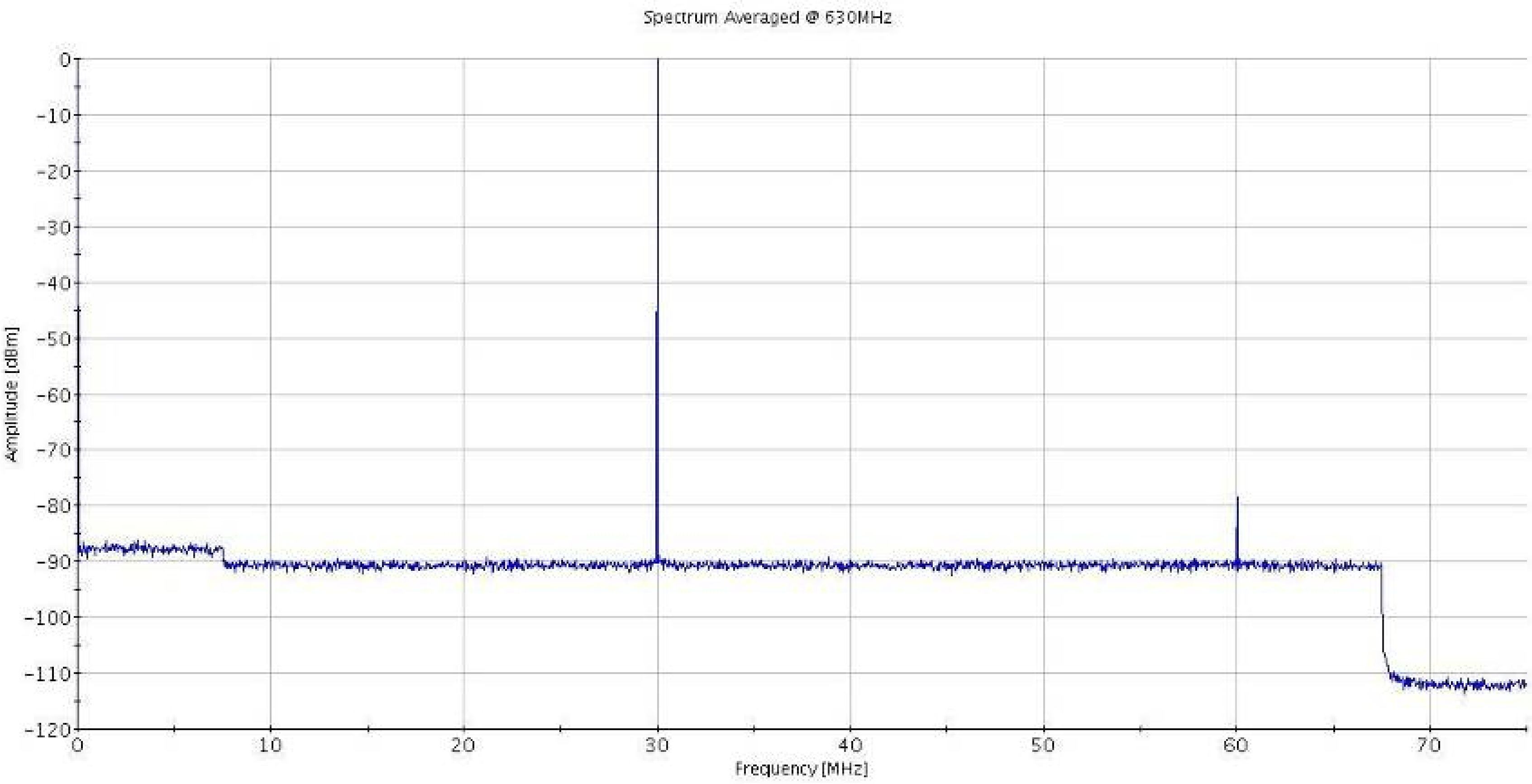
ケース B: ピンク·ノイズのスペクトラム 16MHz



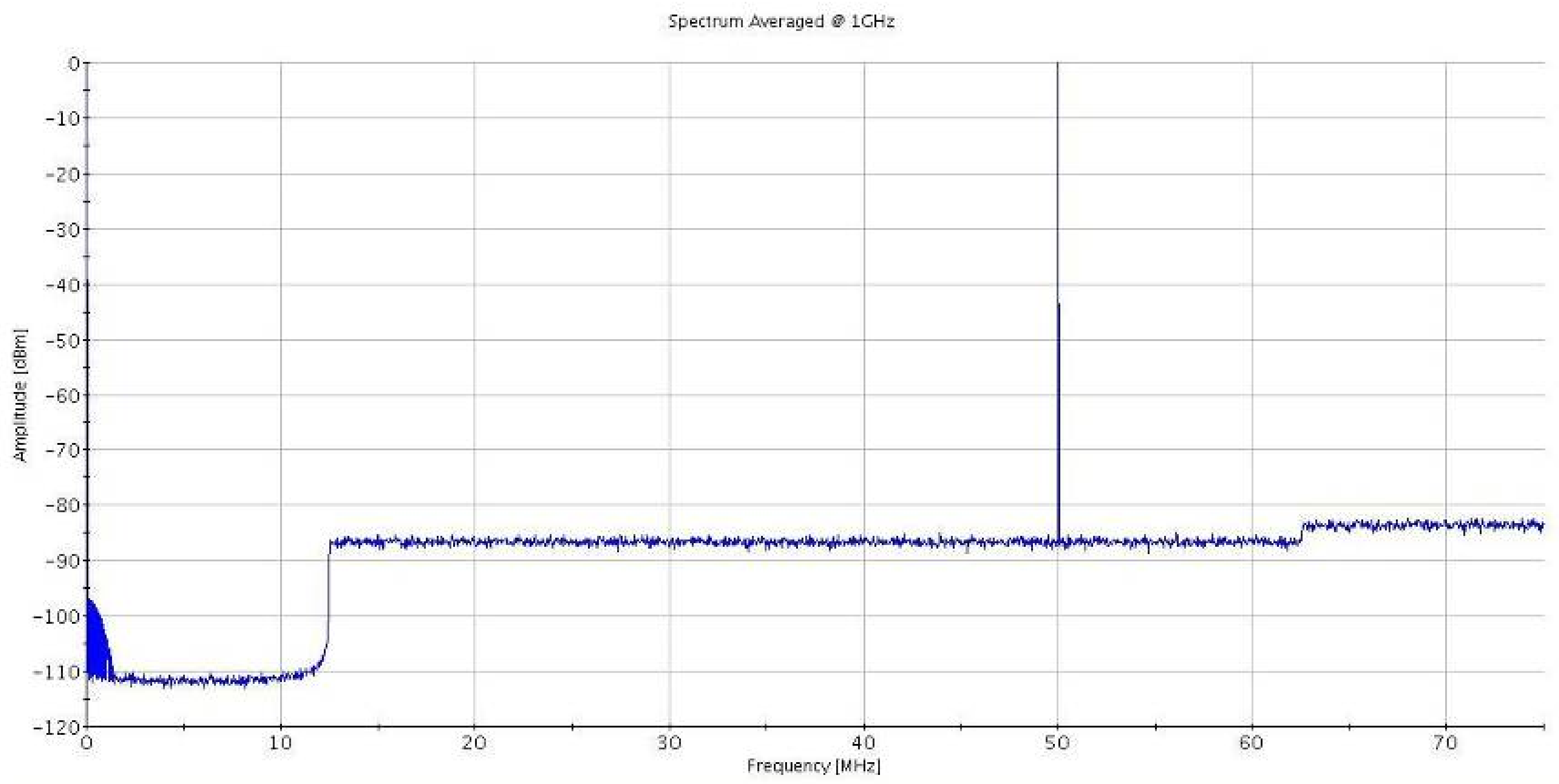
ケース B: ピンク･ノイズのスペクトラム 160MHz



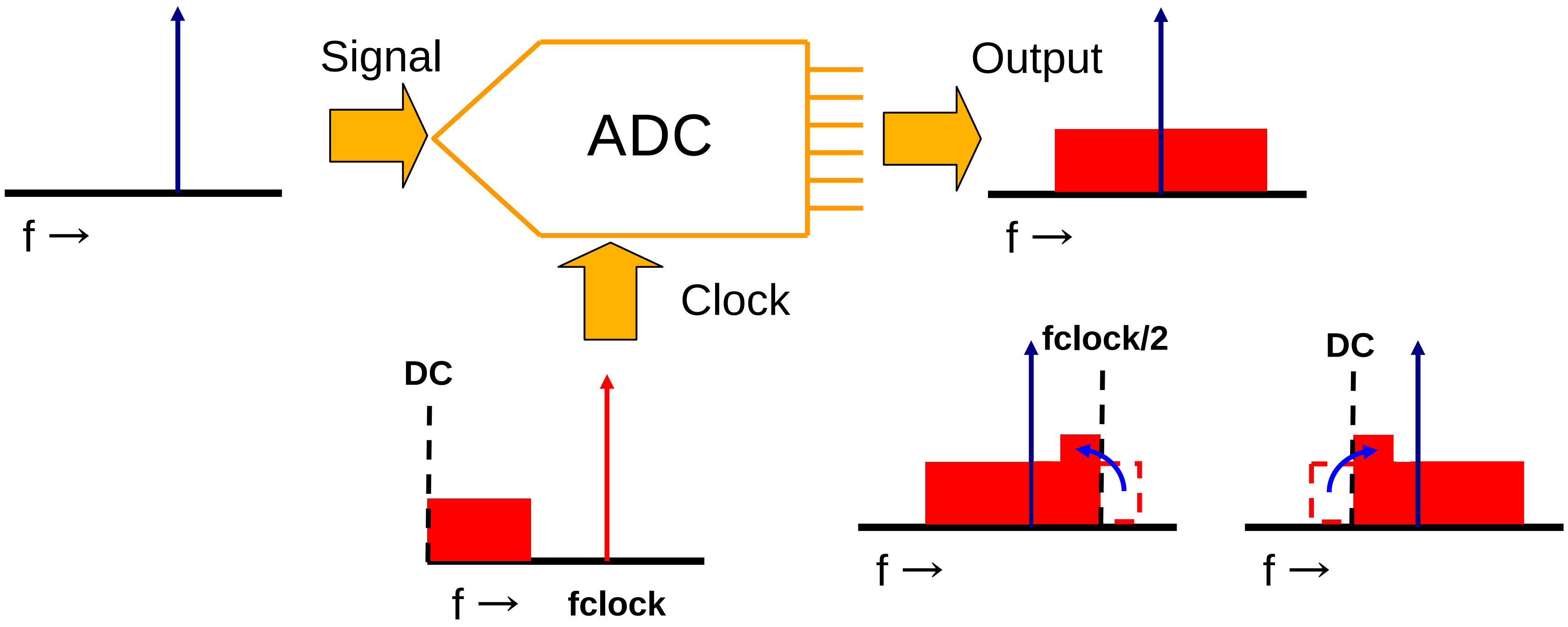
ケース B: ピンク･ノイズのスペクトラム 630MHz



ケース B: ピンク･ノイズのスペクトラム 1GHz

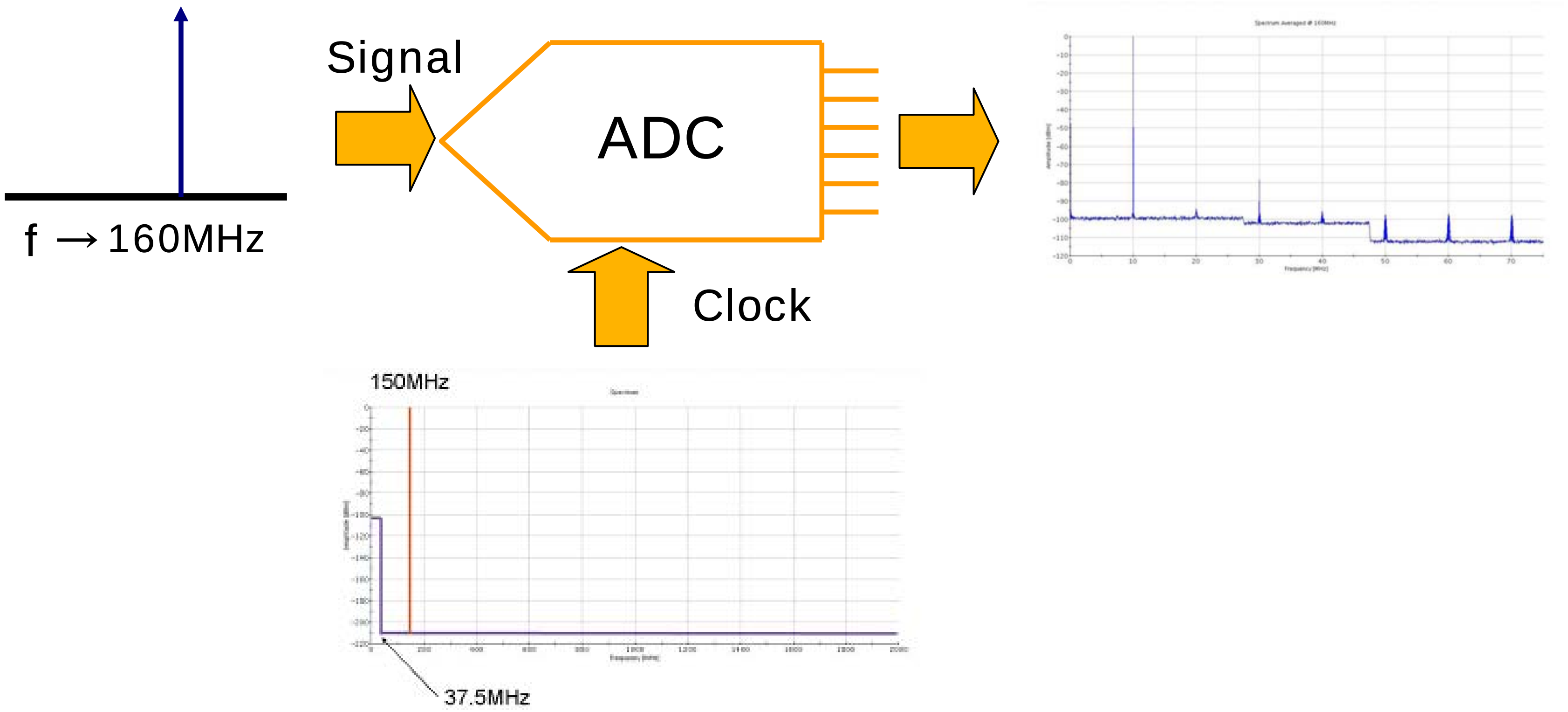


クロックのノイズによるノイズ・フロアへの影響

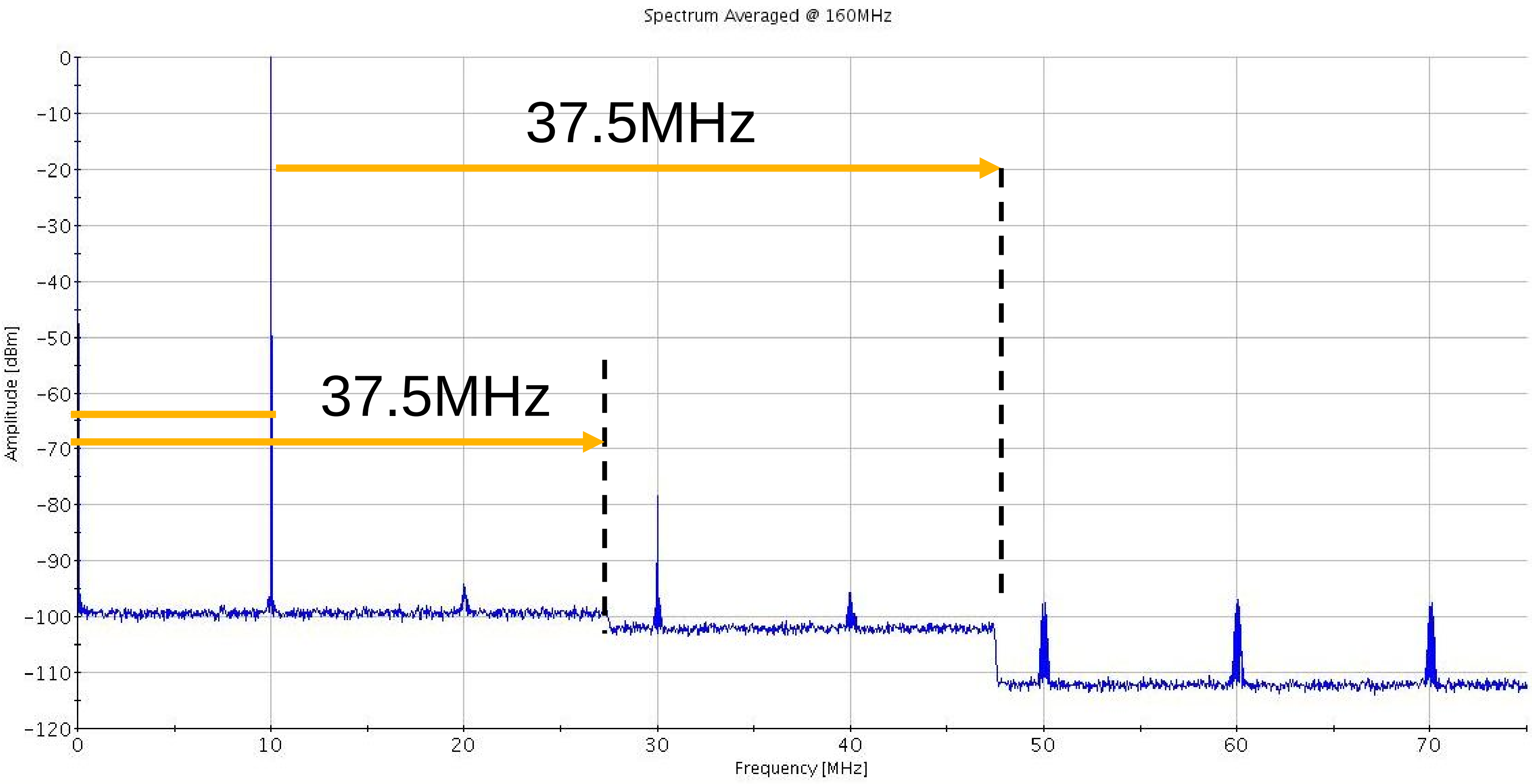


Verigy Restricted

160MHz を入力した時の例



ケース B: ピンク･ノイズのスペクトラム 160MHz

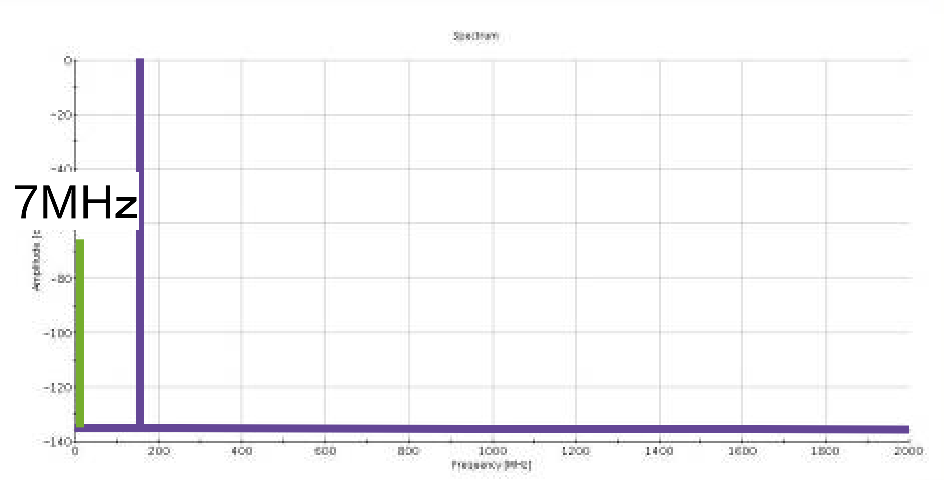


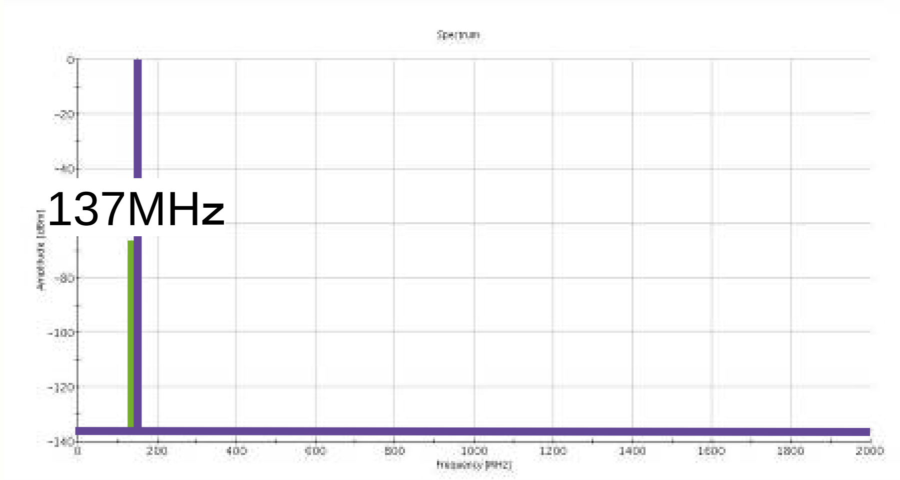
クロックのノイズがADCのスペクトラムに与える影響

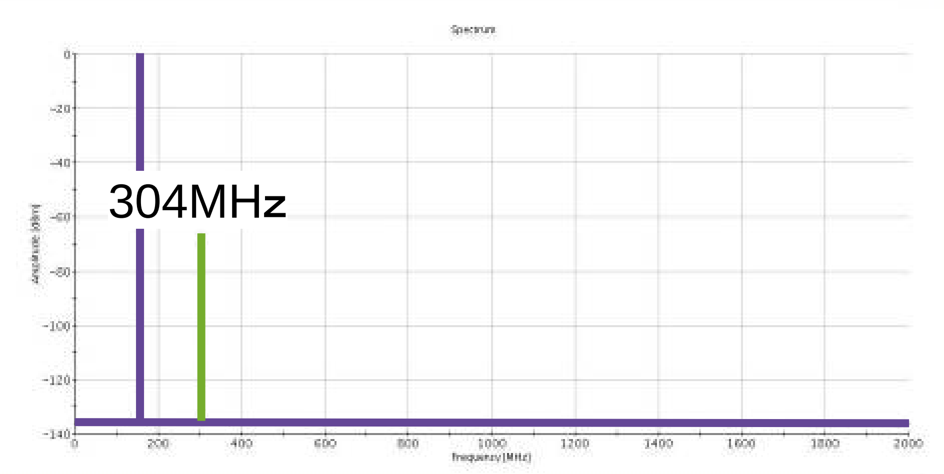
- クロック源のノイズが、ADC の ノイズ･フロア にどのように影響するか？

- スプリアスがあるとき
  - 150MHz, 0dBm
    - 7MHz, 137MHz, 304MHz
  - スプリアス振幅: 100uV rms (-67dBm)
  - 0.335psec rms jitter

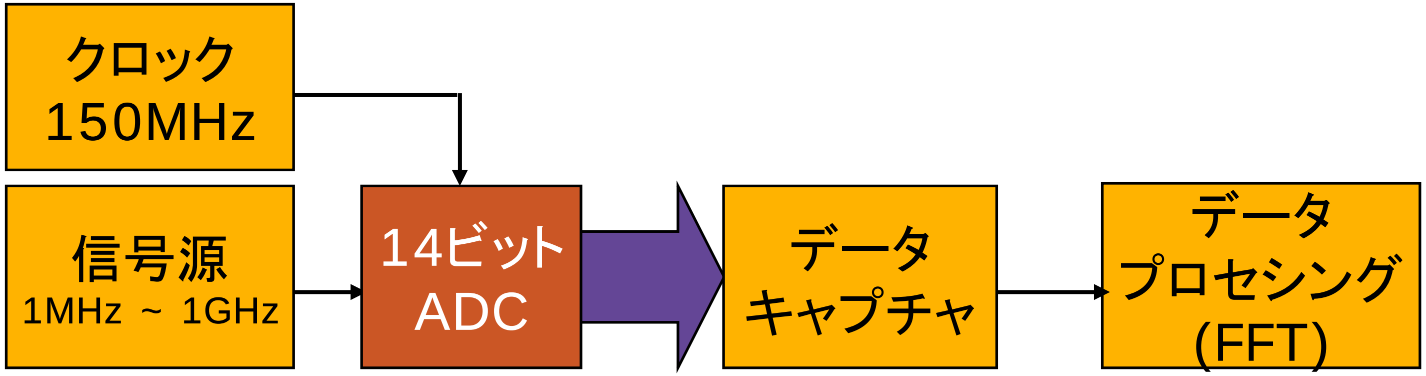
クロックのスペクトラム

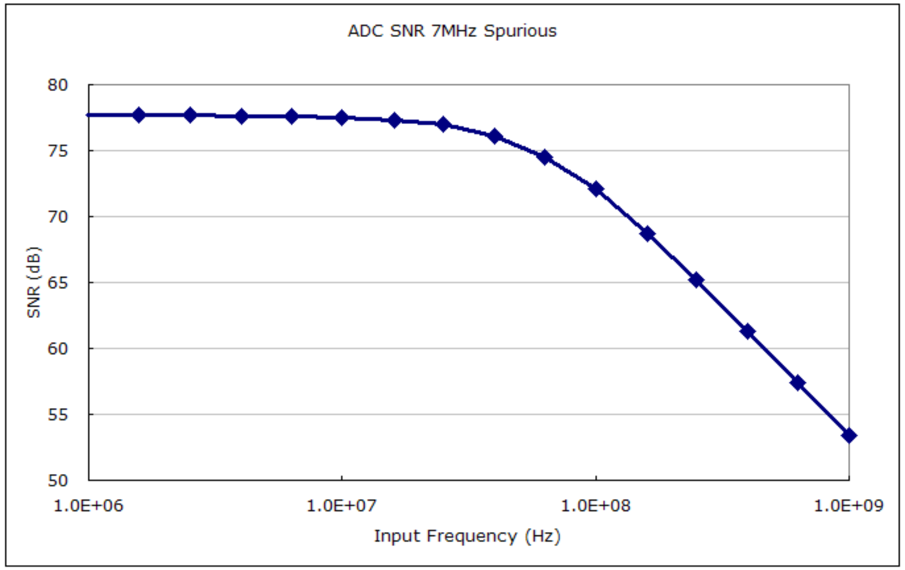






ADC の SNR



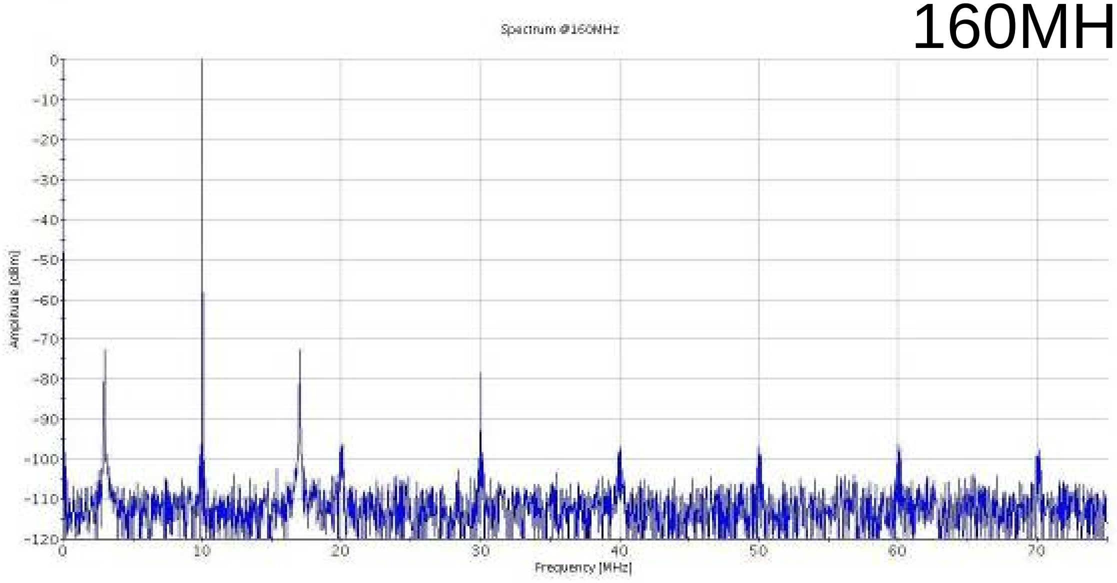


ジッタ: 0.34ps rms

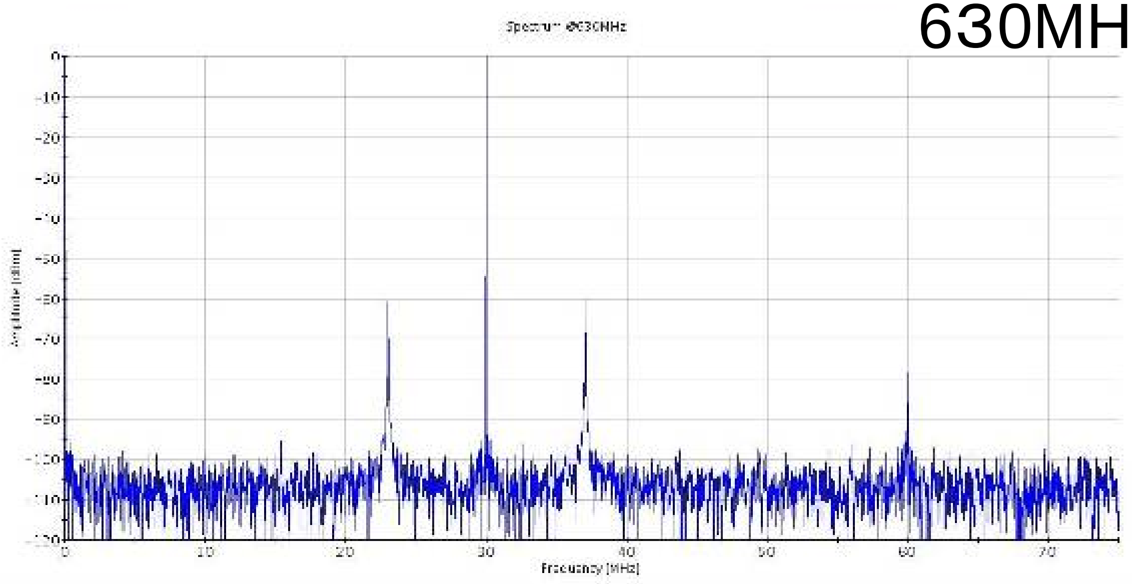
7MHz, 137MHz,
304MHz とも同じ結果

7MHz スプリアスの時のスペクトラム

160MHz



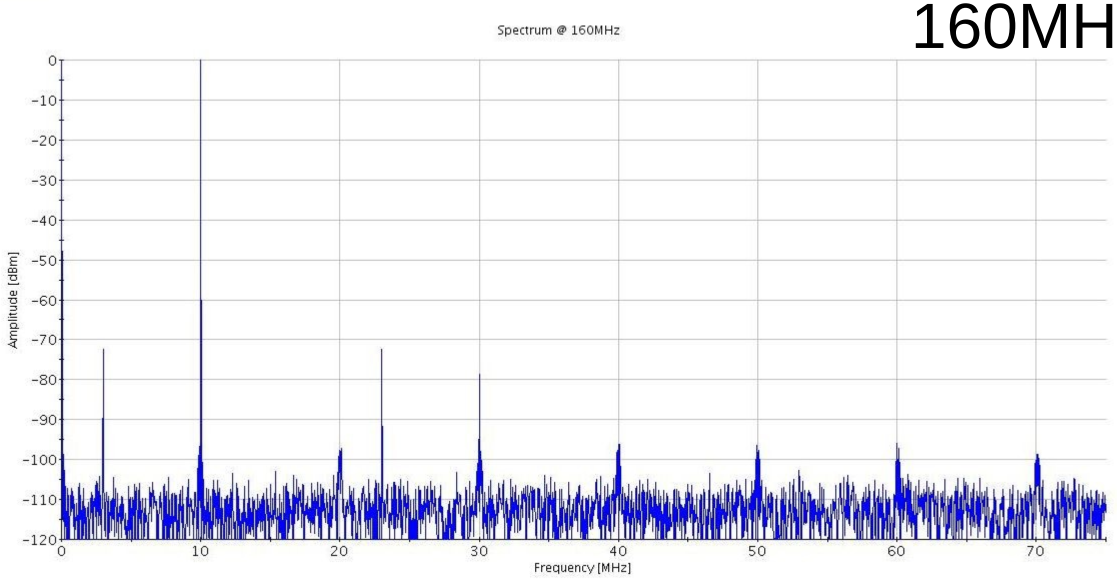
630MHz



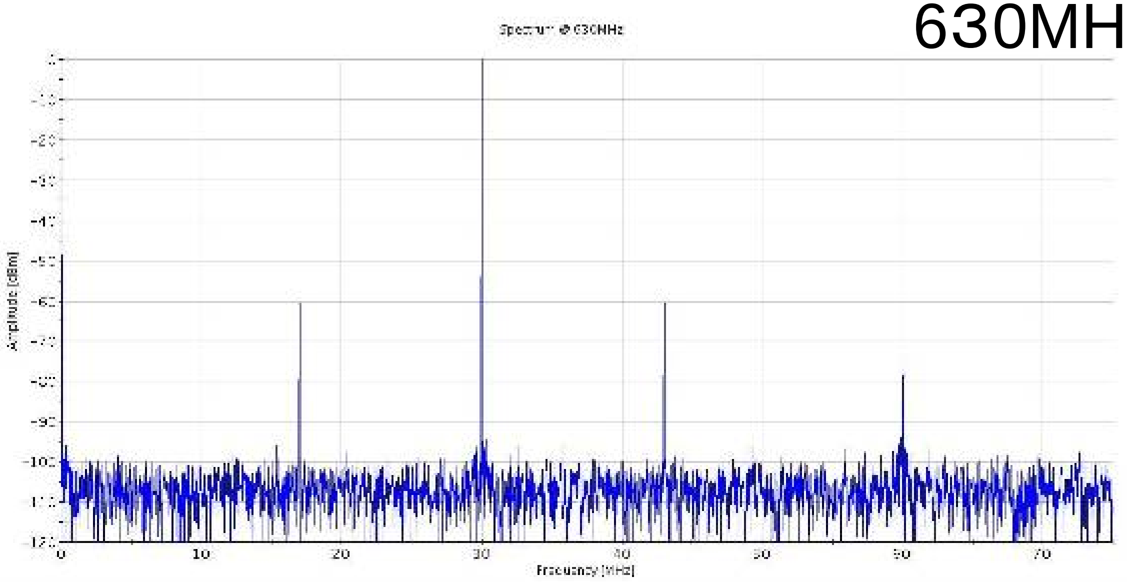
VERIGY

137MHz スプリアスの時のスペクトラム

160MHz

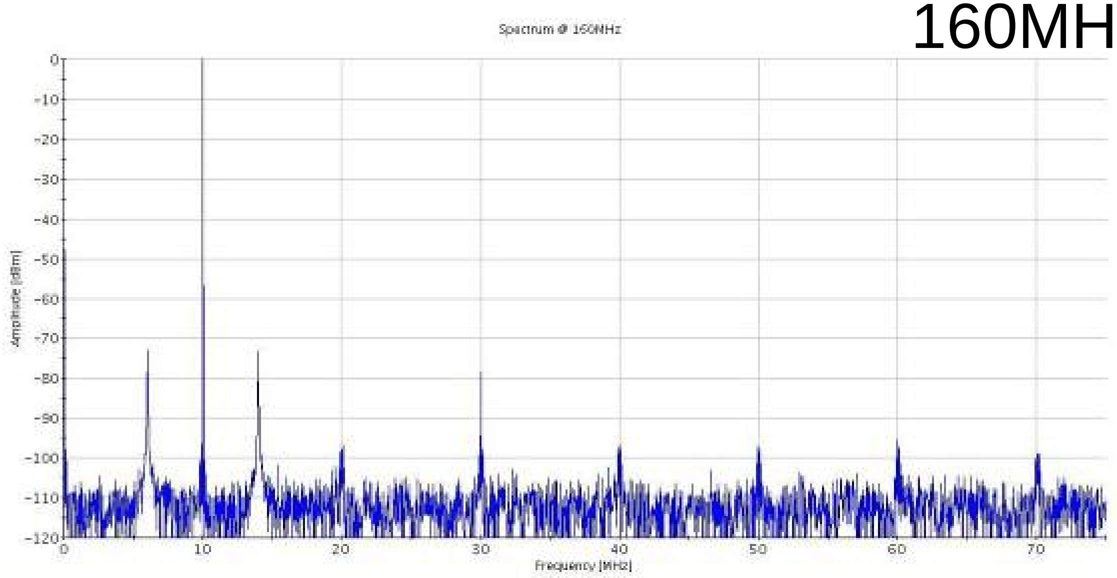


630MHz

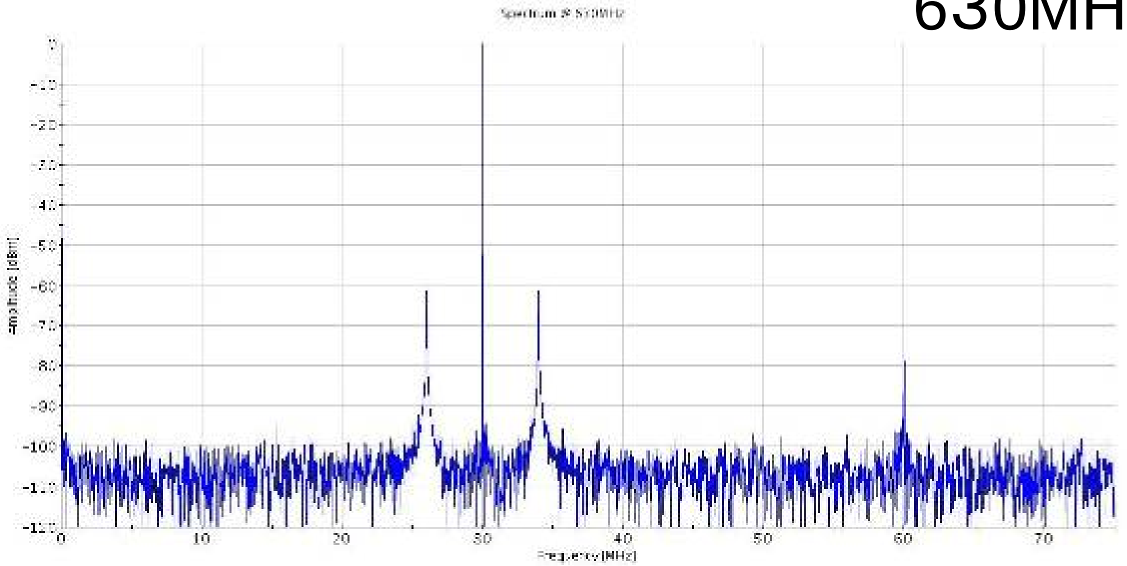


304MHz スプリアスの時のスペクトラム

160MHz



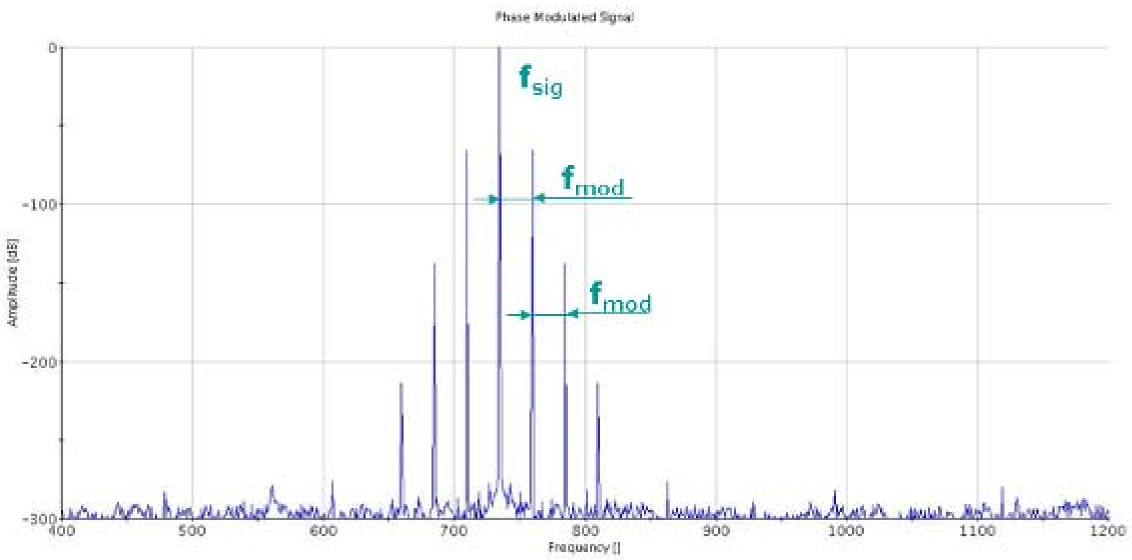
630MHz



スプリアスのあるクロック

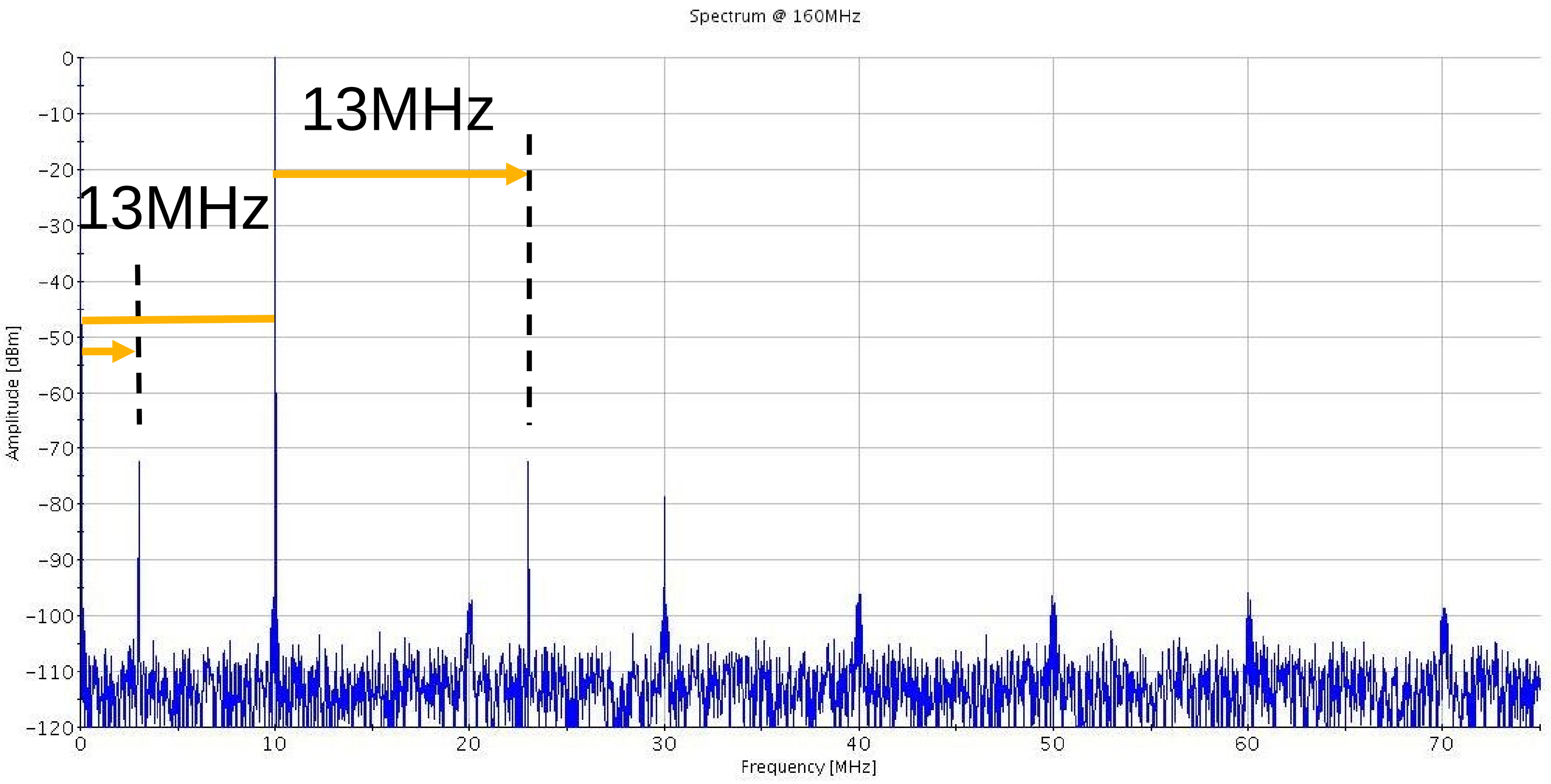
- 位相変調された結果と同じ
  - 変調周波数 f_{mod}
    - $f_{mod} = f_s - m*f_c$　あるいは　$f_{mod} = m*f_c - f_s$
    - $0 < f_{mod} < f_c/2$

- f_s: スプリアス周波数
- f_c: クロック周波数
- m: 任意の整数



137MHz スプリアスの場合

変調周波数 = 150MHz – 137MHz = 13MHz



クロックのノイズがADCのスペクトラムに与える影響

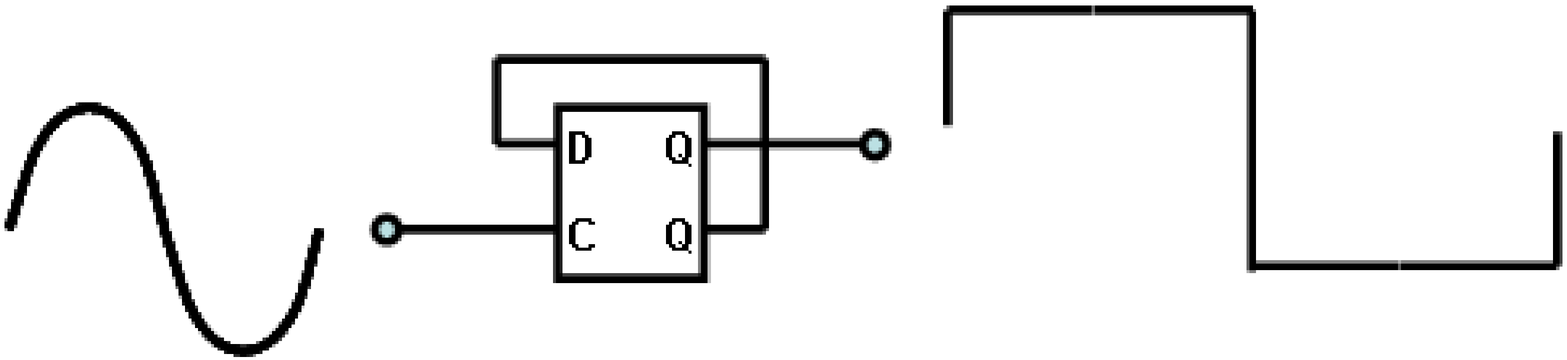
- ADC の SNR は、クロックのノイズの種類によらず、全帯域のパワーで決まる
- ADC 出力を FFT した時、そのノイズ・フロアに、クロックのノイズの周波数の偏りの形が現れることがある
- スプリアスがあると、位相変調されたようなスペクトラムとなる

内容

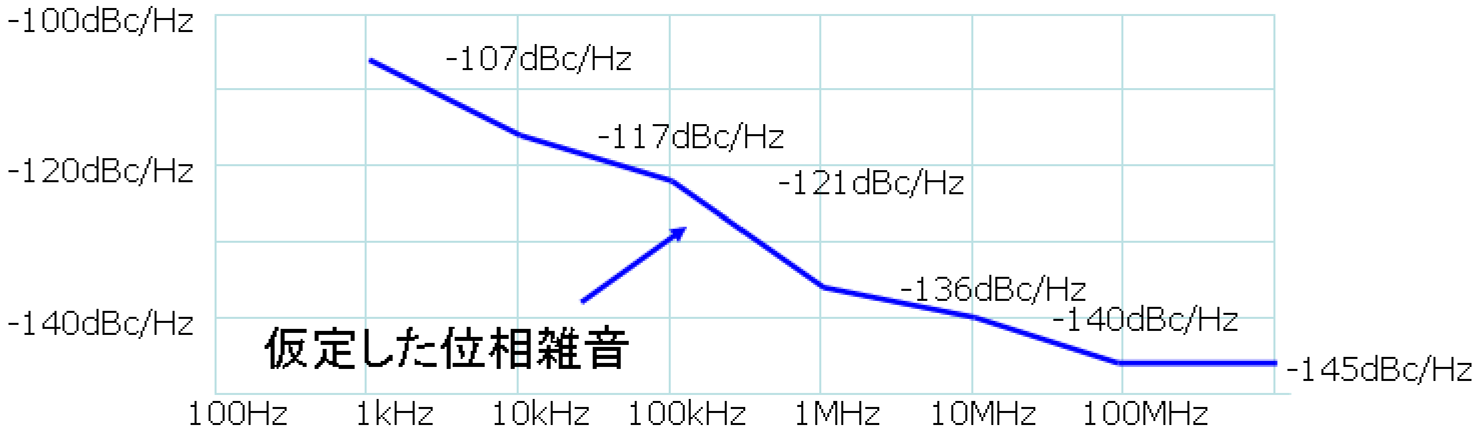
- アナログ・デジタル変換器のテスト
- ジッタについて
- ジッタと SNR
- 位相雑音
- クロック・ノイズのスペクトラムへの影響
- クロックの生成
- ジッタを低減するには
- まとめ

クロックの生成

位相雑音のあるサイン波形を D-フリップ･フロップで
半分の周波数のクロックを作ることを考える



サイン波形の位相雑音



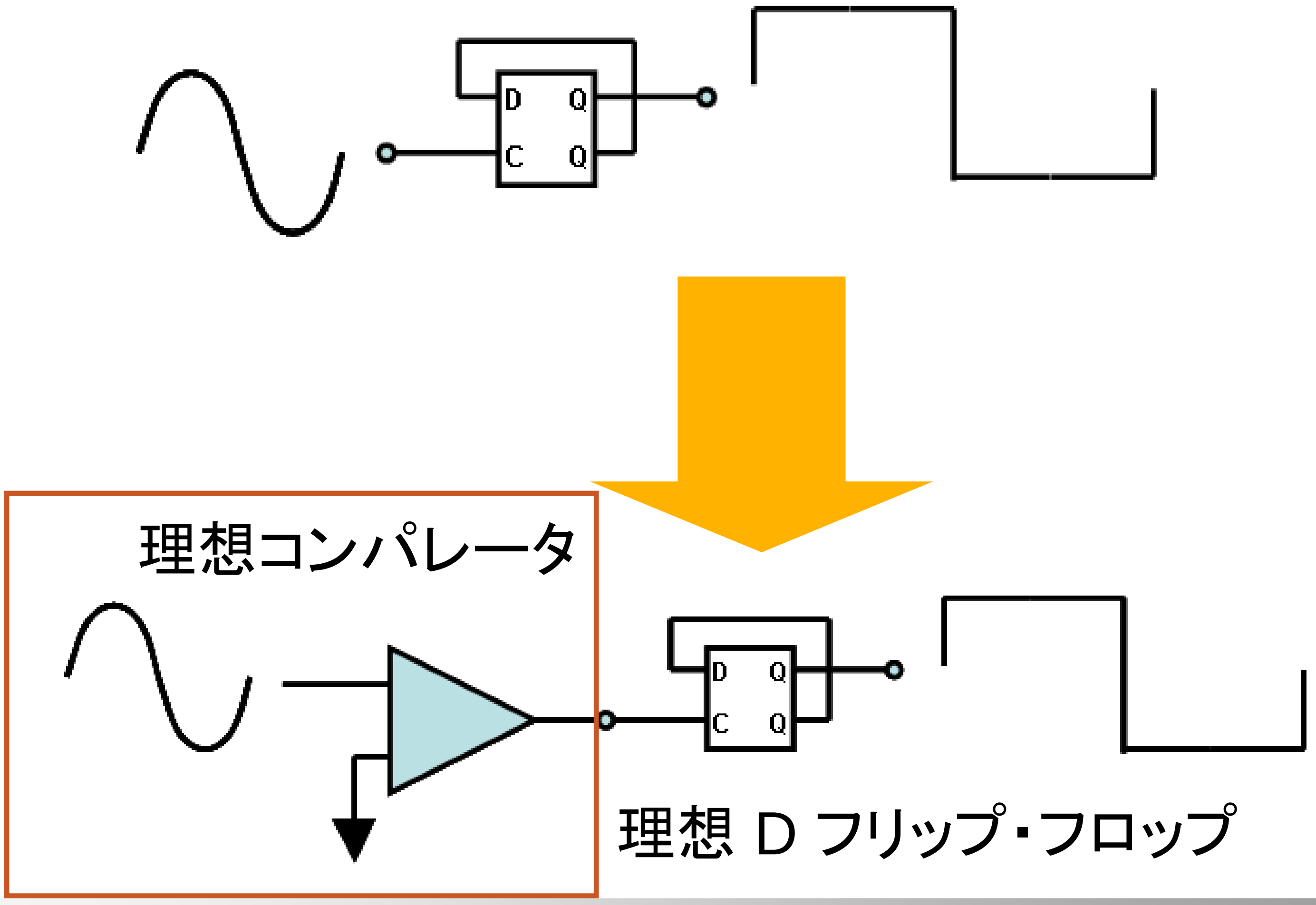
総ノイズ電圧: 486uV rms
総ノイズ・パワー: -53.3dBm

ジッタ: 1.75psec rms

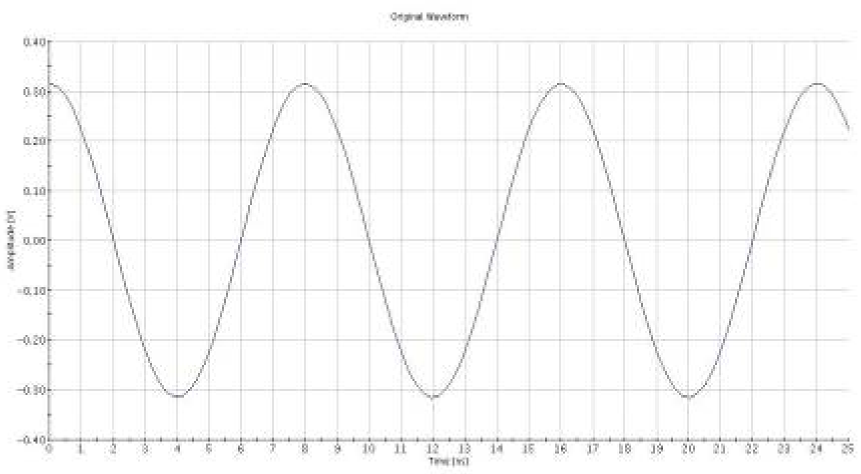
VERIGY

Verigy Restricted

サイン波からクロック波へ

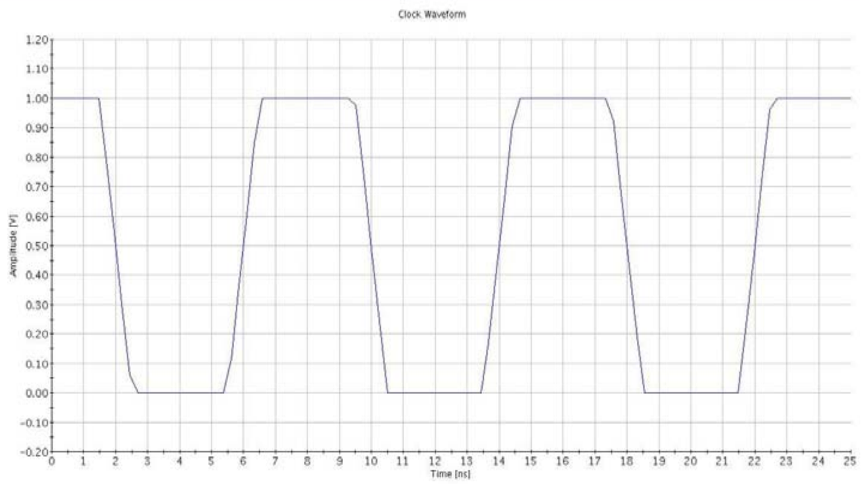


サイン波形のジッタはそのままクロック波形へ

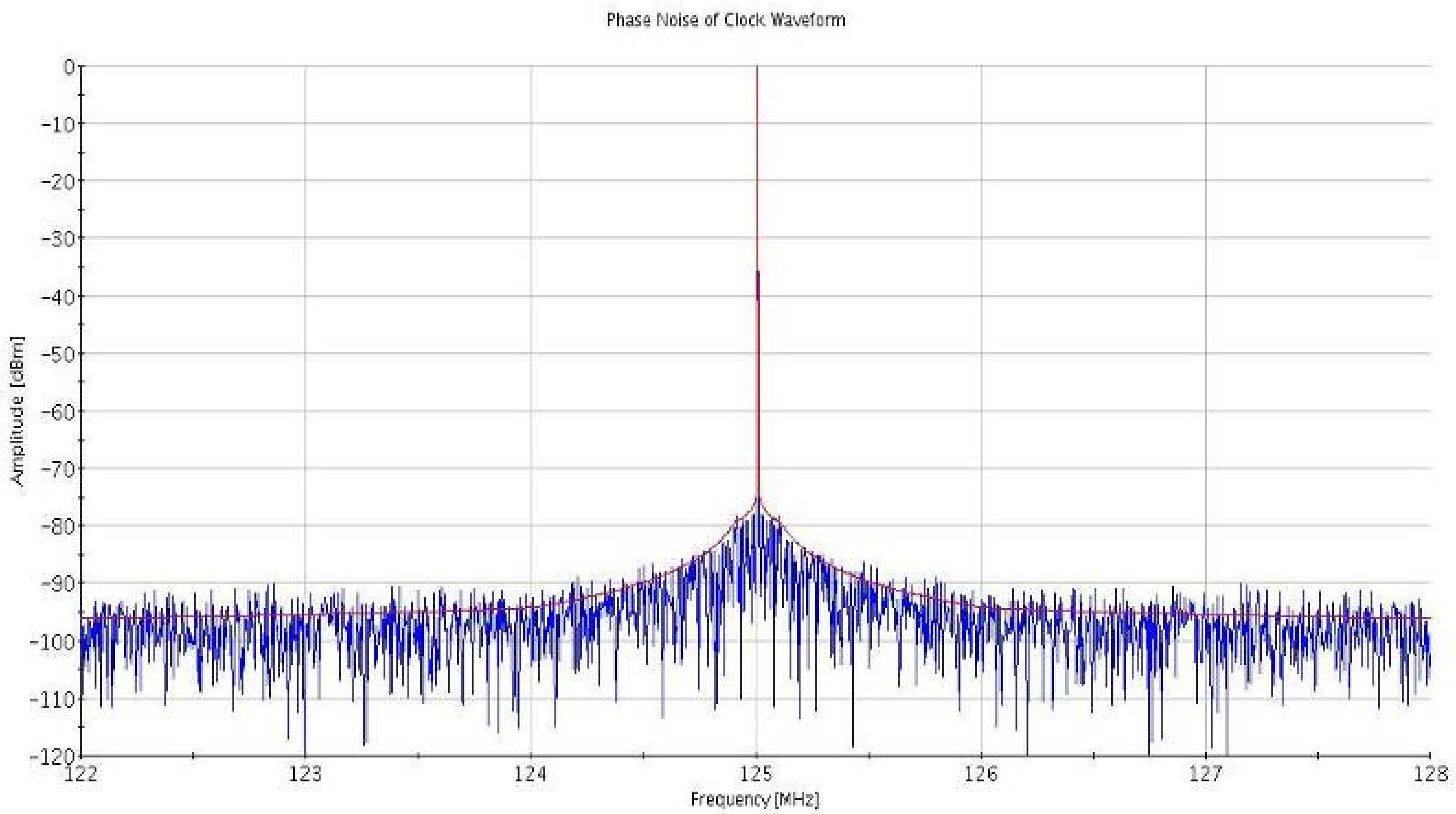


周波数: 125MHz
振幅: 1Vpp
スルーレート: 1V/nsec

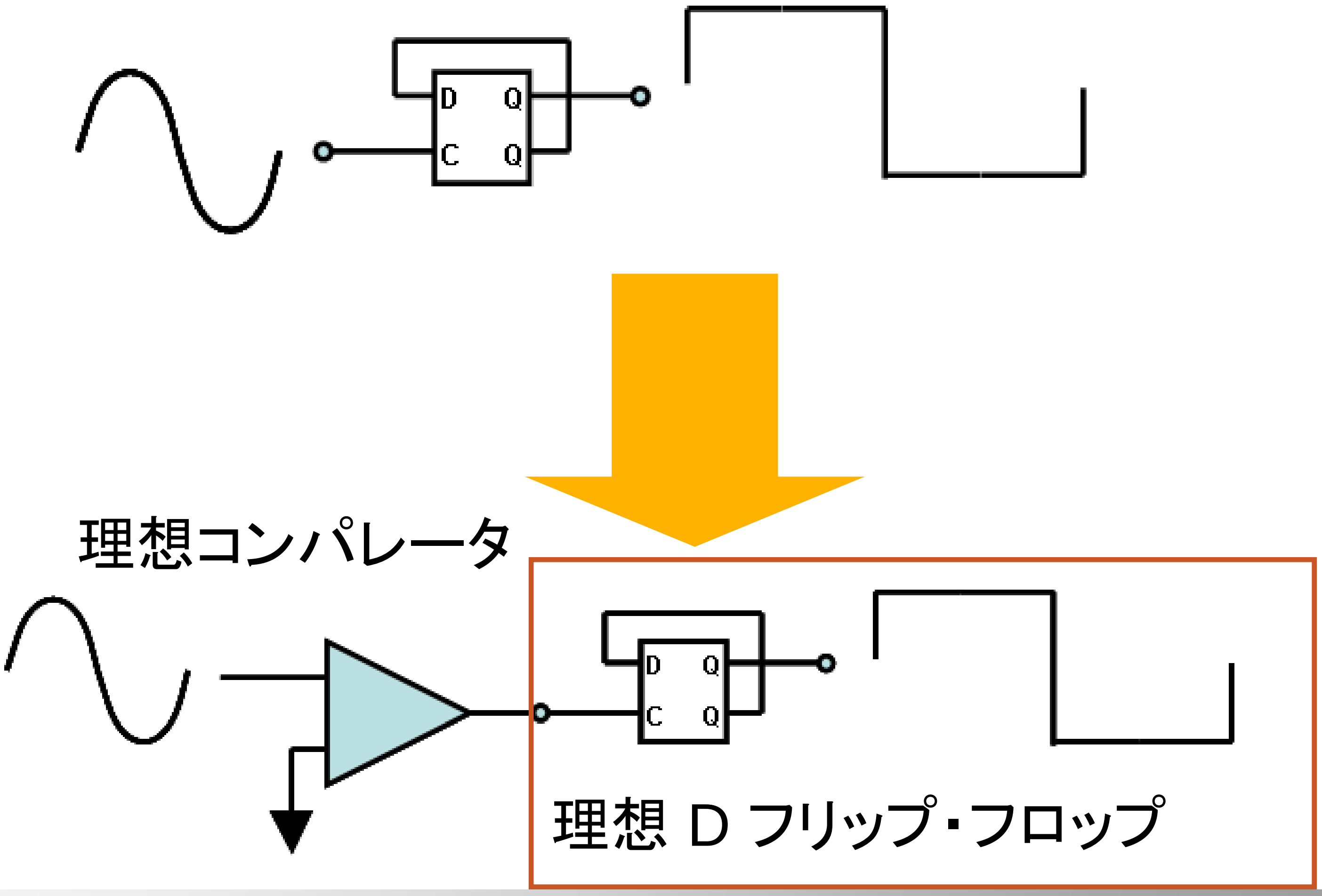
ジッタ: 1.75ps rms



クロック波形のスペクトラム

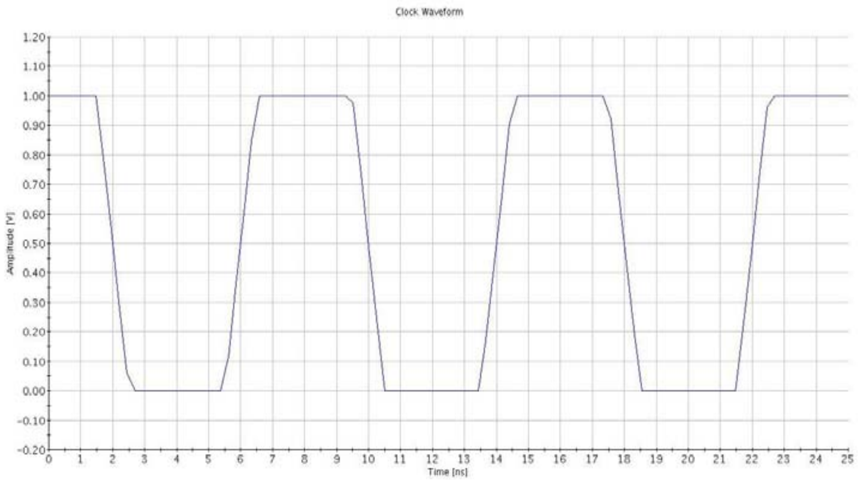


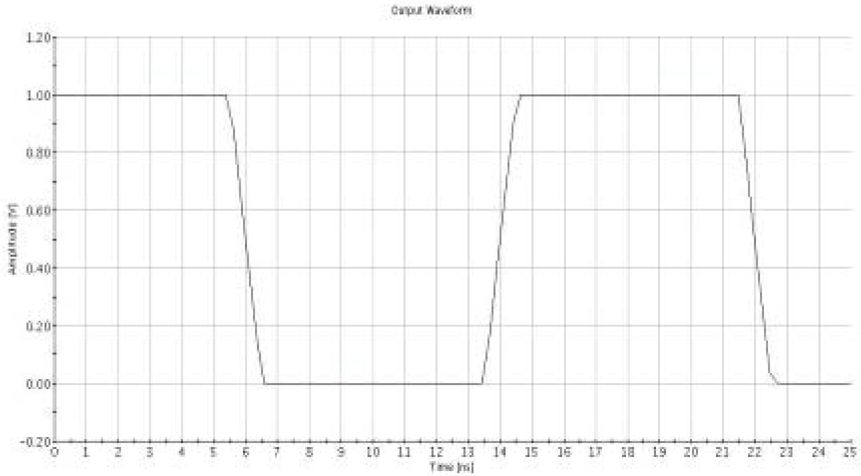
周波数を半分に



Verigy Restricted

ジッタは変わらない



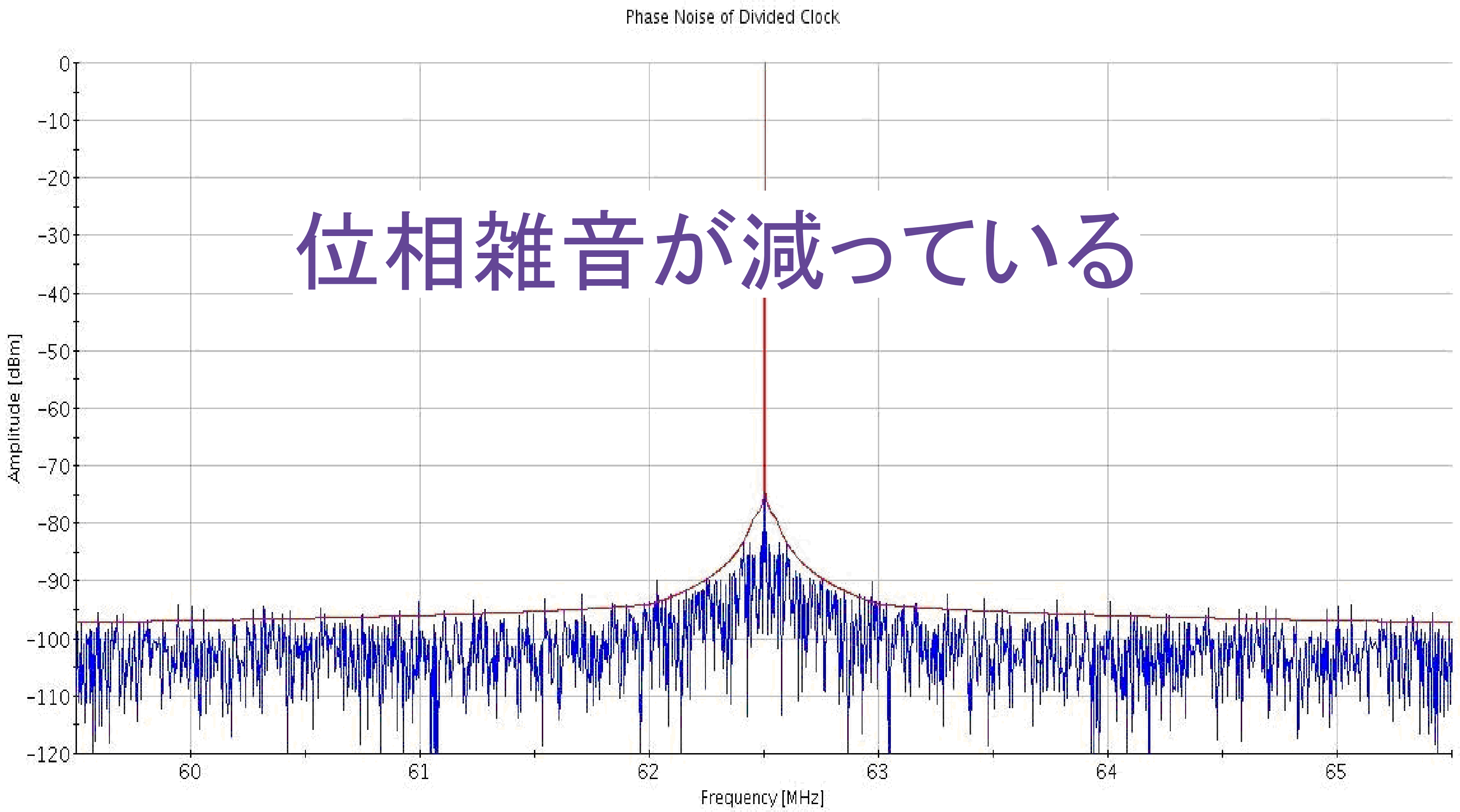


周波数: 62.5MHz
振幅: 1Vpp
スルーレート: 1V/nsec

ジッタ: 1.75ps rms

Verigy Restricted

クロック波形のスペクトラム



なぜ、位相雑音が減るのか？

サイン波 → クロック波 → 周波数が半分のクロック波

ジッタは変わらない ＝ 総ノイズ量は変わらない

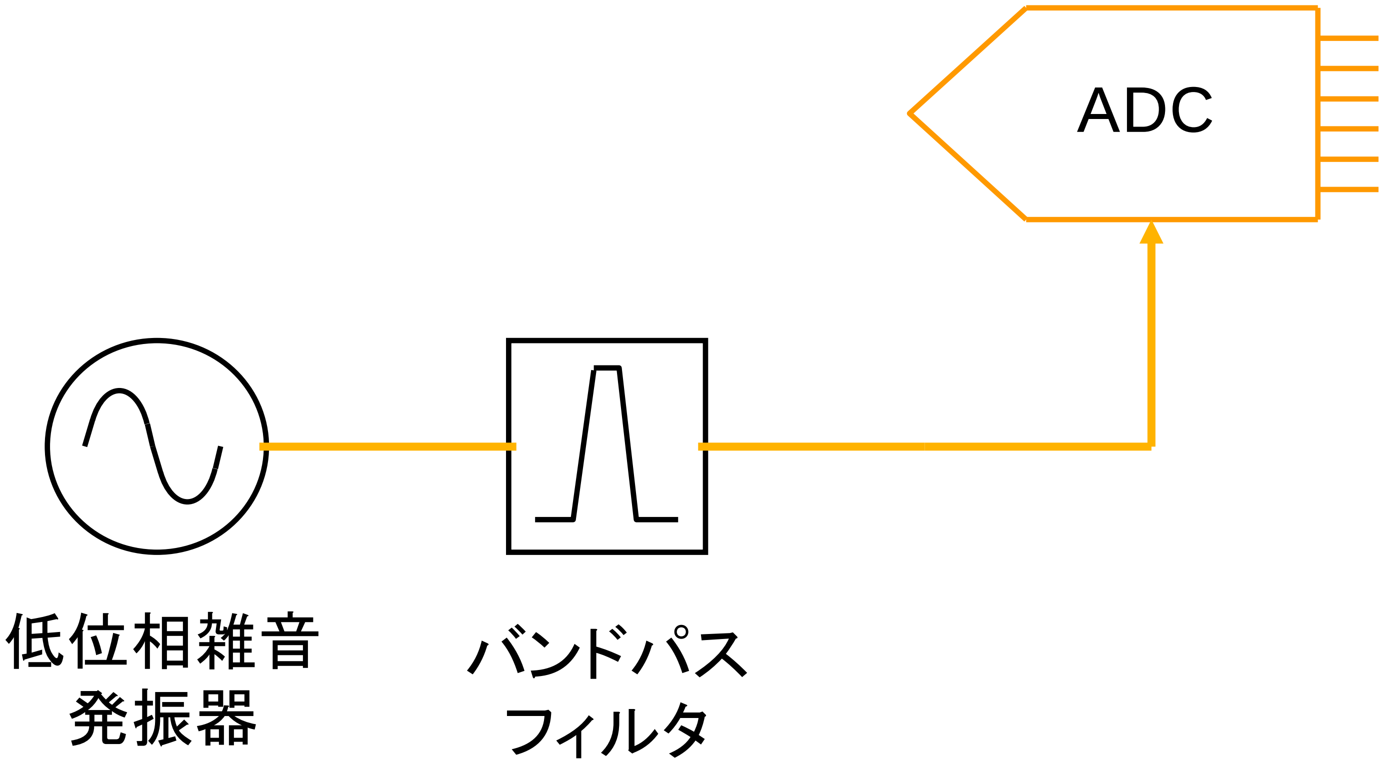
サイン波	クロック波	周波数が半分のクロック波
1本のスペクトラム	複数本のスペクトラム	複数本のスペクトラム（本数は倍）
ノイズは1本に集中	ノイズが分散される	ノイズがさらに分散される

内容

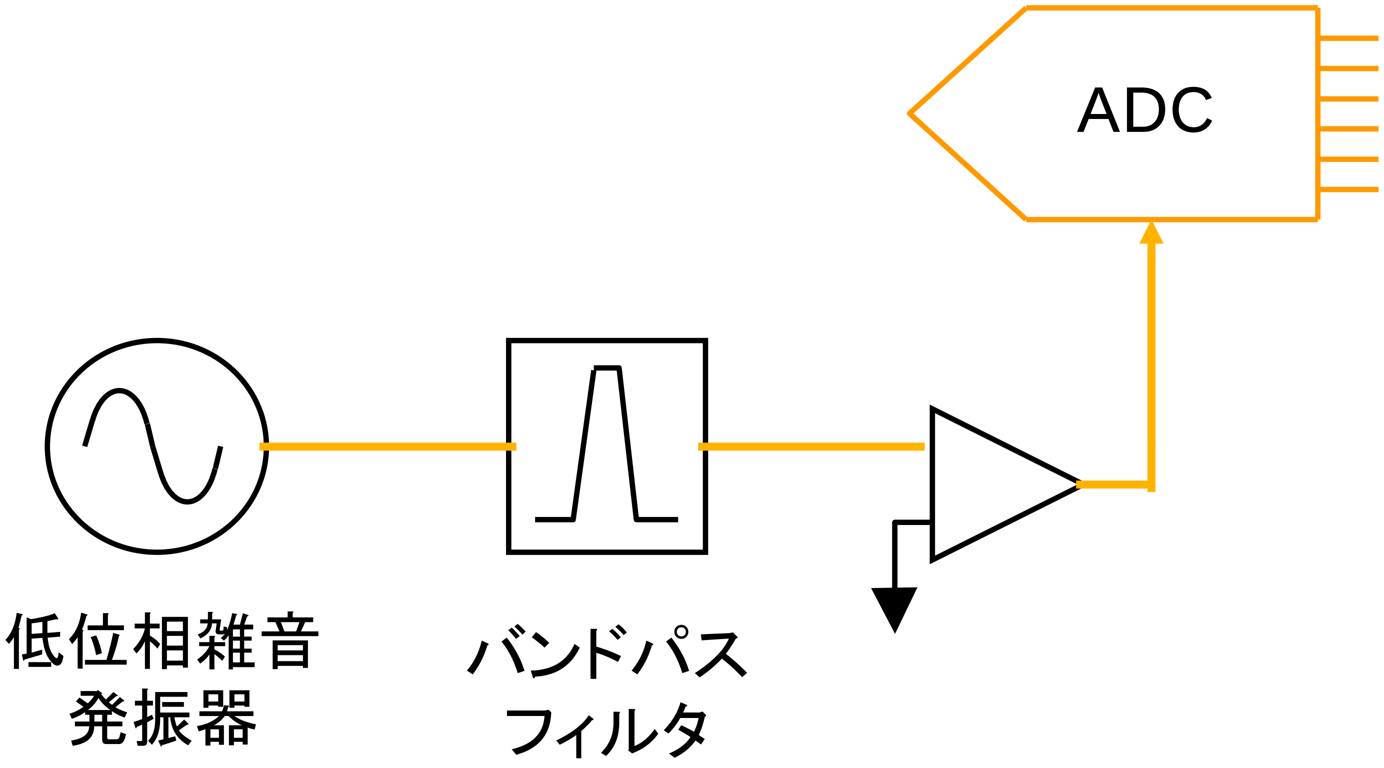
- アナログ・デジタル変換器のテスト
- ジッタについて
- ジッタと SNR
- 位相雑音
- クロック・ノイズのスペクトラムへの影響
- クロックの生成
- ジッタを低減するには
- まとめ

Verigy Restricted

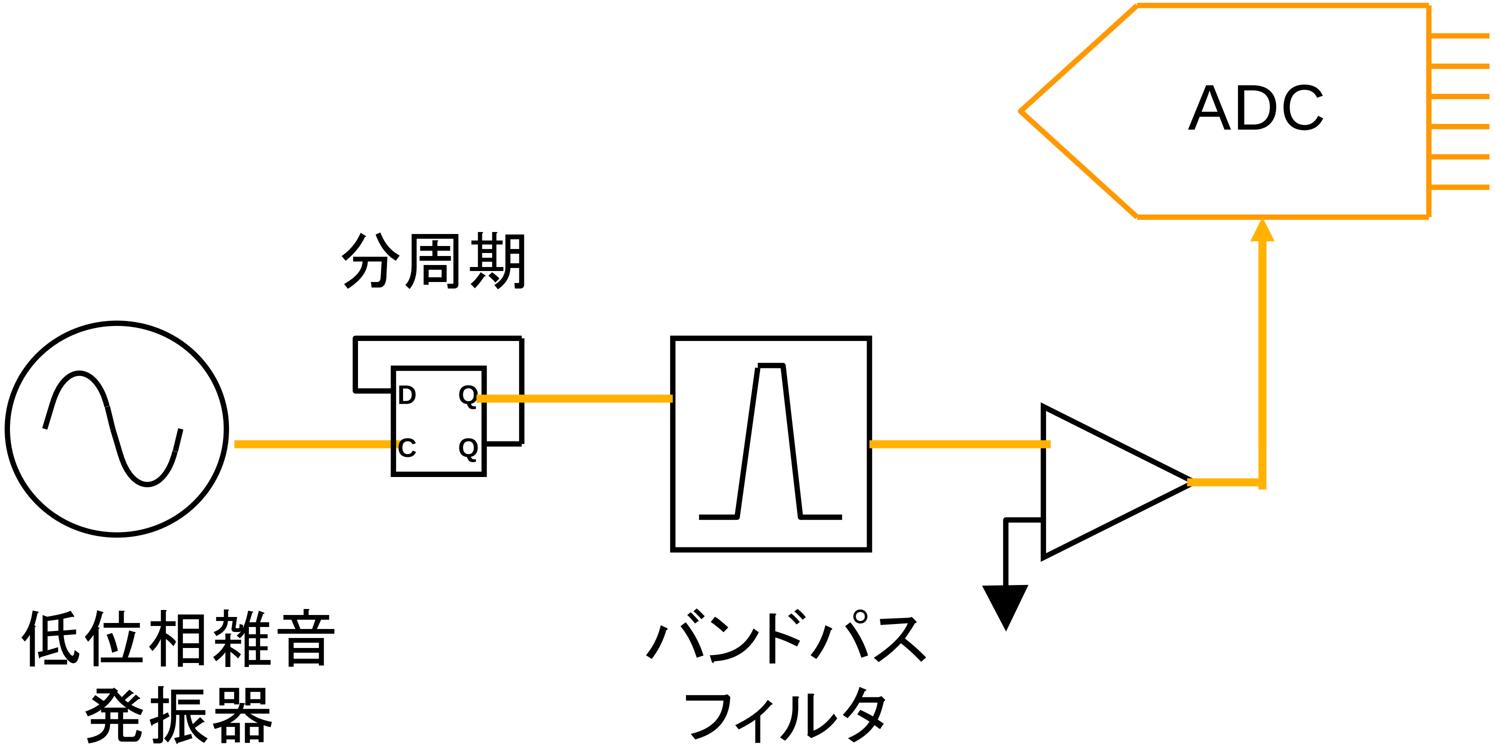
クロック入力ノイズを減らす



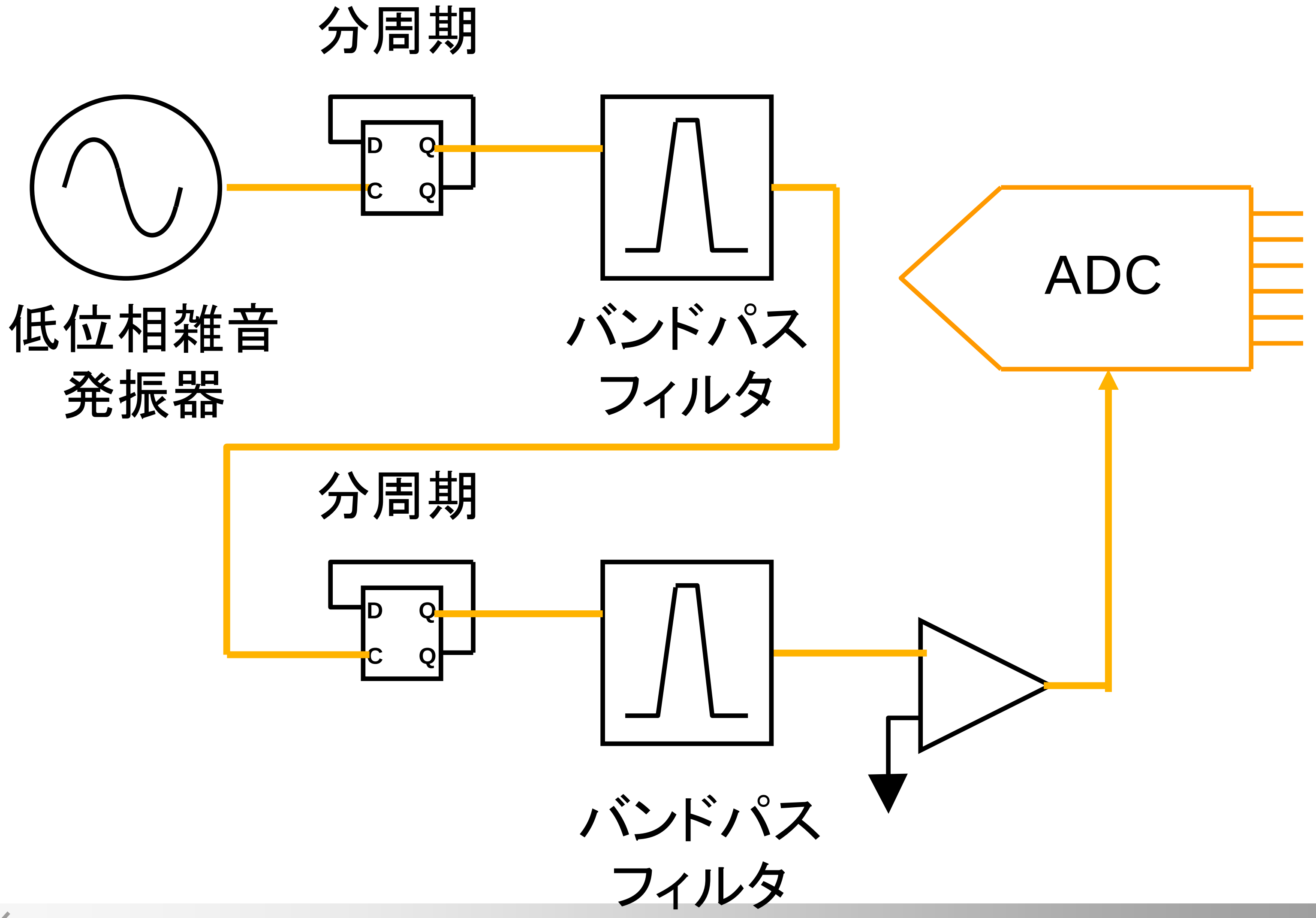
クロック入力ノイズを減らす



位相雑音を減らす



位相雑音を減らす



内容

- アナログ･デジタル変換器のテスト
- ジッタについて
- ジッタと SNR
- 位相雑音
- クロック･ノイズのスペクトラムへの影響
- クロックの生成
- ジッタを低減するには
- まとめ

まとめ

- クロックのジッタは Unbounded であり、ガウス分布する
- 位相雑音は Unbounded ジッタと同じである
- クロック入力の全帯域のノイズがジッタとしてあらわれ、ADC の SNR を劣化させる
    - ノイズの種類によらない
    - スペクトラム解析時にはクロックのノイズの種類や帯域を知っておく必要がある
- ジッタによる ADC の SNR の劣化はクロック周波数によらず、ADC への入力周波数とクロックのジッタで決まる

広帯域の ADC 評価には クロックのノイズ、帯域に注意が必要

ご清聴ありがとうございました

ヴェリジー株式会社
プリンシパル・アプリケーション・コンサルタント

前田 明徳

akinori.maeda@verigy.com