



## VLSI Test Symposium にみる半導体 集積回路評価に活用される統計知識

株式会社アドバンテスト研究所 山口 隆弘

この1年間、半導体集積回路評価に必須で重要な知識である「統計的処理」を解説します。米スタンフォード大でも同目的の授業が講義されている [1]。統計が集積回路評価にどのように活用されるかを紹介する。

VTS2013の(筆者が提案した)パネル討論 <Post-Silicon Validation and Test in Huge Variance Era>は、半導体集積回路の特性ばらつきにとまとう課題を議論した [2]。パネリストは異見を戦わせた: 図1。

### 集積回路の特性ばらつき推移。

超微細化がすすみ、「システマティック」ばらつき(近接効果やダブル・パターンニングに因り生じる確定的ばらつき)が大きな課題になっている。パネリスト S. Natarajan 博士(インテル)はチップレベルばらつきを論じた。集積回路の特性ばらつきの推移をグラフで示した。45/32 nm では、新しいゲート構造のトランジスタが導入され「ランダム」ばらつき(不規則なばらつき)は減少している: 図2 (a)。一方、「システマティック」ばらつきは一定で推移している: 図2 (b)。

### 3次元化がすすむ配線の位置あわせ。

半導体集積回路内の配線は3次元化がすすんでいる。パネリスト D. Ciplickas 博士 (PDF Solutions) は、「(垂直) via と (水平に走る) 金属ライン間の位置ずれ」に起因する不良は機能試験では検出できず、スキャン試験は「via と金属ラインの位置ずれ」不良を感度よく検出できることを、歩留まりデータを示し説明した。

同様に、フラッシュメモリを3次元スタックすると、フラッシュ固有のクラスタ欠陥に加え、ランダム欠陥があたらしくあらわれることも報告された [3]。

### 半導体集積回路の特性ばらつき評価回路。

MOSトランジスタのシキイ値電圧ばらつきをモニターする新しい回路についても紹介します [4]。確率統計をもちい、高精度測定を実現している。



図1 パネル討論に集まったパネリスト。左から J. A. Abraham 教授 (Texas 大 Austin 校), S. Natarajan 博士 (Intel), D. Ciplickas 博士 (PDF Solutions), G. W. Roberts 教授 (加 McGill 大), 筆者。浅見幸司博士が撮影。

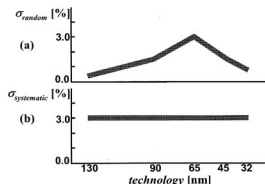


図2 半導体集積回路の「ランダム」ばらつきと「システマティック」ばらつきの推移。S. Natarajan 博士のスライドのメモから。(a)「ランダム」ばらつきは減少傾向。(b)「システマティック」ばらつきは、設計ルール導入により、一定傾向。

### 参考文献

- [1] A. Montanari, "EE 178 / 278A Lecture Note: Probabilistic Systems Analysis," Spring 2013.
- [2] T. J. Yamaguchi, "Panel: Post-Silicon Validation & Test in Huge Variance Era," in *Proc. 31st IEEE VLSI Test Symposium*, Berkeley, CA, USA, April 29 - May 1, 2013.
- [3] M. A. d' Abreu, "Flash memory - What can go wrong & how to screen for it," in *Proc. 31st IEEE VLSI Test Symposium*, Berkeley, CA, USA, April 29 - May 1, 2013.
- [4] *Proc. IEEE Int. Test Conf.*, Anaheim, CA, Sep. 10-12, 2013.