

第228回群馬大学アナログ集積回路研究会

高耐圧MOSFETモデリング技術の 基礎と応用 (初・中級)

2013年8月27日
青木 均

H. Aoki, Ph.D.

アウトライン

- 高耐圧MOSFETの種類
- 高耐圧MOSFETの特徴
- 高耐圧MOSFETの構造
- 高耐圧MOSFETの基礎物性と等価回路
- 自己発熱現象のモデル化
- 基礎的なMOSFETモデルを使った簡易的な高耐圧MOSFETモデリング (HVMOS, LDMOS, IGBT, SiC-JFET)
- まとめ

高耐压MOSFETの種類

比較的頻繁に使用されるシリコンFET系デバイス

- DMOS (Double diffusion MOSFET)
- HVMOS (High Voltage MOSFET)
- LDMOS (Lateral Diffusion MOSFET)
- IGBT (Insulated Gate Bipolar Transistor)
- SiC (Silicon Carbide) -JFET, -MOSFET

高耐圧MOSFETの特徴1

DMOS

- パワーMOSFETの基本的なFETで古くから使われている
- DMOS (Double-Diffused MOSFET) と呼ばれる構造で、N+基板の上に形成されたNエピタキシャル層表面側に低濃度のP型層 (Pボディ) と高濃度のN型層を二重拡散で形成した構造
- 構造上耐圧を上げるためには、エピ層を深くする必要がある。せいぜい現実的なサイズでは、60V耐圧まで
- 用途: 比較的低耐圧のデスクリート部品

高耐圧MOSFETの特徴2

HVMOS

- HVMOSデバイスは、低電圧CMOSデバイスと共に製造することができ、バックゲート領域及びまたはドレイン拡張領域として低電圧CMOSのNウェル及びPウェルを使用することができる。
- ゲート長を長くすることにより、空乏層がドレインからソース領域の拡散層に到達するのを防ぎ、これによりドレイン耐圧を確保。ドレイン耐圧の確保のため、ゲート長が長く、また、低濃度拡散層が設けられているために、オン抵抗が高くなる
- 用途：LSI上の高耐圧回路全般

高耐圧MOSFETの特徴3

LDMOS

- ドレインとゲート間の電界強度を緩和する構造にした横型MOSTランジスタ
- ロジック回路の製造で使うCMOSプロセス技術を利用して製造できる
- DMOSに比べ、サイズに対して耐圧を高くできる
- HVMOSと同様の高耐圧でありながら、低 オン抵抗化が容易
- 用途：GSM向け携帯電話機のパワー・アンプなど多くの出力段回路

高耐圧MOSFETの特徴4

IGBT

- MOSFETのオン抵抗が高いという欠点と、バイポーラ・トランジスタのベース電流が大きいという欠点を補うために生まれたデバイス
- 大電流時の電圧降下が小さく温度特性が良い
- 集積化困難→シミュレーションは必要か??
- 用途: 電力インバータの主変換素子, 無停電電源装置, 交流電動機の可変電圧可変周波数制御, 鉄道車両の制御, ハイブリッドカーなど

高耐圧MOSFETの特徴5

SiC-JFET

- 接合型電界効果トランジスタ(JFET)ではSiCのバルク移動度をそのまま活用でき、MOSFETにおいて懸念される酸化膜信頼性に関する問題も回避できる
- Siに比べて、絶縁破壊電界、電子飽和速度、熱伝導率が大きくパワーデバイスに適用する上で優れた特性を有することから、より高耐圧(1200V)、高速動作、低オン抵抗
- SiCは熱酸化により SiO_2 絶縁膜が形成できるが、キャリアの移動度が2桁小さい
- 用途: 太陽光発電のパワーコンディショナーなど

SiCの材料特性

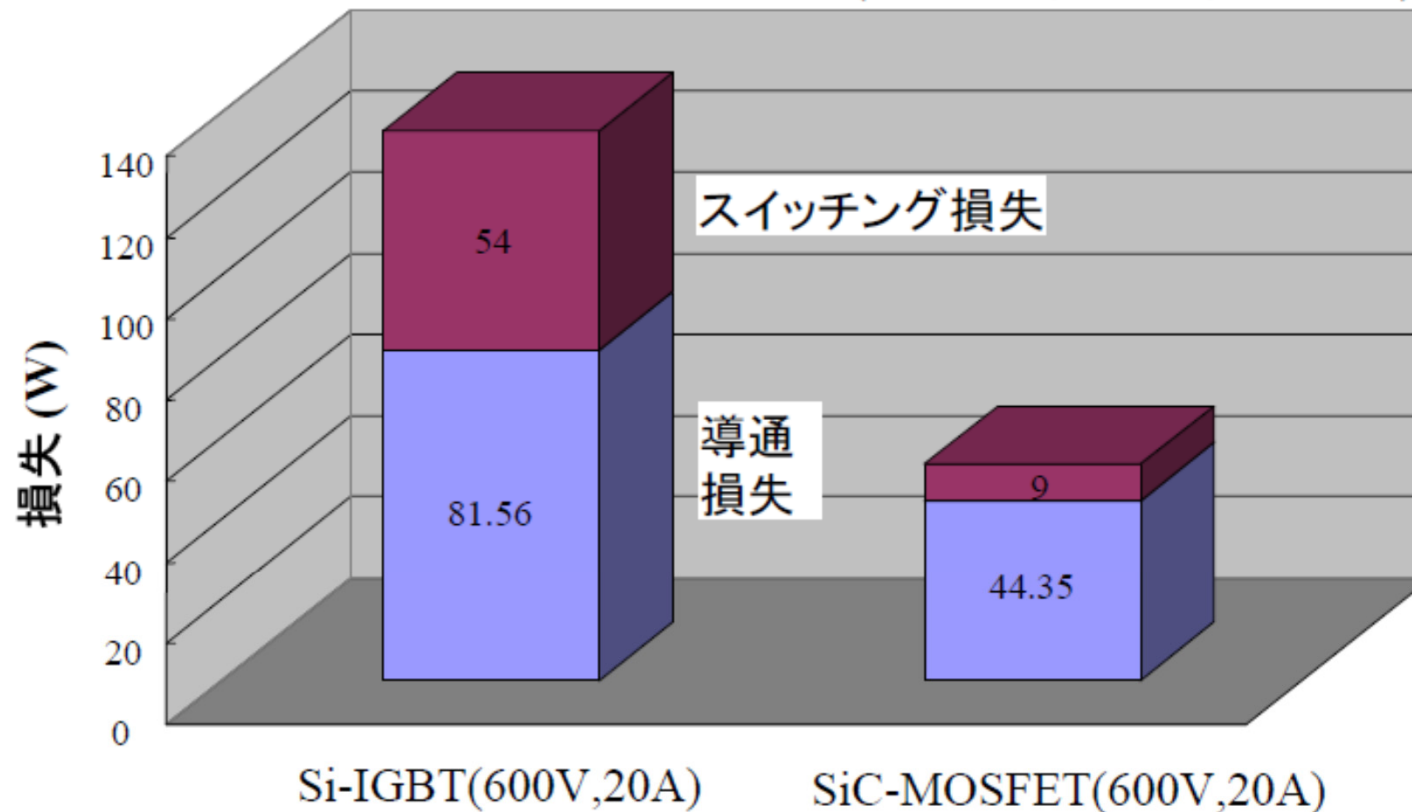
	Si	SiC	SiC/Si
バンドギャップ E_G (eV)	1.12	3.2	2.9
絶縁破壊電界 E_C (V/cm)	3×10^5	2.2×10^6	7.3
電子移動度 μ (cm ² /V·s)	1450	1000	0.7
熱伝導率 k (W/cm ² ·°C)	1.5	5.0	3.3
性能指数 ($\epsilon \cdot \mu \cdot E_C^3$)	4.1×10^7	9.1×10^9	200

独立行政法人産業技術総合研究所によるデータ

SiCとIGBTのスイッチング損失比較

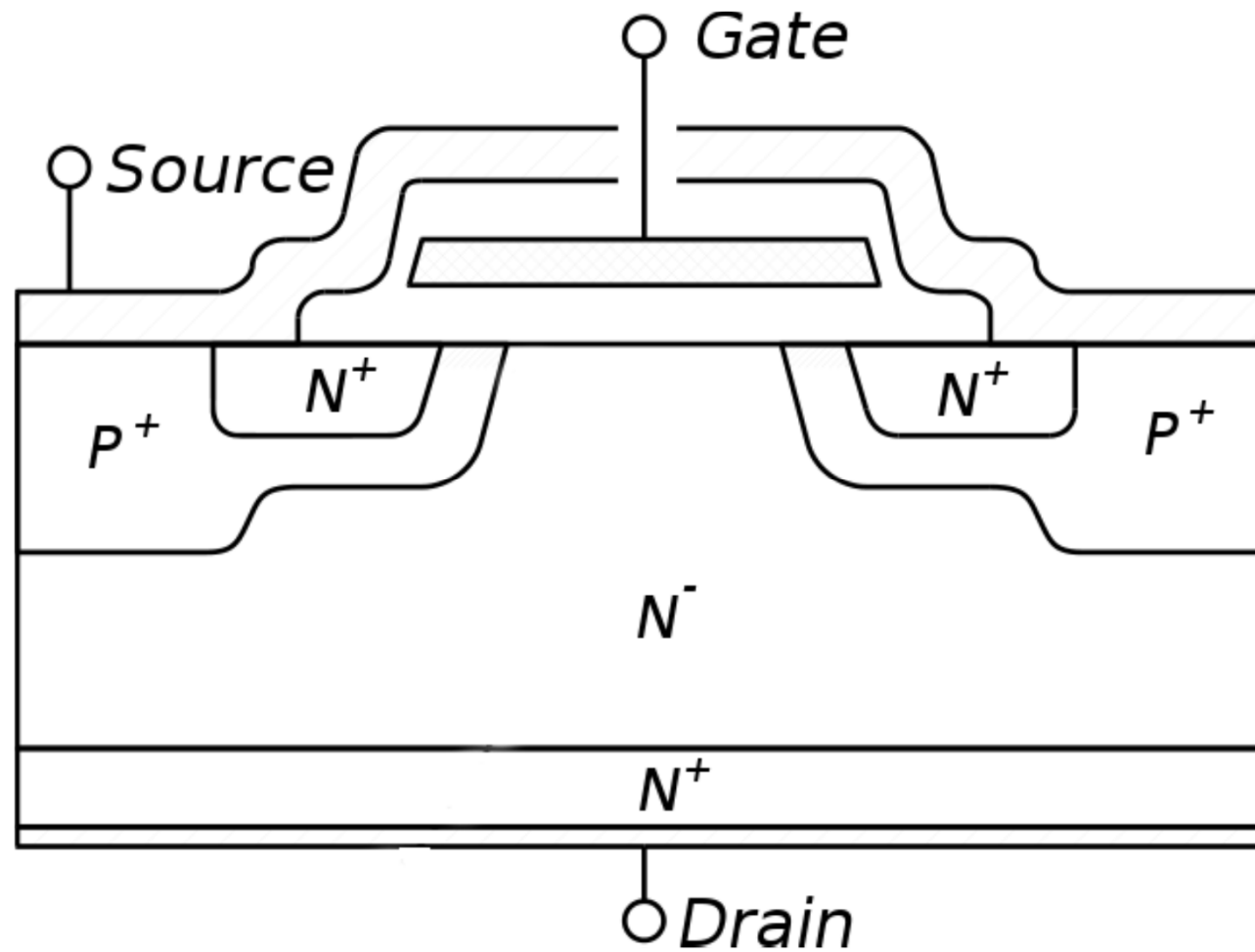
2kW級インバータにおけるスイッチング素子(6ケ)の損失

($E_{cc}=300V$, $I_o=20A$, $f_c=20kHz$)

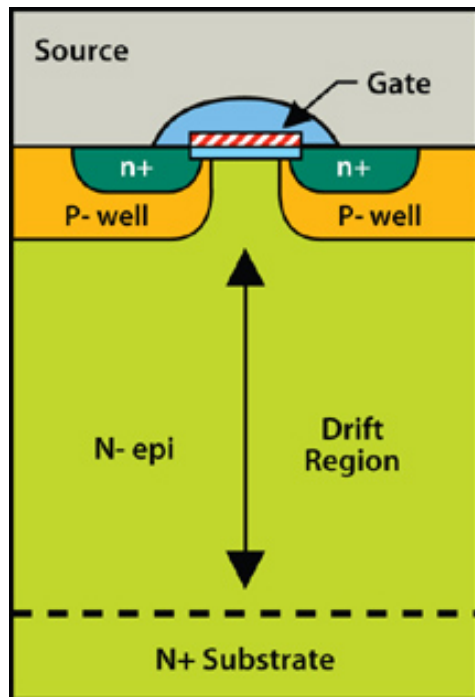


独立行政法人産業技術総合研究所によるデータ

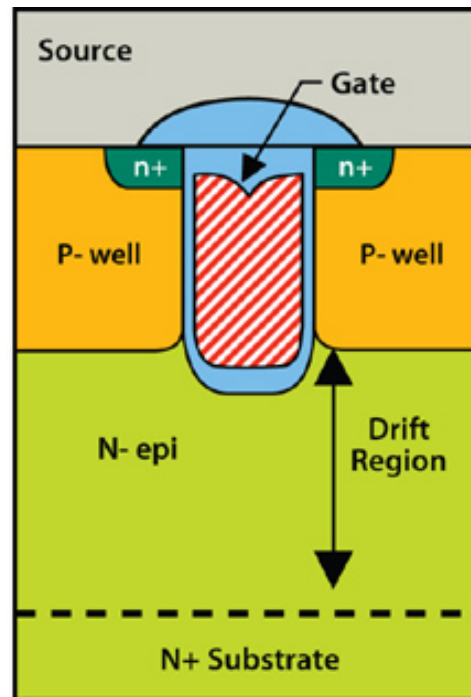
DMOSの基本構造1



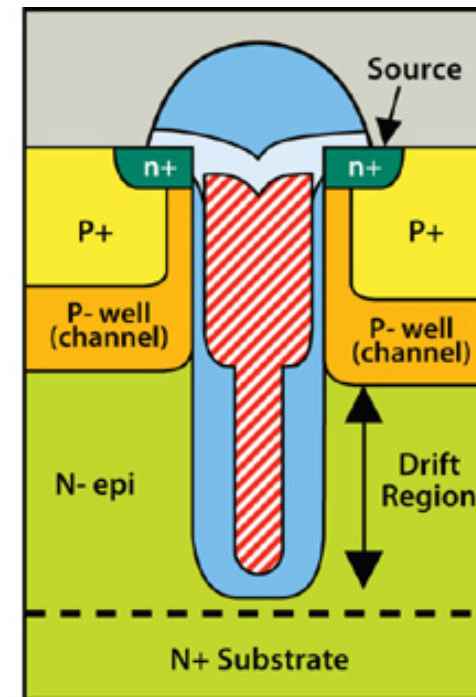
DMOSの基本構造2



Planar NDMOS

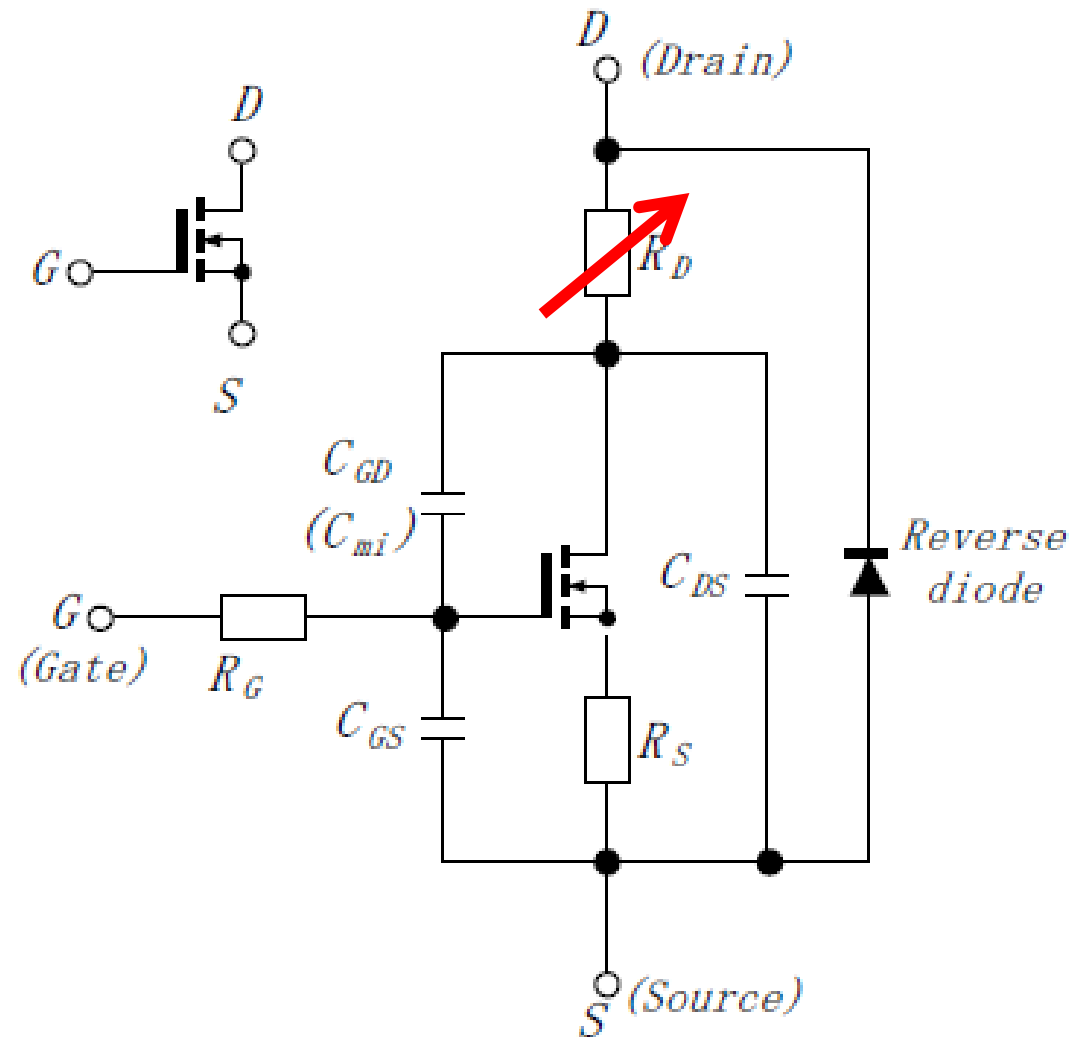


Trench NDMOS

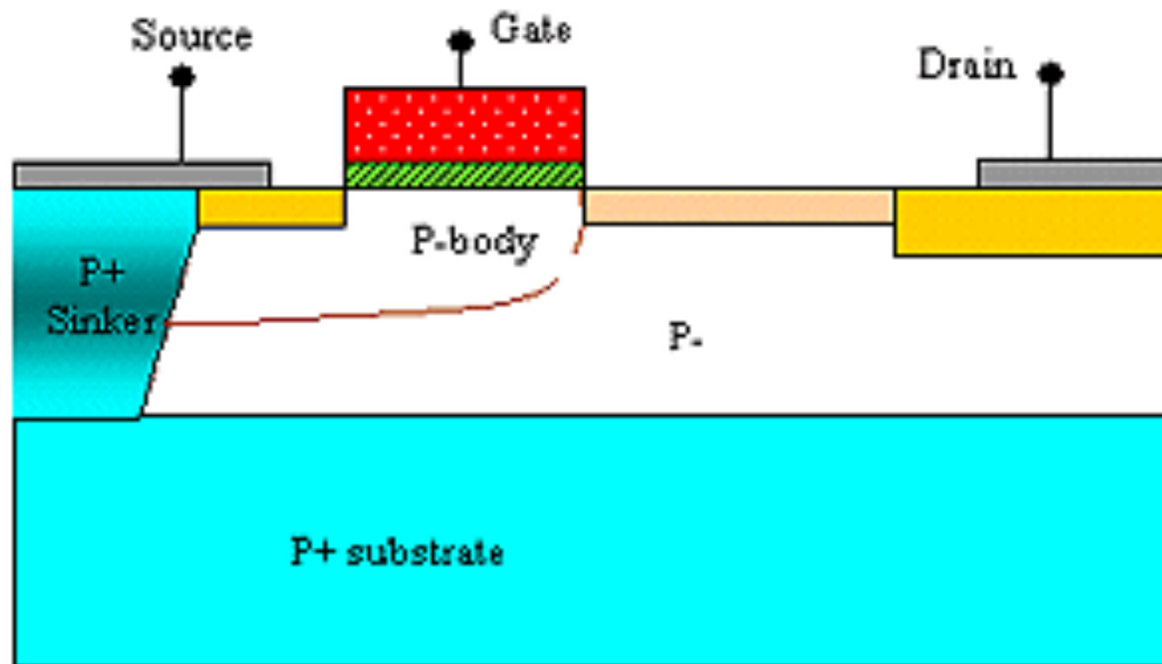


Charge Balance NDMOS

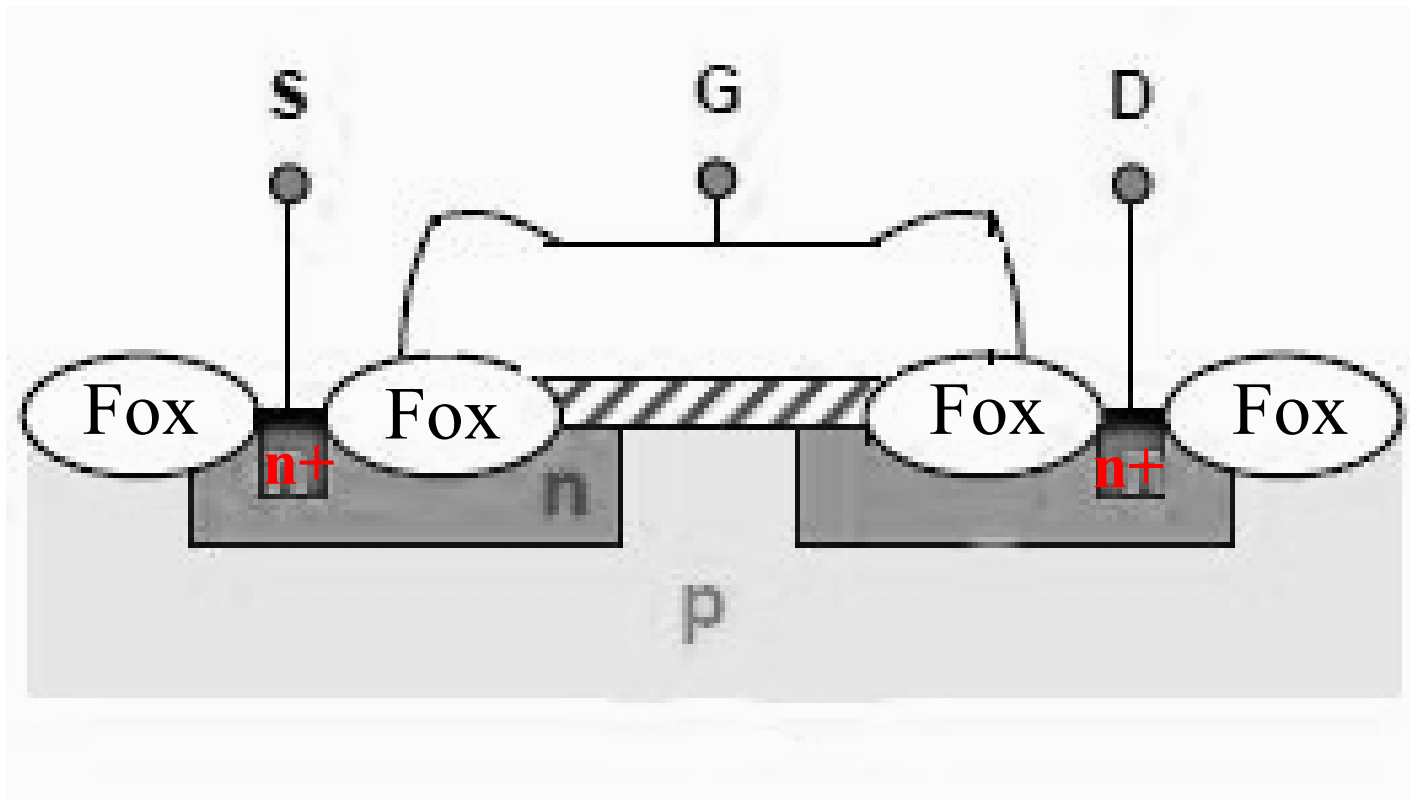
DMOSの等価回路



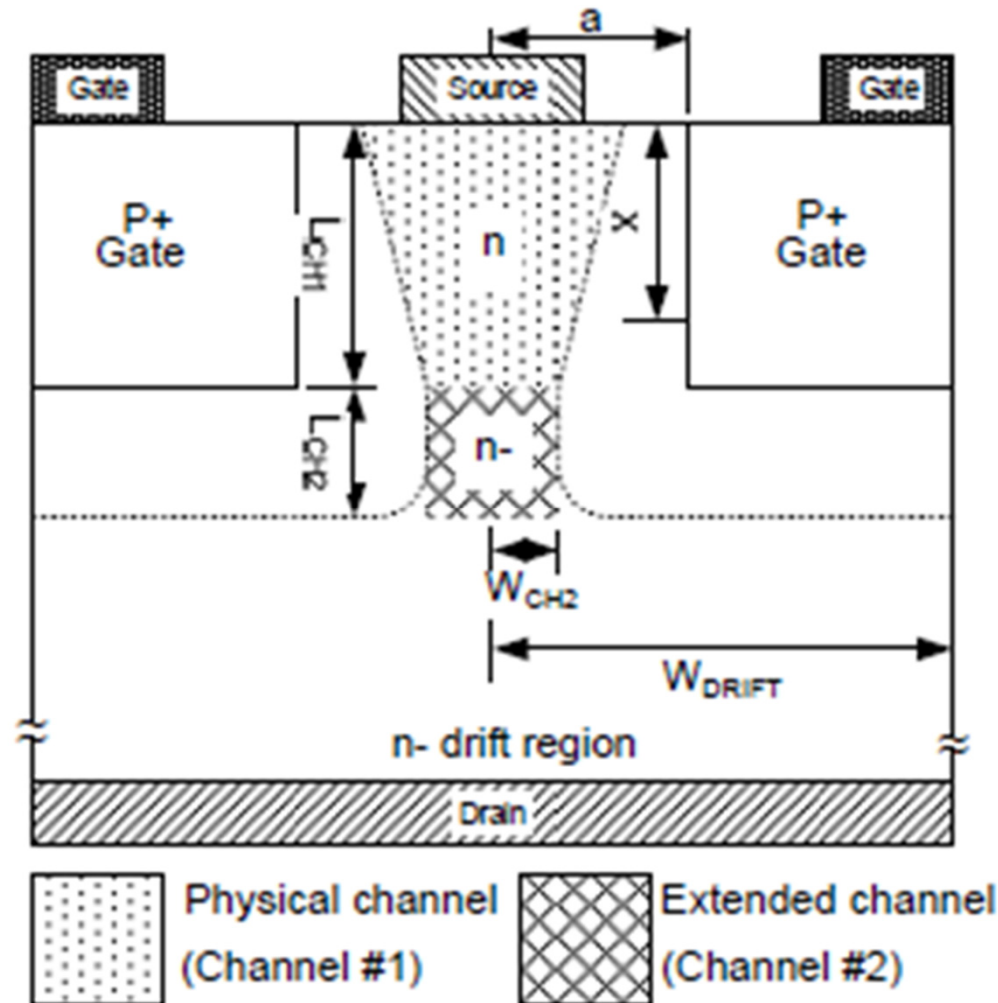
LDMOSの基本構造



HVMOSの基本構造



SiC-JFETの基本構造



自己発熱現象のモデル化

自己発熱モデルの歴史

- 1972年にV. Negro, L. PannoneらがMOSFETで自己発熱現象を確認, “Self-Heating and Gate Leakage Current in a Guarded MOSFET”で発表
- 1991年にP. C. Munro, F-Q. Ye らがサブ回路によるモデル化手法を“Simulating the Current Mirror with a Self-Heating BJT Model”で発表
- 1991年にR. M. Fox, S.-G. LeeらがY-パラメータ計算によるモデル化手法を“Scalable Small-Signal Model for BJT Self-Heating”で発表
- 1994年にL. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson, M. I. FlikらがSOI-MOSFETのサブ回路によるモデルを“Measurement and modeling of self-heating in SOI NMOSFET's”で発表

など.

自己発熱現象とは

- BOX構造などチャンネル周りが囲まれた構造のデバイスにおいて、動作時に流れる電流、チャンネルの抵抗などにより熱が発生して、デバイス温度がさらに高くなる現象といわれている

サーマルフィードバックBJT小信号モデル

$$Y_{BC} = \frac{Y_{BC} \cdot e + D_B Z_{th} I_B I_C}{1 - D_B Z_{th} P}$$

$$Y_{CB} = \frac{Y_{CB} \cdot e + D_C Z_{th} I_C I_B}{1 - D_C Z_{th} P}$$

D_B, D_C Base, Collectorの電流による温度係数

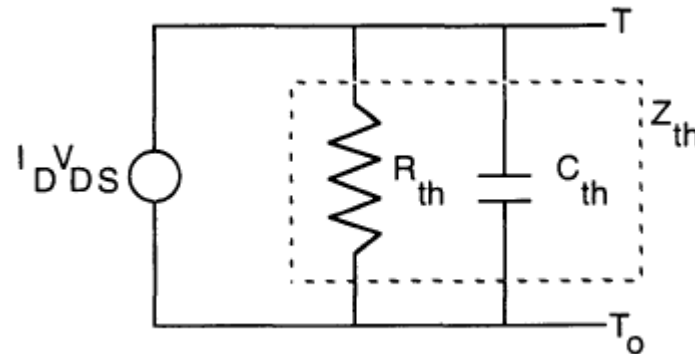
I_B, I_C Base, Collector電流

Z_{th} 熱インピーダンス

P 消費電力

自己発熱サブサーキットモデル

1. モデル等価回路に温度端子を追加



Z_{th} : 熱インピーダンス

V_{DS}, I_D : Drain電圧, 電流

2. 動作温度 $T = T_o + \underbrace{(I_D V_{DS}) Z_{th}}$

↑ デバイス温度上昇分
環境温度

3. 再シミュレート

現自己発熱モデルの長所・短所

- サーマルフィードバックBJT小信号モデル
 - 等式のため収束早い
 - 小信号ACのみに効果あり
 - 小信号ACでは自己発熱少ないので、意味あるのか？
- 自己発熱サブサーキットモデル（主流）
 - 理にかなっている
 - 比較的高精度
 - 回路上で収束しにくい

A-自己発熱モデル(研究中)

- サブ回路モデルに比べて遙かに収束性能が良い
- 周波数依存モデル

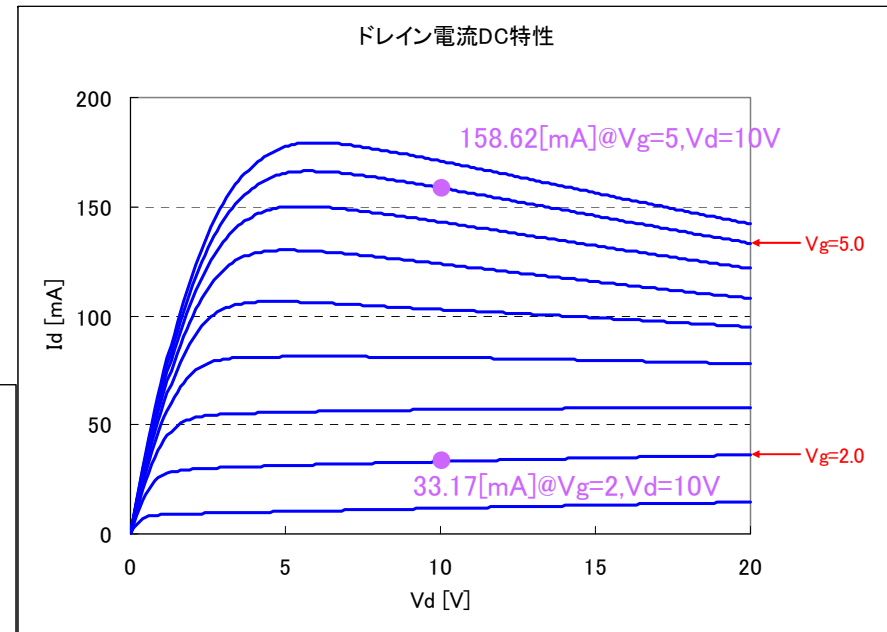
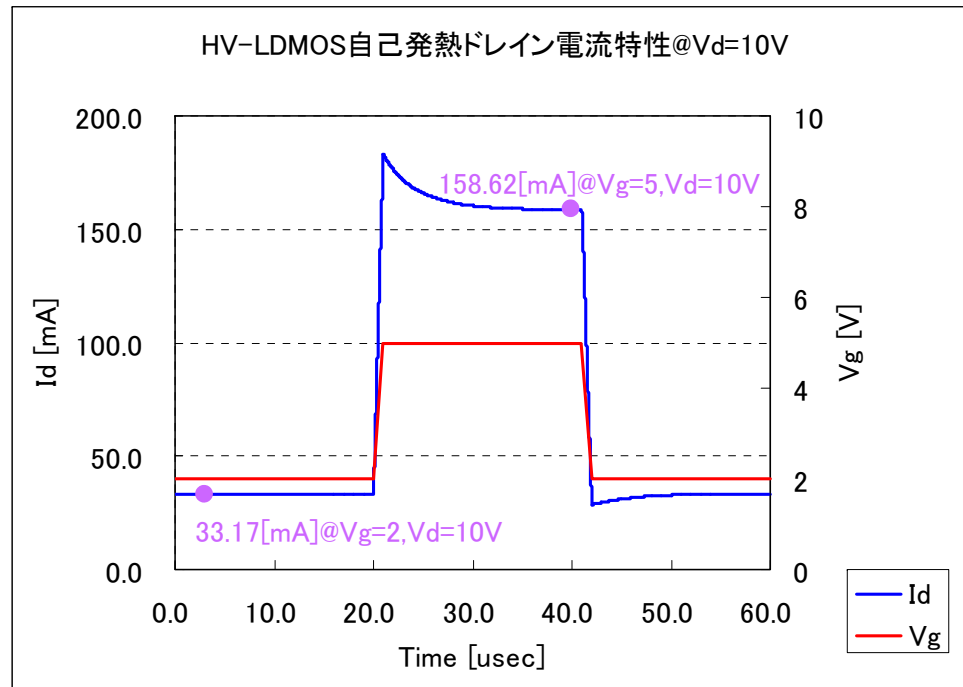
基本方程式

$$G_{ds}(s) = \frac{G_{ds}(DC) \left\{ 1 + s \left[\tau_{temp} \frac{G_{ds}(AC)}{G_{ds}(DC)} \right] \right\}}{1 + s \cdot \tau_{temp}}.$$

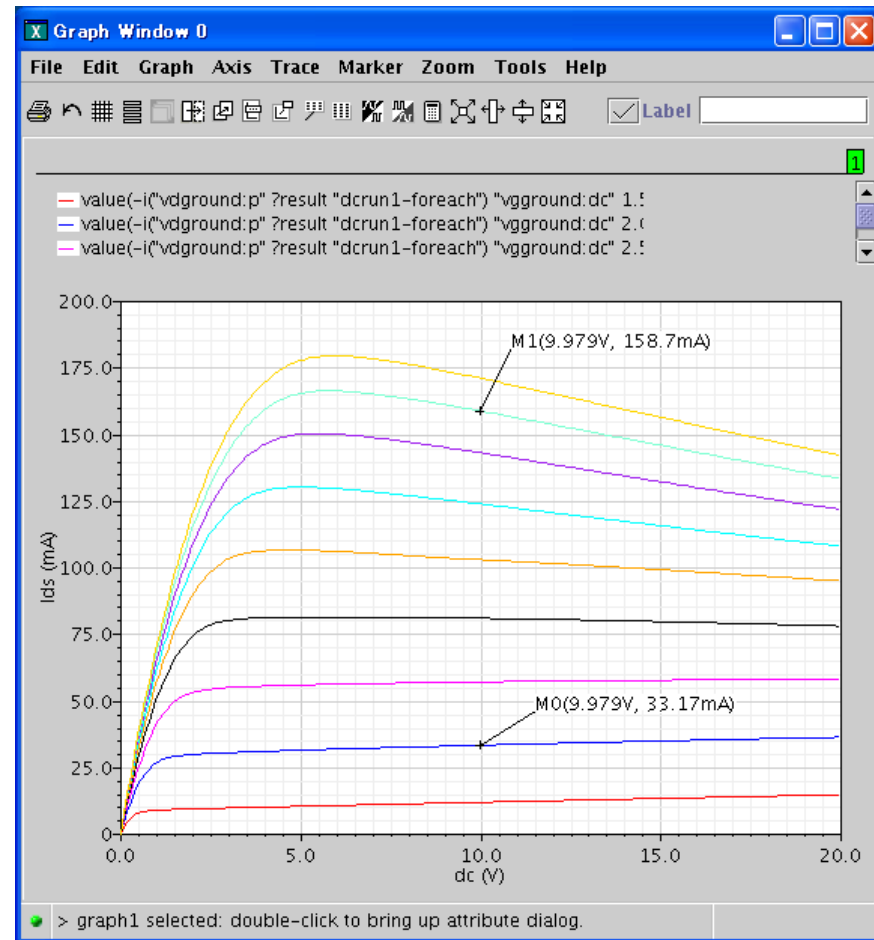
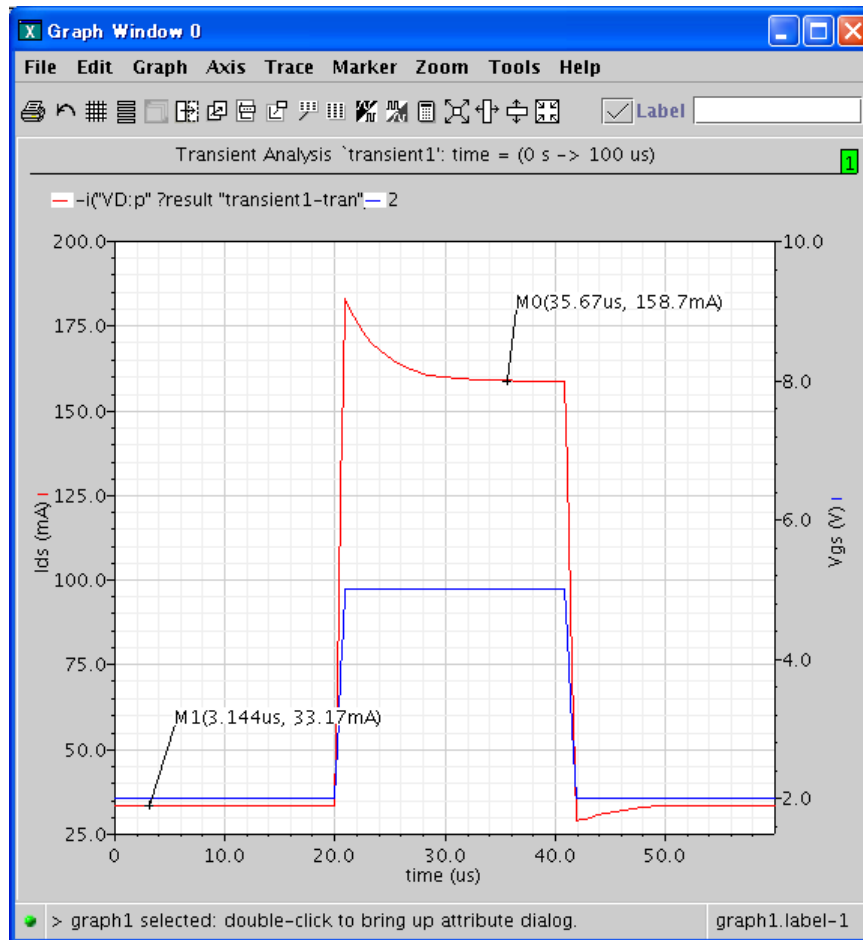
τ_{temp} : temperature dependent time constant

自己発熱特性DC・トランジェント評価 (HSPICE)

24



自己発熱特性DC・トランジェント評価 (SPECTRE)

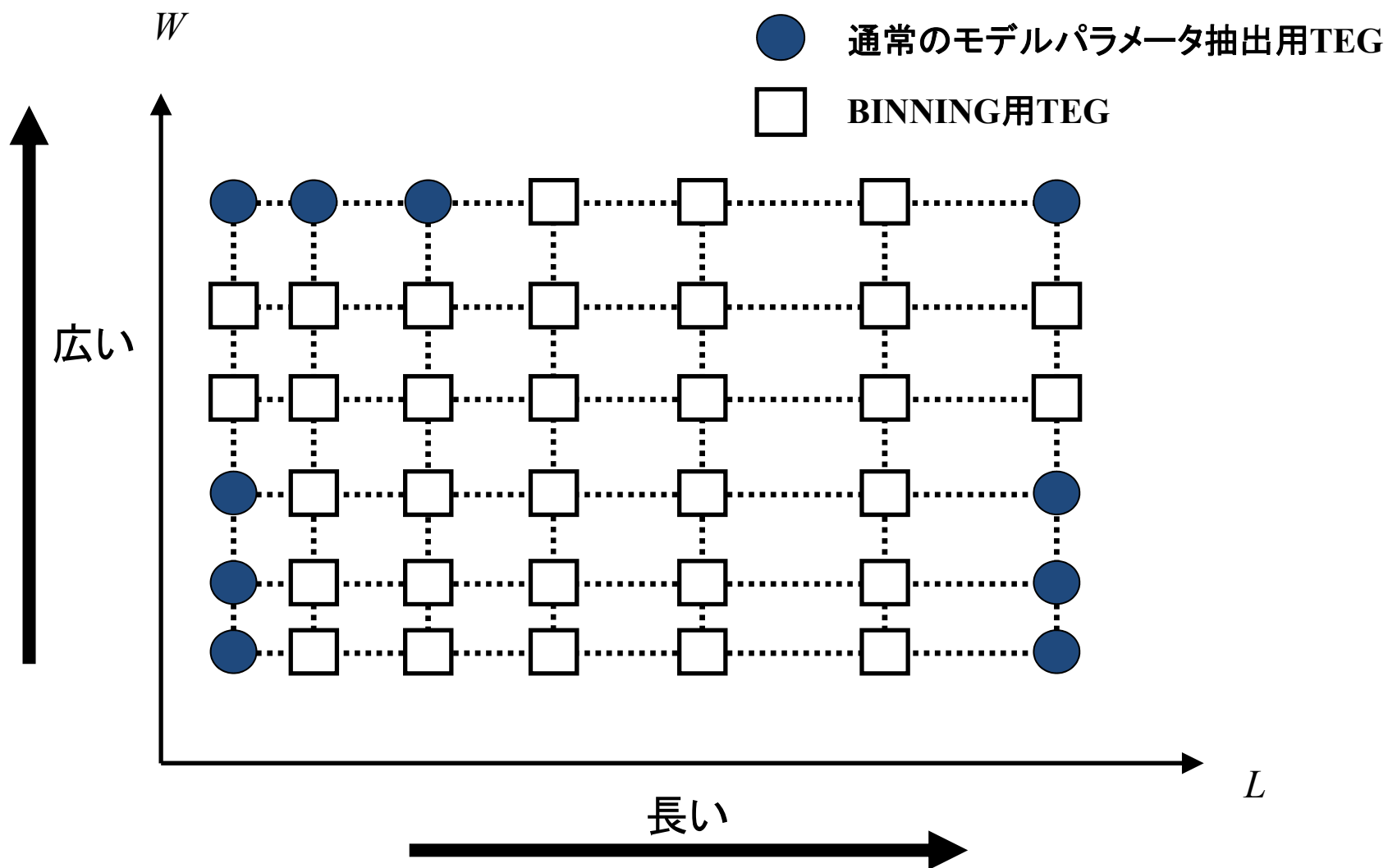


BSIM3による HV-MOSマクロモデリング

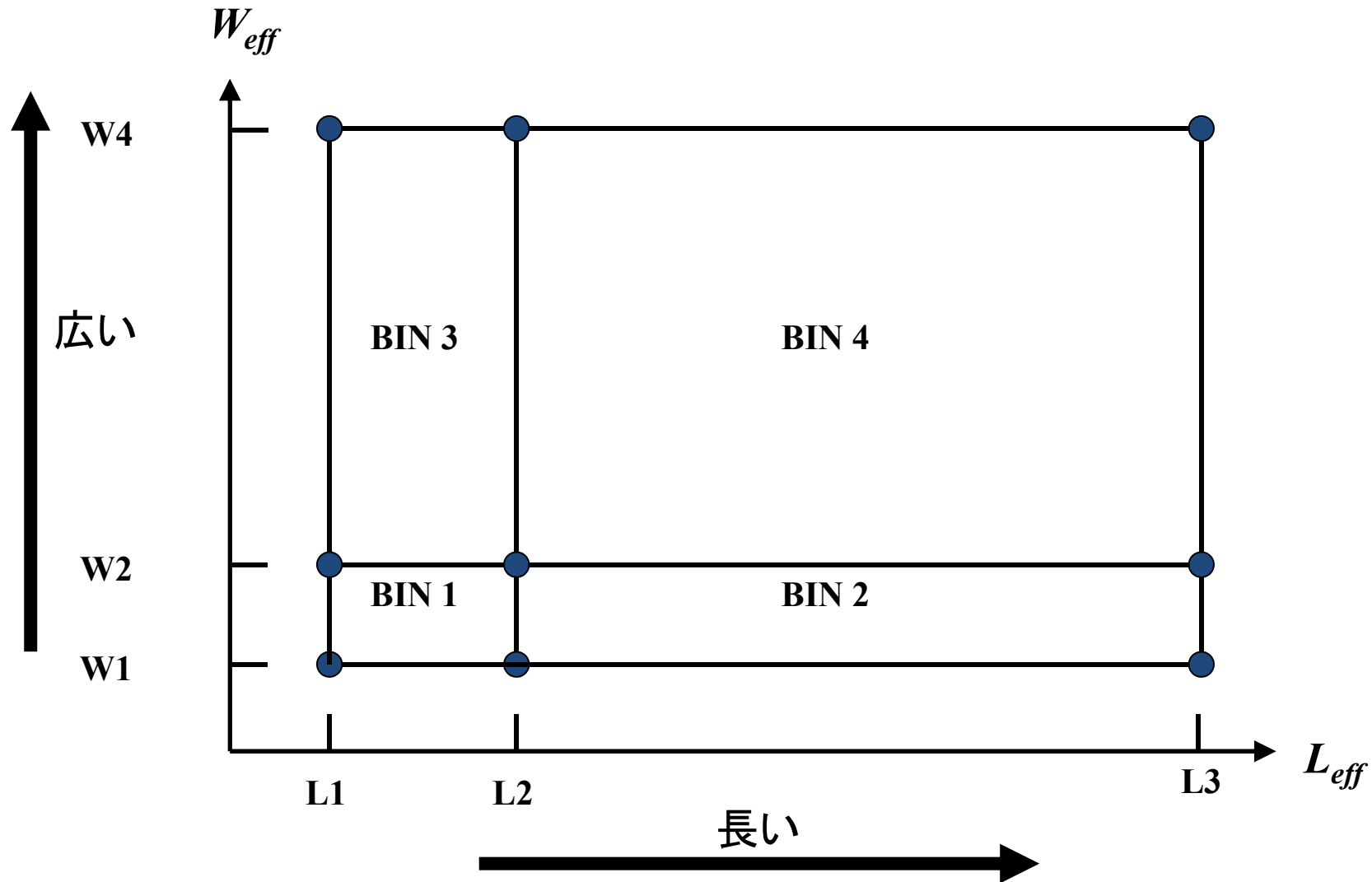
アウトライン

- 必要なTEGのサイズについて
- ビンニングTEGのサイズについて
- BSIMモデルによるHV-MOSマクロモデル(A-HVMOS)
- 抽出結果

必要なTEGのサイズについて



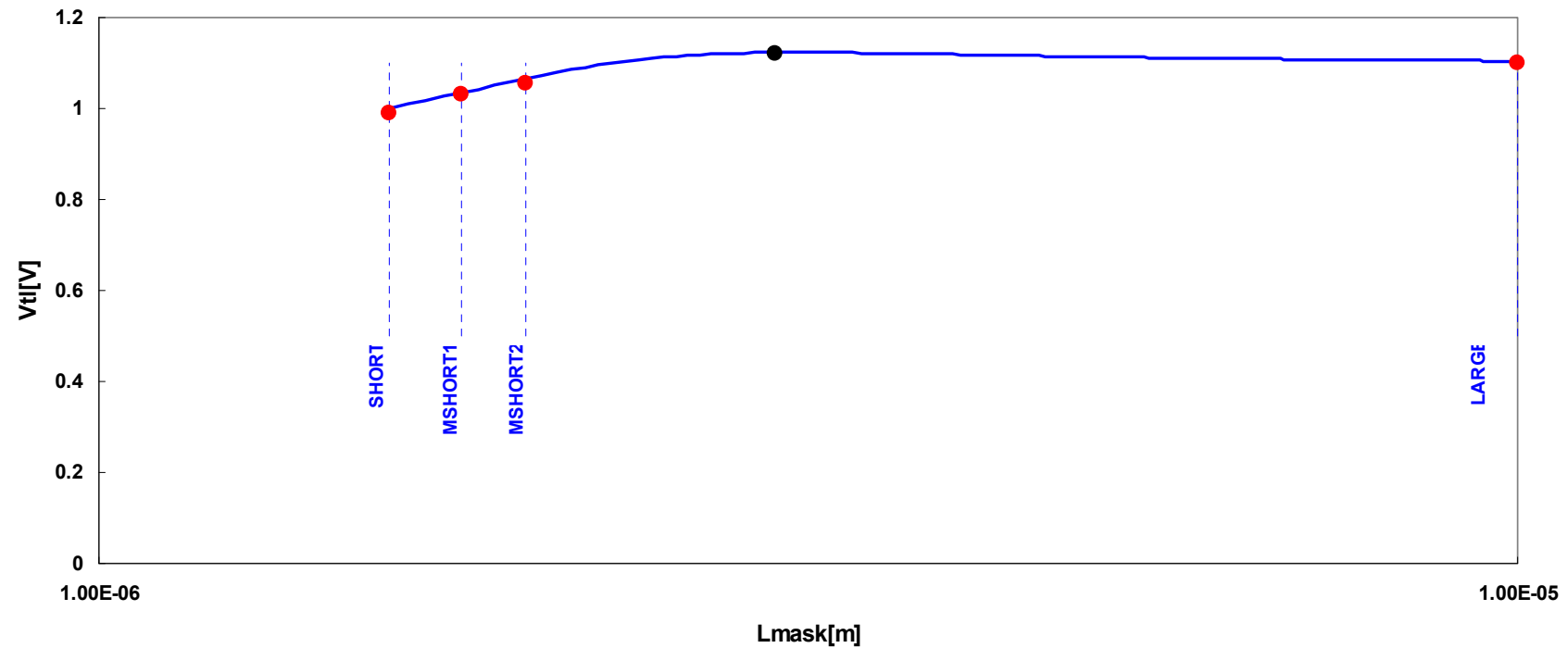
ビンニングTEGのサイズについて



HV_NMOS DC抽出結果

Vth(基準Id) L依存性 (W=10umデバイス)

HV_NMOS Vth vs Lmask(W=10um)



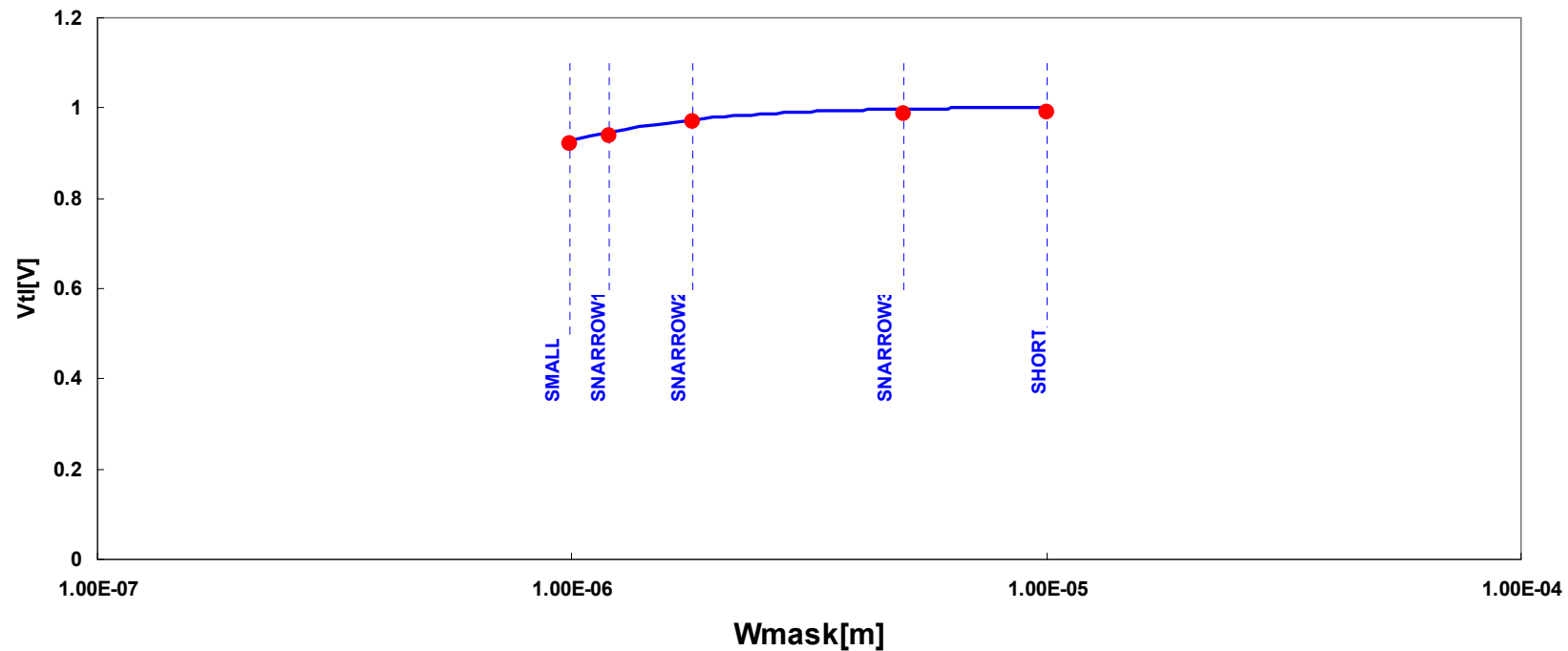
Vthは L,Wで正規化した基準電流での値

- 測定データ(抽出に使用)
- 測定データ(検証用)
- シミュレーション

HV_NMOS DC抽出結果

Vth(基準Id) W依存性 (L=1.6umデバイス)

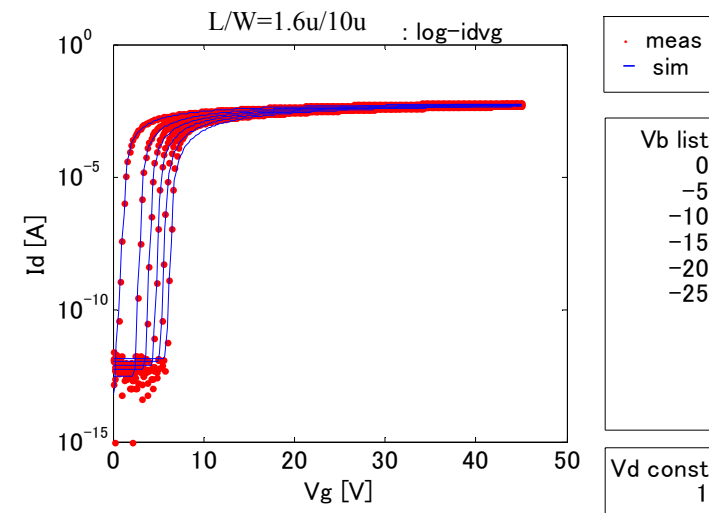
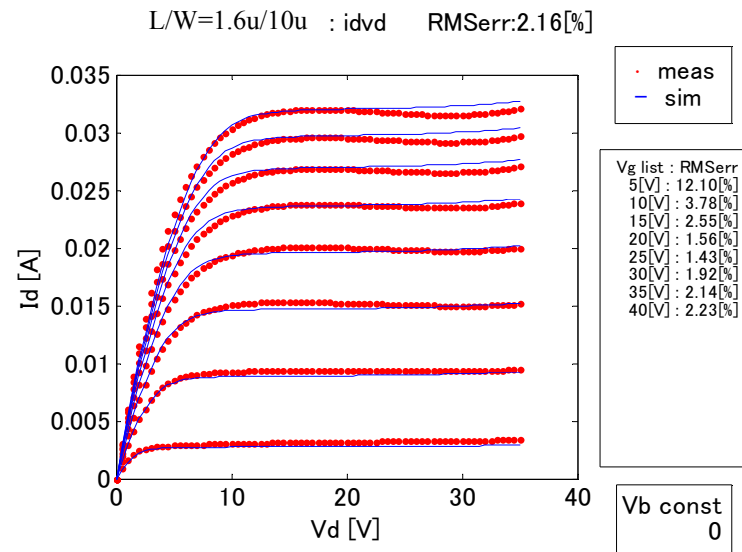
HV_NMOS Vth vs Wmask(L=1.6um)



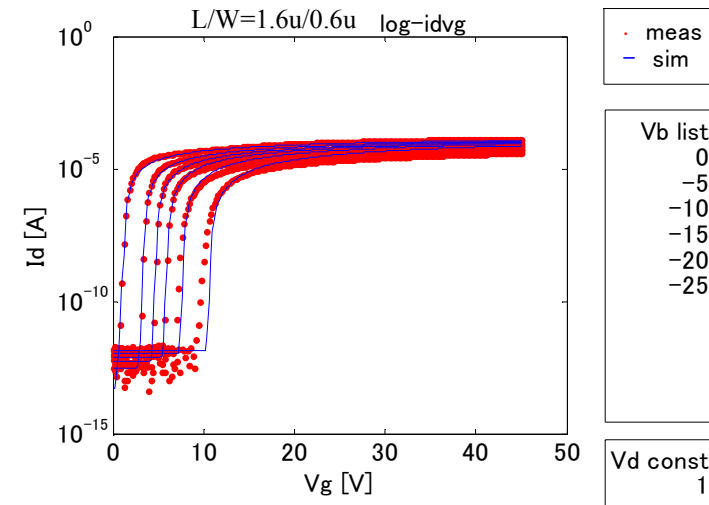
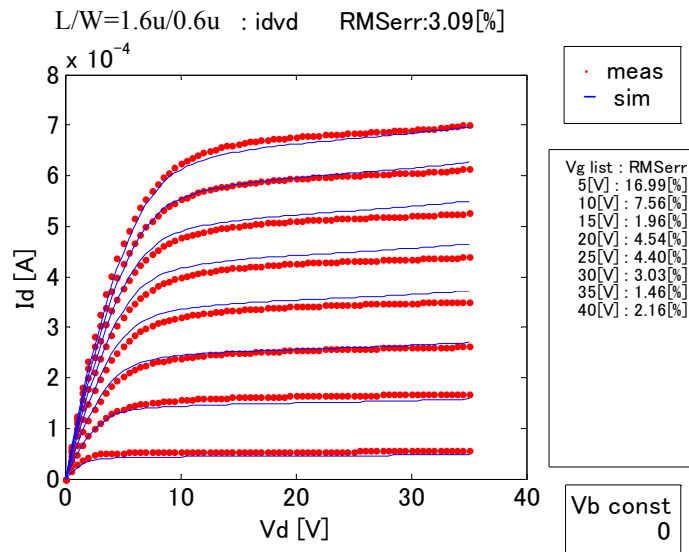
Vthは L,Wで正規化した基準電流での値

● 測定データ
— シミュレーション

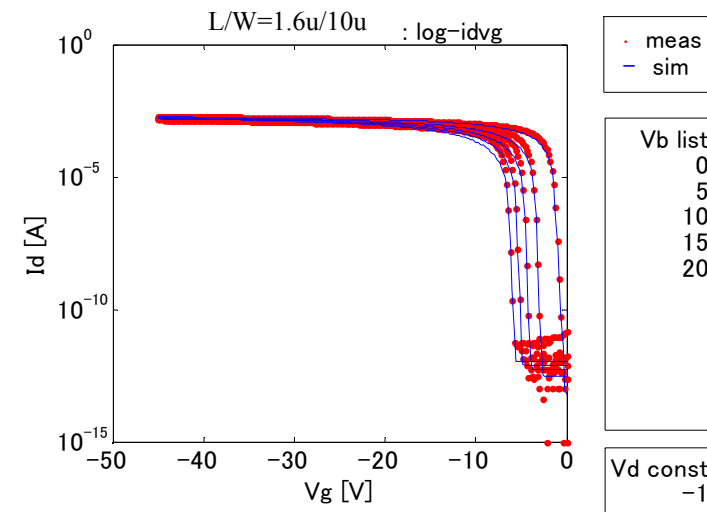
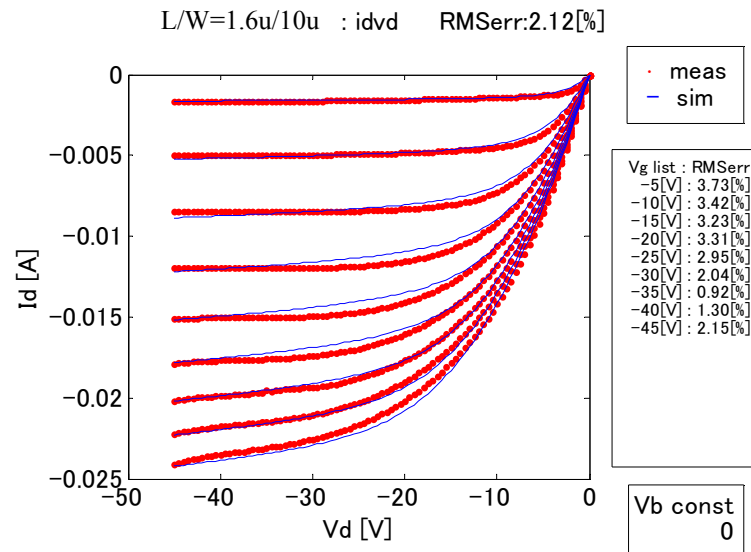
HV_NMOS short



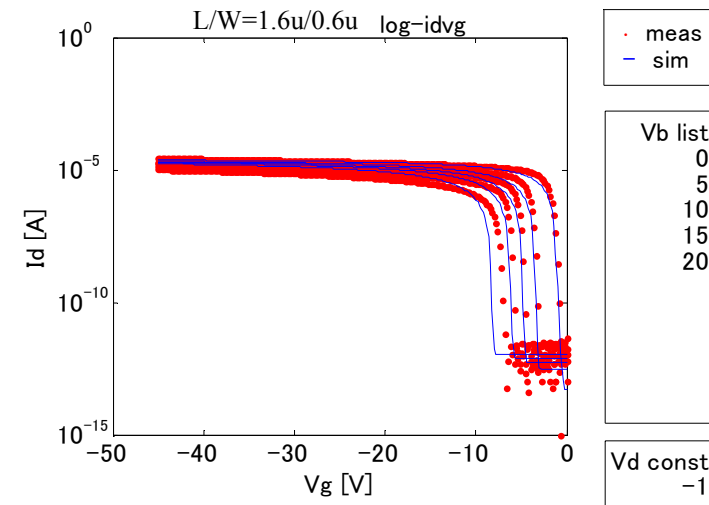
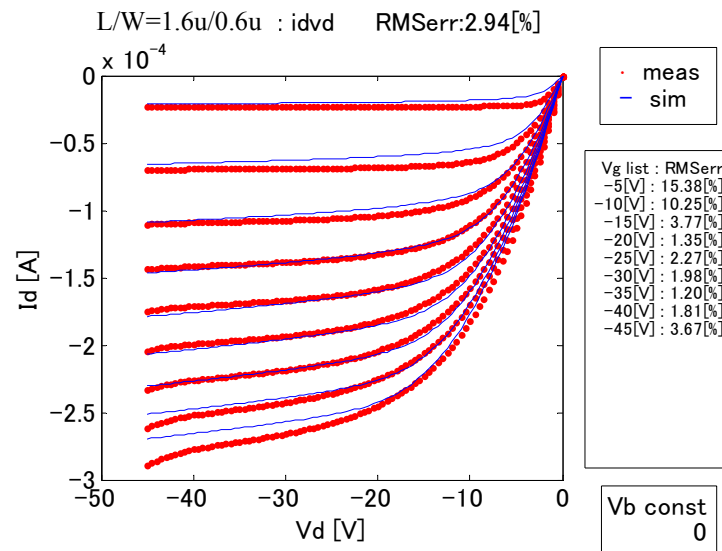
HV_NMOS small



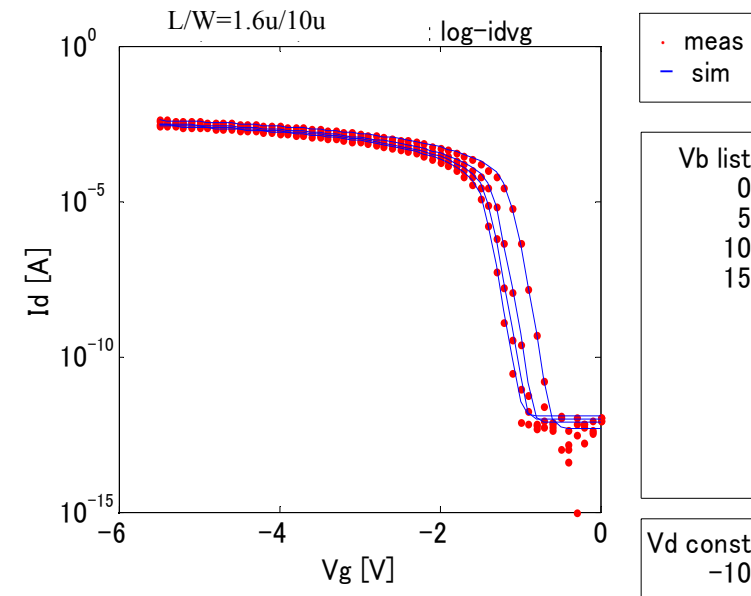
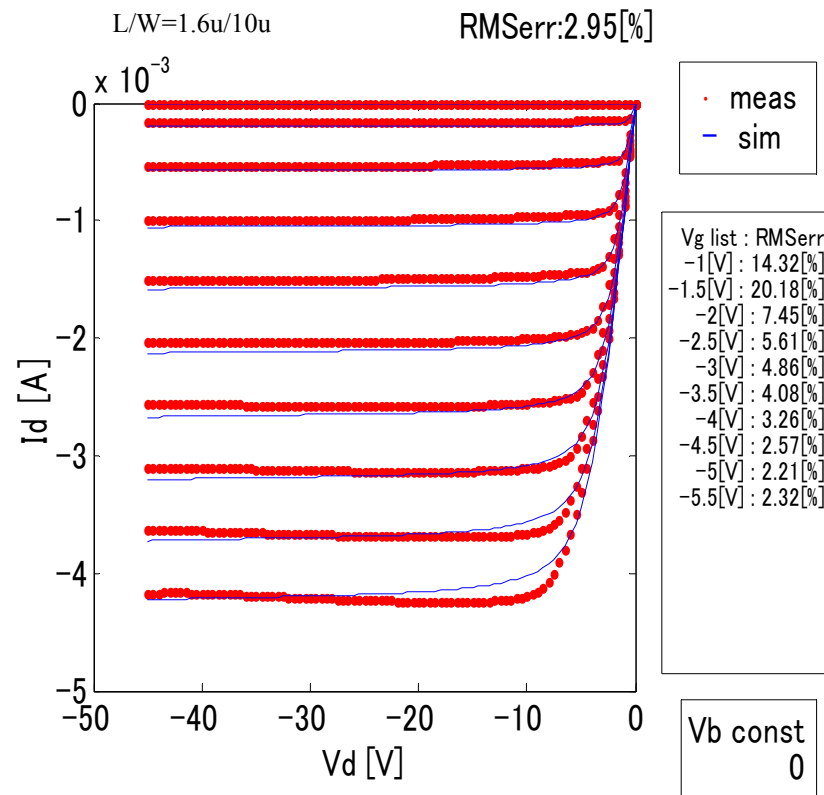
HV_PMOS short



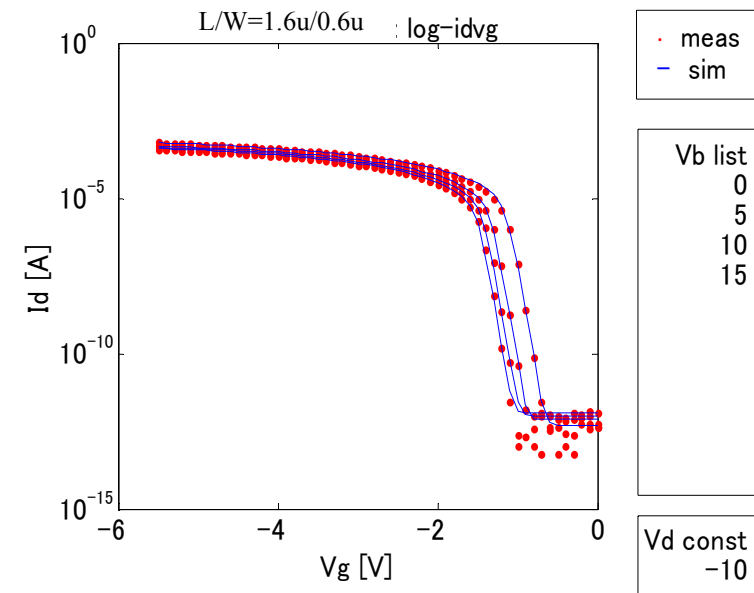
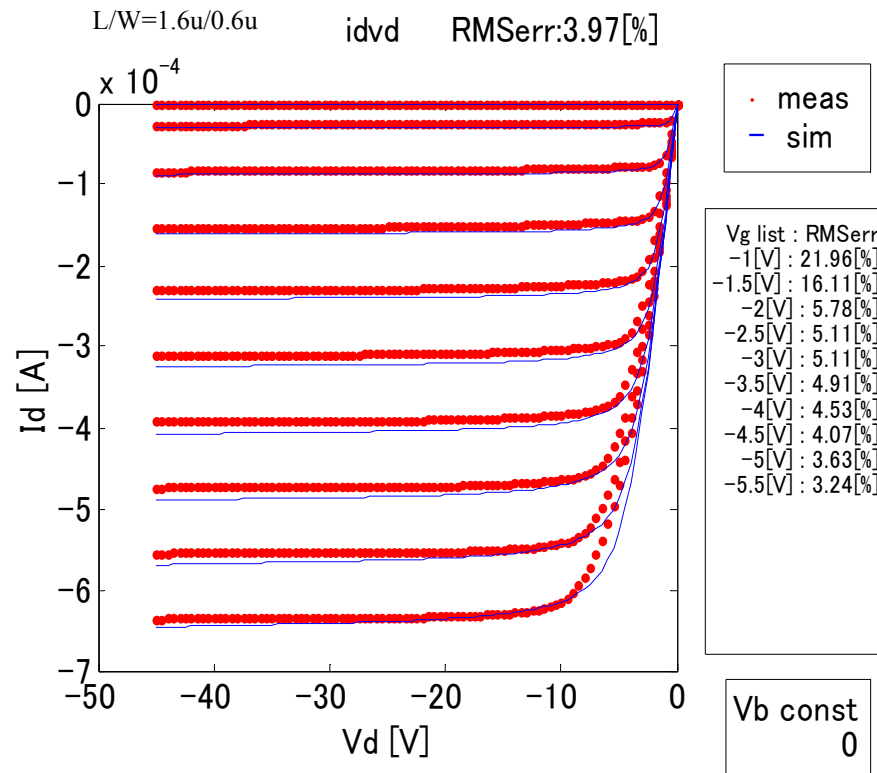
HV_PMOS small



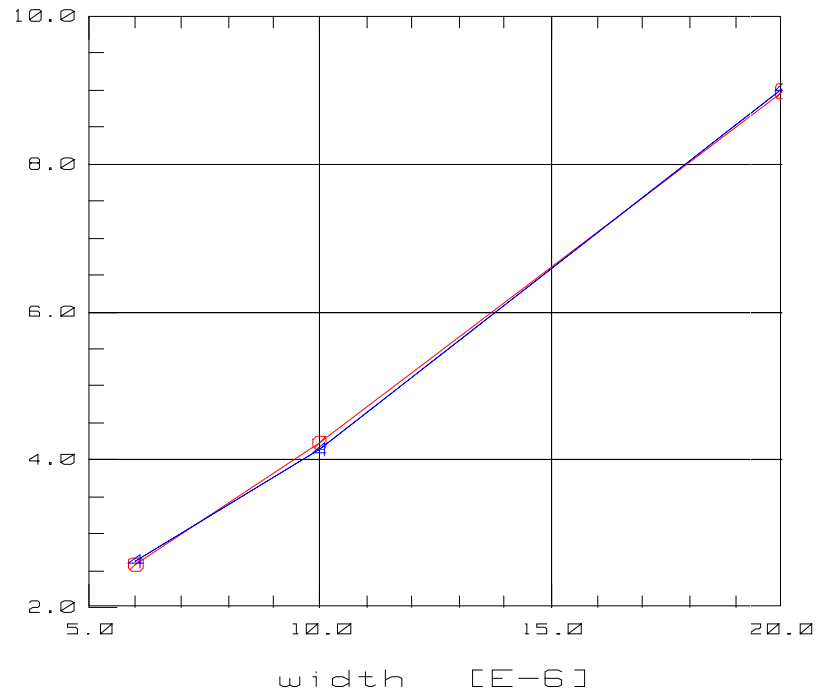
HV_PMOS(薄膜ゲート) short



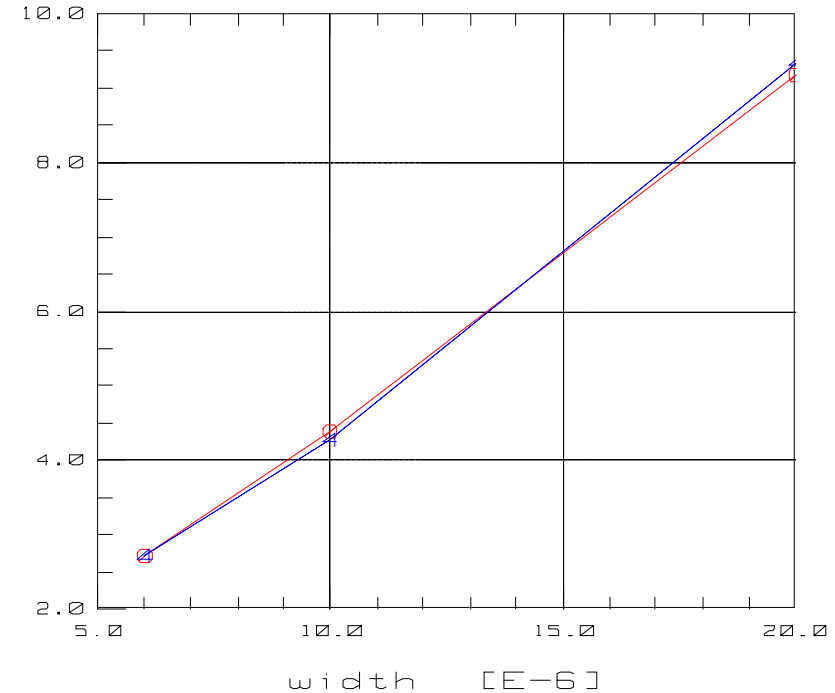
HV_PMOS(薄膜ゲート) small



DC W依存 ($L=3\mu\text{m}$)



$I_{dVg}@V_d=15\text{V}$ W依存

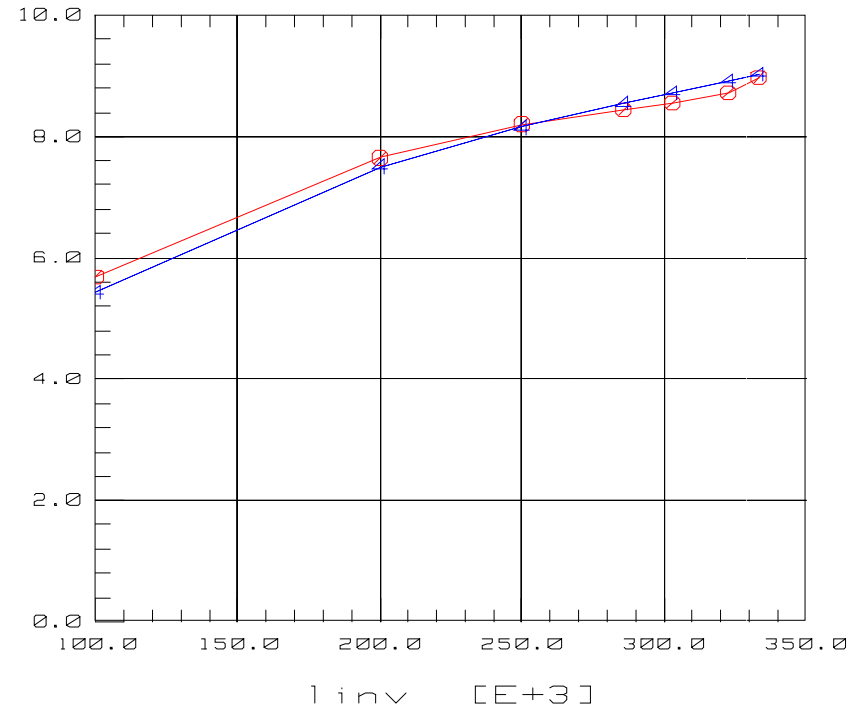


$I_{dvd}@V_b=0\text{V}$ W依存

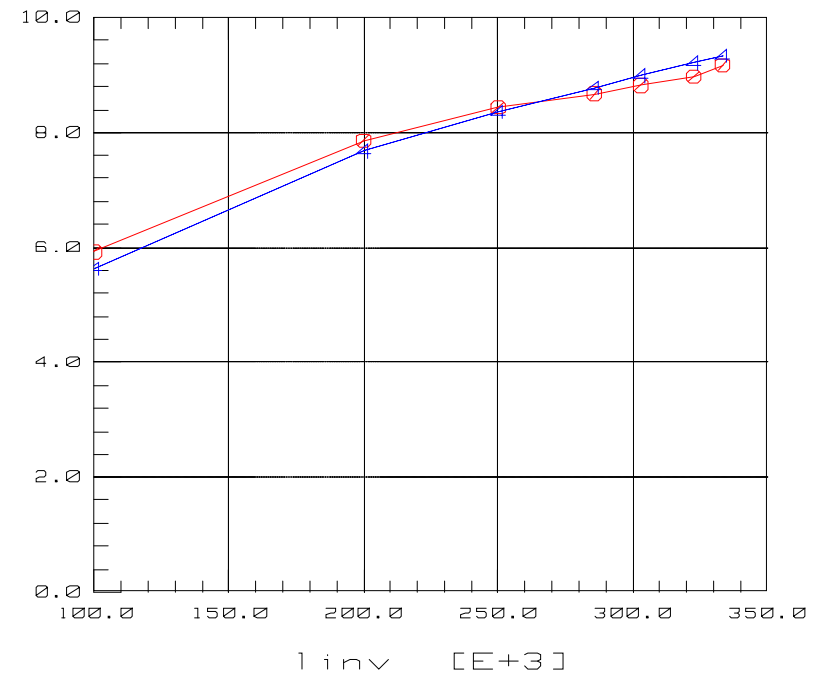
— Measured

- - - Simulated

DC L依存 (W=20 μ m)



$I_d V_g @ V_d = 15V$ $1/L$ 依存



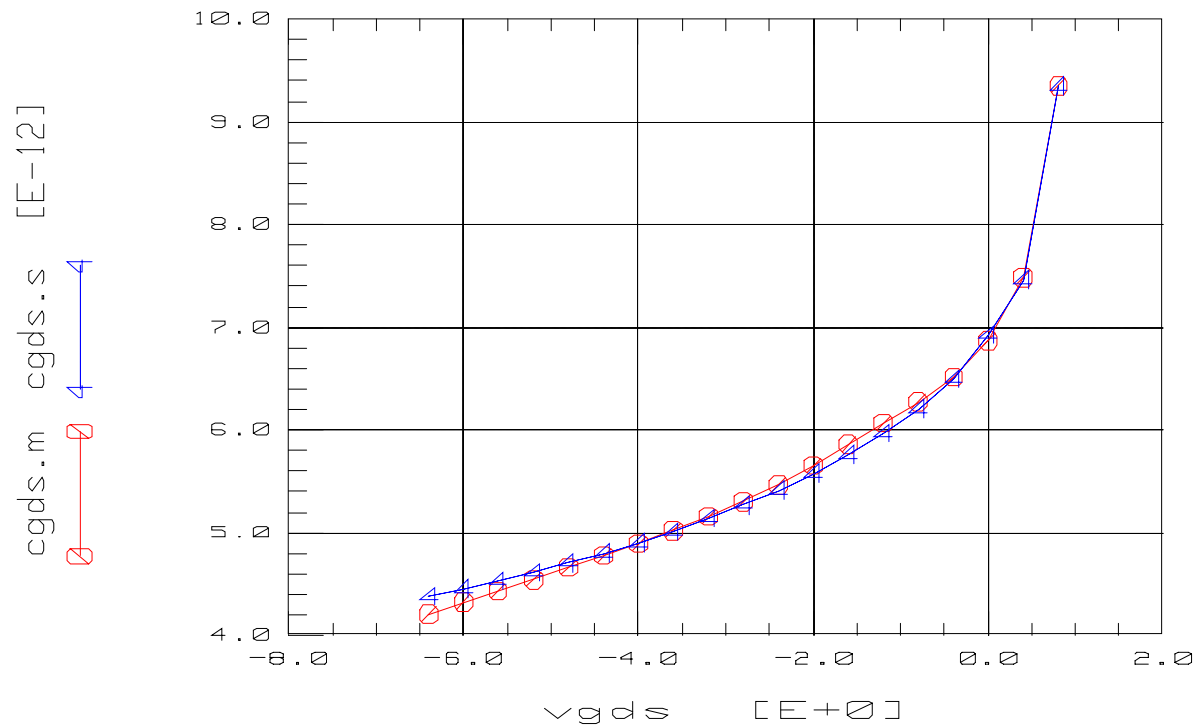
$I_d V_d @ V_b = 0V$ $1/L$ 依存

— Measured

- - - Simulated

オーバーラップ容量抽出結果

Plot bsim3v3_hv_CV/Coverlap/cgds_report/Cgds (On)



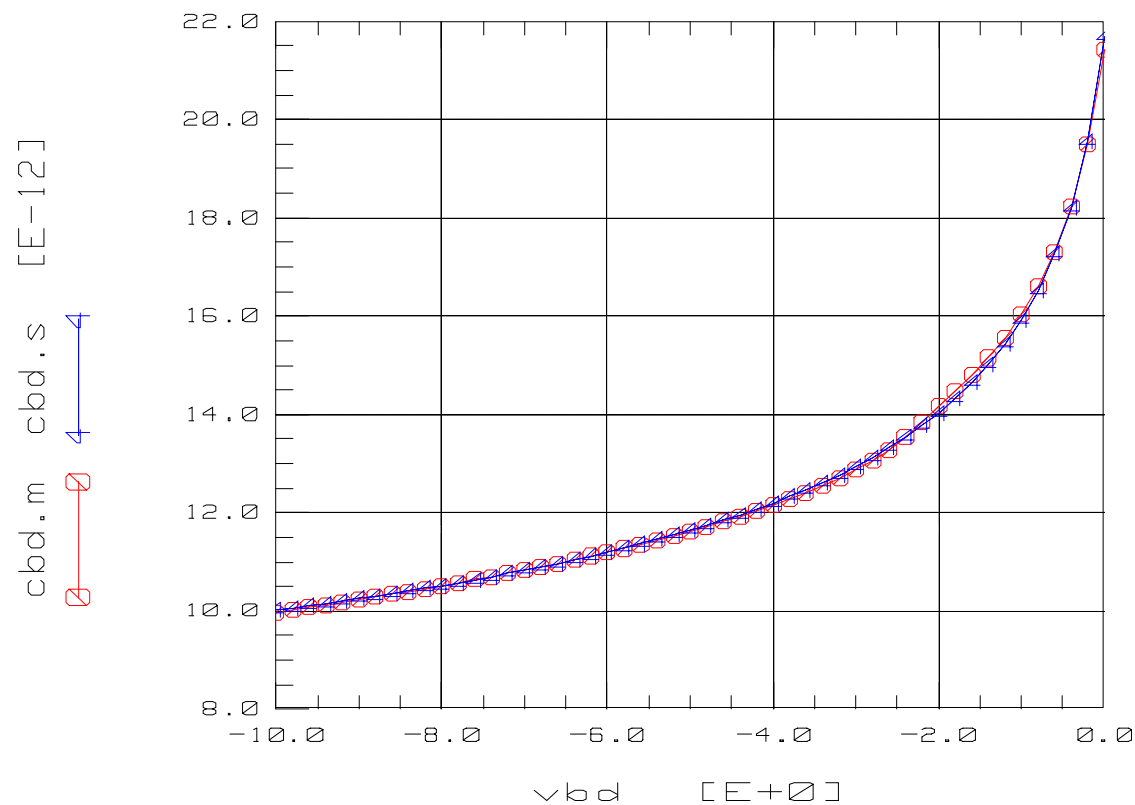
rms error : 1.19 %
max error : 2.87 %

— Measured

- - - Simulated

接合容量(面積大)抽出結果

Plot bsim3v3_hv_CV/Cj_area/cbd/Cbd (On)



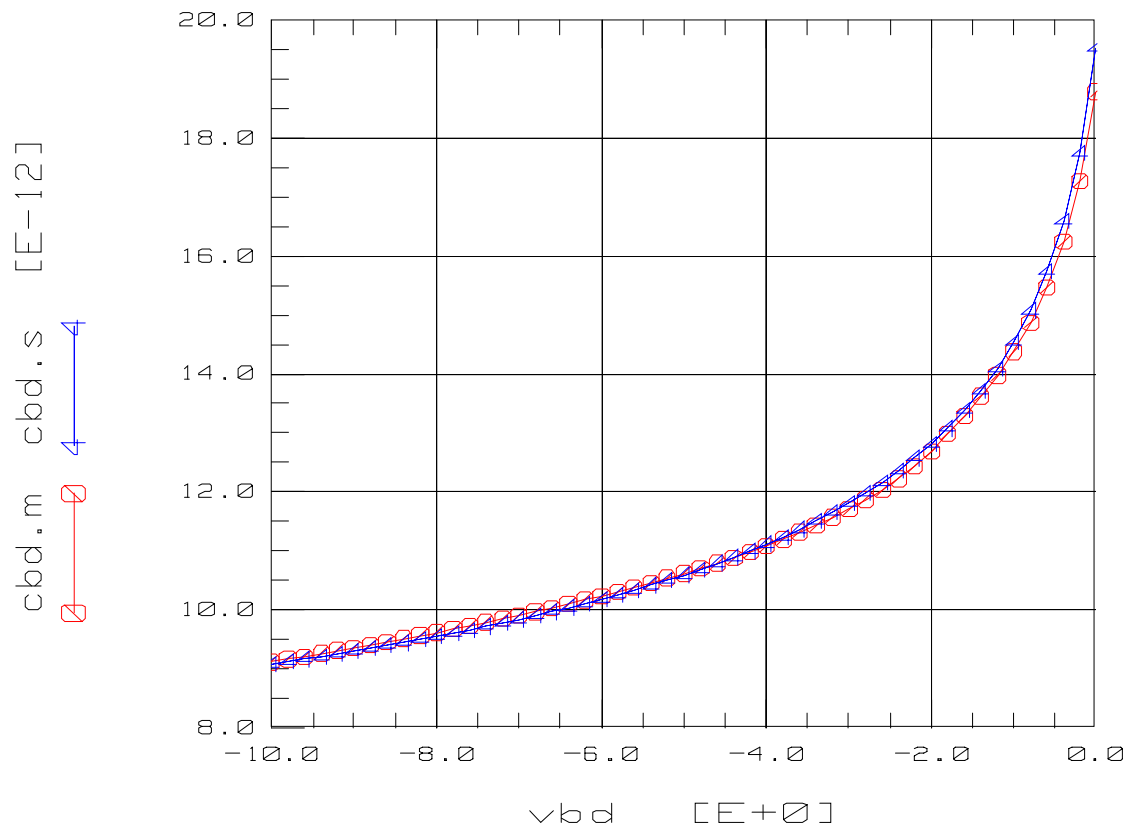
rms error : 0.39 %
max error : 0.85 %

— Measured

- - - Simulated

接合容量(周圍長大)抽出結果

Plot bsim3v3_hv_CV/Cj_perimeter/cbd/Cbd (On)



rms error : 1.38 %
max error : 3.81 %

— Measured

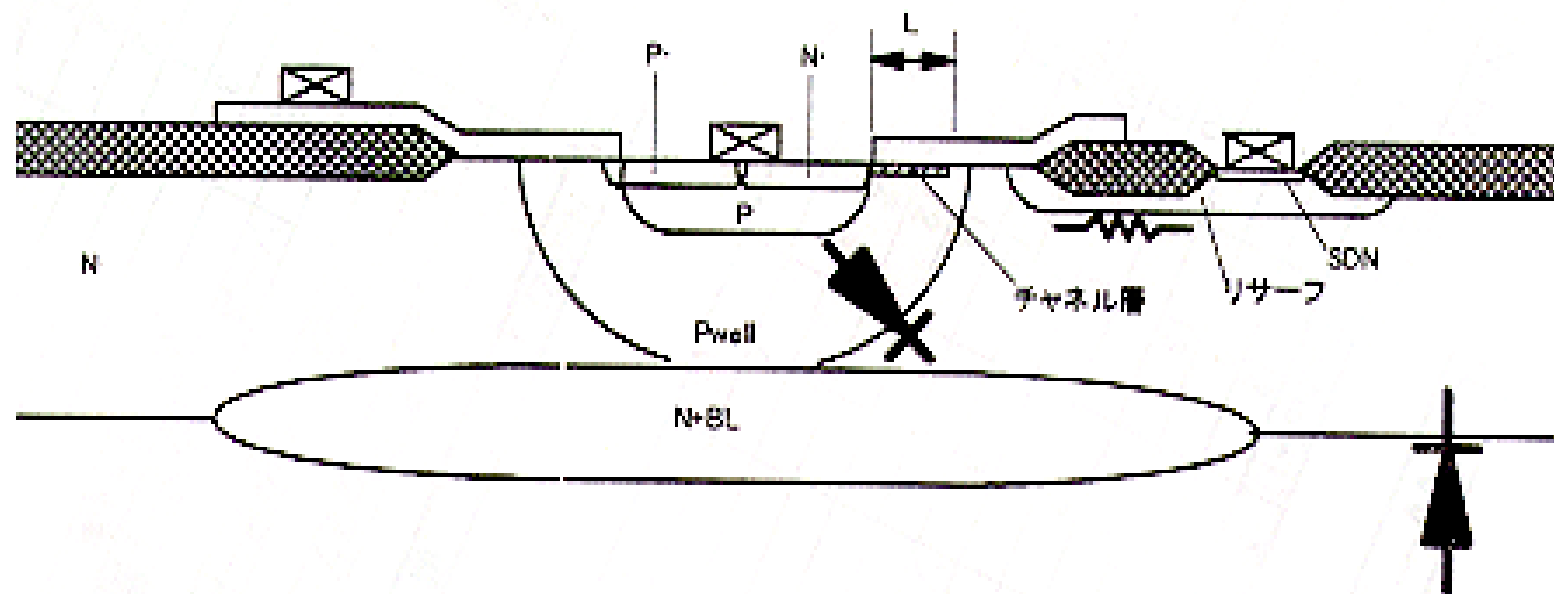
- - - Simulated

マクロモデルによる LDMOS Modeling

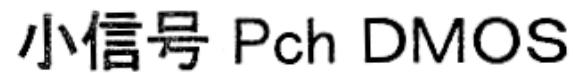
アウトライン

- 対象としたLDMOSの構造
- Aモデルの等価回路
- TEGのサイズについて
- LDMOSの特性
- BSIM3のBINNINGモデル
- ダイオードの接合面積計算とRDX算出
- Cbdのチャネル幅依存モデル
- 抽出例
- 検証例

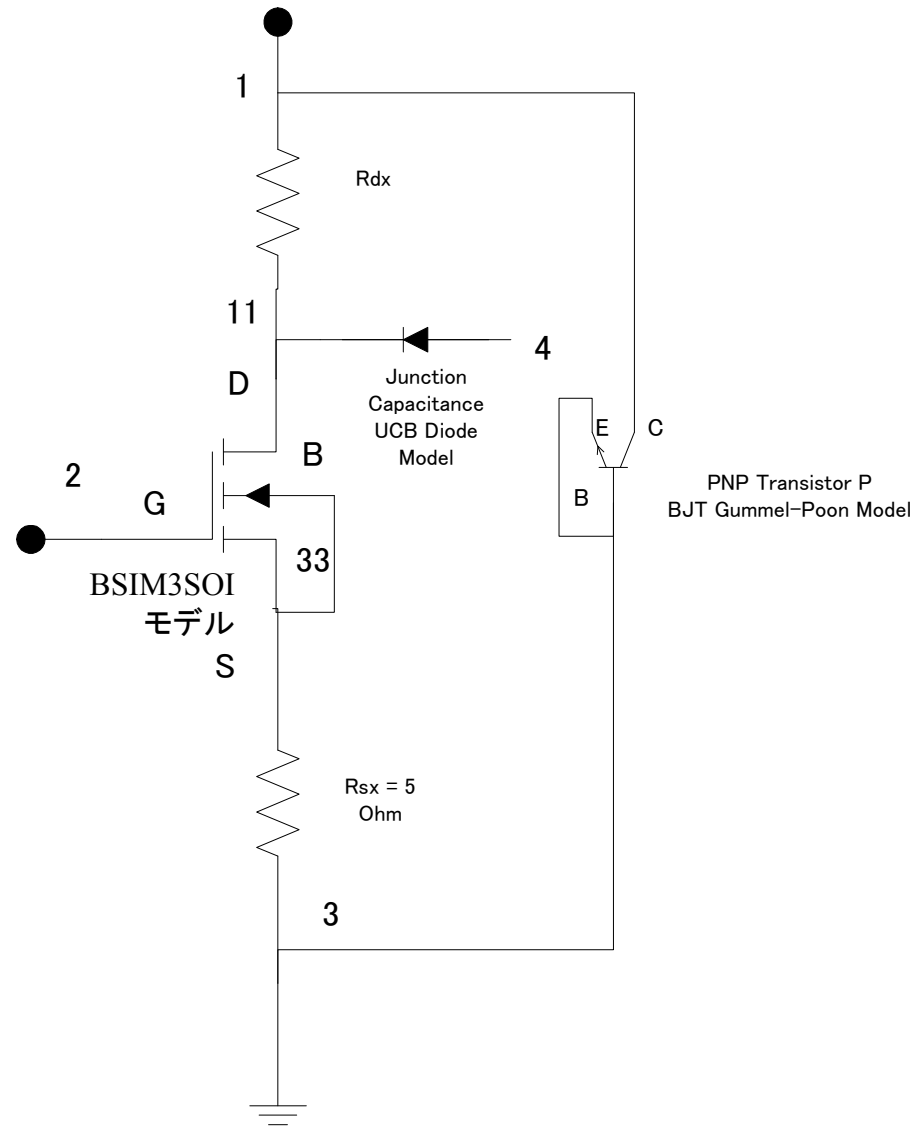
対象としたN-ch LDMOSの構造



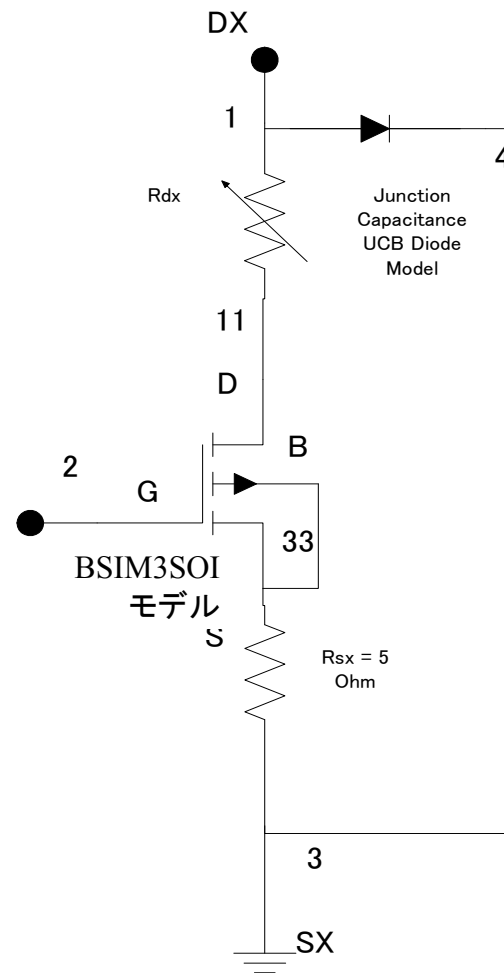
小信号 Nch DMOS



Aモデルの等価回路(Nチャンネル)

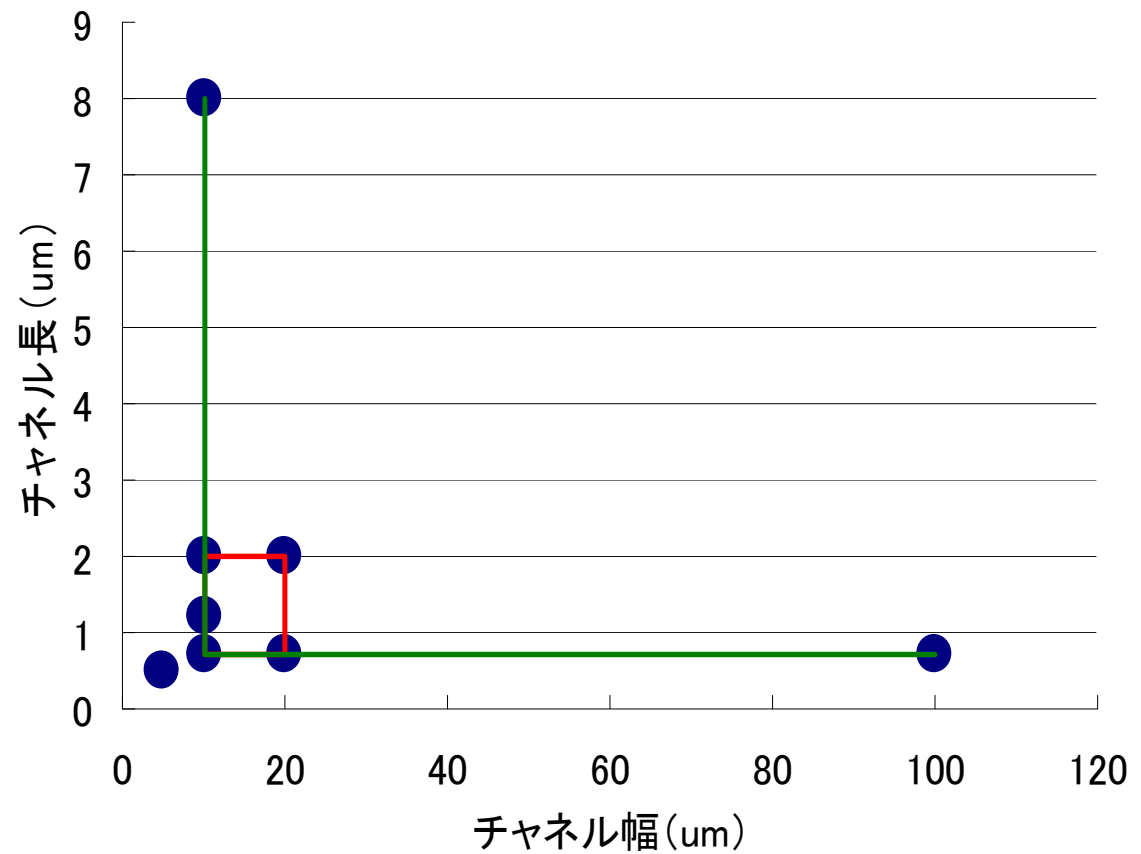


Aモデルの等価回路(Pチャンネル)



TEGのサイズについて

チャンネル長(μm)	チャンネル幅(μm)
0.5	5
0.7	10
0.7	20
0.7	100
1.2	10
2	10
2	20
8	10



N-LDMOSの特性(単体)

- V_{th} の基板効果がほとんどない
- バルクMOSFETの構造と大きく違うため、抽出したモデルパラメータに物理的な意味がない
- ソース・ドレイン間の寄生ダイオードに、高注入領域でのキンクが現れているー>バイポーラ・トランジスタと同様
- ソース・ドレイン間の接合面積を特定するのが非常に困難
- 基板・ドレイン間の接合面積も特定困難
- 自己発熱特性

N-LDMOSの特性(サイズ依存)

- V_{th} のL, W依存がほとんどない
- ドレイン抵抗のチャネル長依存がない(ドレイン抵抗のチャネル幅依存のみある)
- 基板・ドレイン間の接合エネルギー傾斜がデバイスサイズによって変化している——>ドーピング濃度の変化?
- ピンチオフ点での電界が大きく変化するため、 V_{sat} のL, W依存が必要
- オン抵抗のサイズ依存

P-LDMOSの特性(単体)

- V_{th} の基板効果がほとんどない
- バルクMOSFETの構造と大きく違うため、抽出したモデルパラメータに物理的な意味がない
- 弱反転領域の特性がなだらか
- ソース・ドレイン間の接合面積を特定するのが非常に困難
- 基板・ドレイン間の接合面積も特定困難

P-LDMOSの特性(サイズ依存)

- V_{th} のL, W依存がほとんどない
- ドレイン抵抗のチャネル長依存がない
(ドレイン抵抗のチャネル幅依存のみある)
- ピンチオフ点での電界が大きく変化する
ため、 V_{sat} のL, W依存が必要
- オン抵抗のサイズ依存

BSIM3のBINNINGモデル

BINNINGパラメータ

$$P = P_0 + \frac{P_L}{L_{eff}} + \frac{P_W}{W_{eff}} + \frac{P_P}{L_{eff} \times W_{eff}}$$

N-ダイオードの接合面積計算とRDX算出

$$RDX = RDL / M1.W \rightarrow$$



$$RDL = RDX * M1.W$$

(1サイズのデバイスから抽出)

Param Name	Value
M1.L	700.0n
M1.W	100.0u
M1.PD	0.000
M1.PS	0.000
M1.AD	0.000
M1.AS	0.000
M1.NQSMOD	0.000
RDX	RDL/M1.W
RSH	5.000
D1.AREA	1e12*(6e-9*M1.W+5e-13)
Q1.AREA	1.3e13*(0.0016*M1.L*M1.W+2e-14)
N.IS	PIS
N.BF	PBF
N.NF	PNF
N.VAF	PVAF
N.IKF	PIKF
N.ISE	PISE
N.NE	PNE
N.RB	PRB
N.RE	PRE
N.RC	PRC
N.CJC	PCJC
N.VJC	PVJC
N.MJC	PMJC
N.FC	PFC
BD.CJO	BDCJO
BD.VJ	BDVJ/D1.AREA
BD.M	BDM

NPNとダイオードのパラメータは
すべてのサイズで共通

P-ダイオードの接合面積計算とRDX算出

$$RDX = RDL / M1.W \rightarrow$$



$$RDL = RDX * M1.W$$

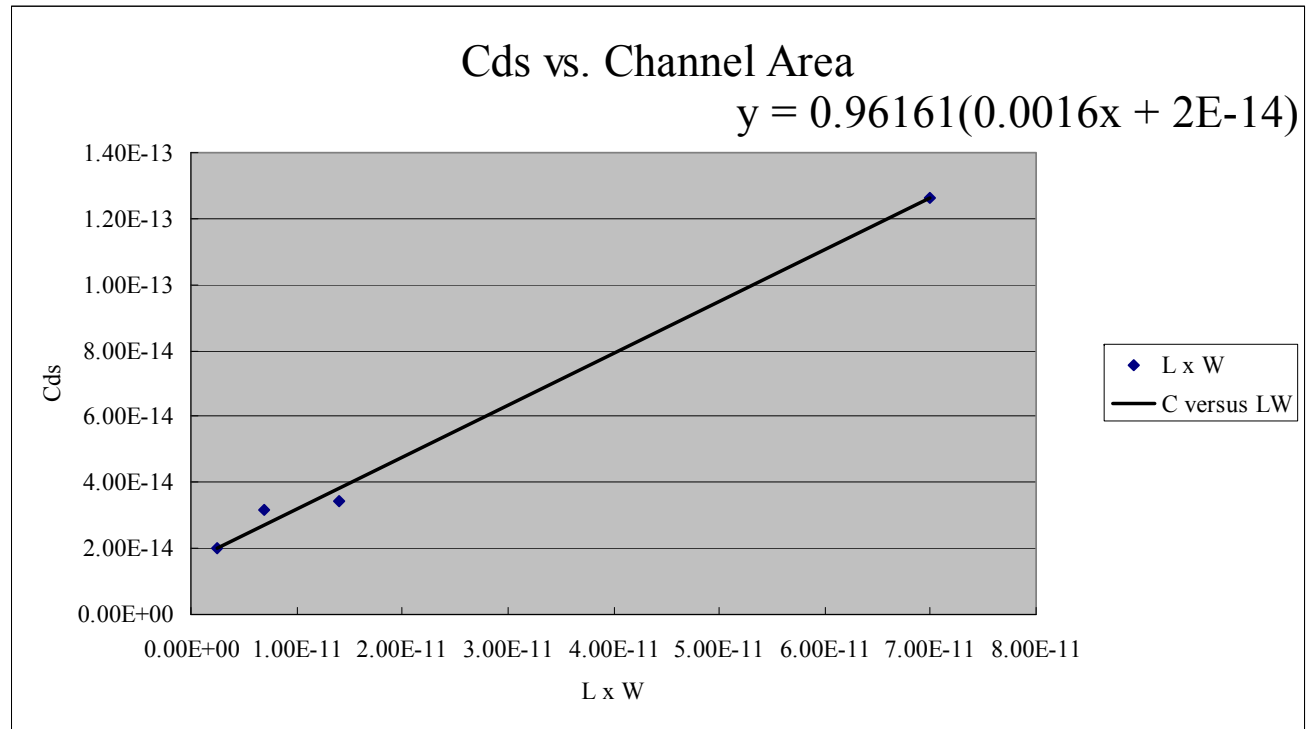
(1サイズのデバイスから抽出)

Param Name	Value
M1.L	700.0n
M1.W	100.0u
M1.PD	0.000
M1.PS	0.000
M1.AD	0.000
M1.AS	0.000
M1.NQSMOD	0.000
RDX	RDL//M1.W
RSX	5.000
D1.AREA	1.3e13*(0.0016*M1.L*M1.W+2e-14)
SD.IS	PIS
SD.N	PN
SD.BV	1.000K
SD.IBV	1.000m
SD.RS	PRS
SD.CJO	PCJO
SD.VJ	PVJ
SD.M	PM
SD.FC	500.0m
SD.TT	0.000
SD.EG	1.110
SD.XTI	3.000

ダイオードのパラメータは
すべてのサイズで共通

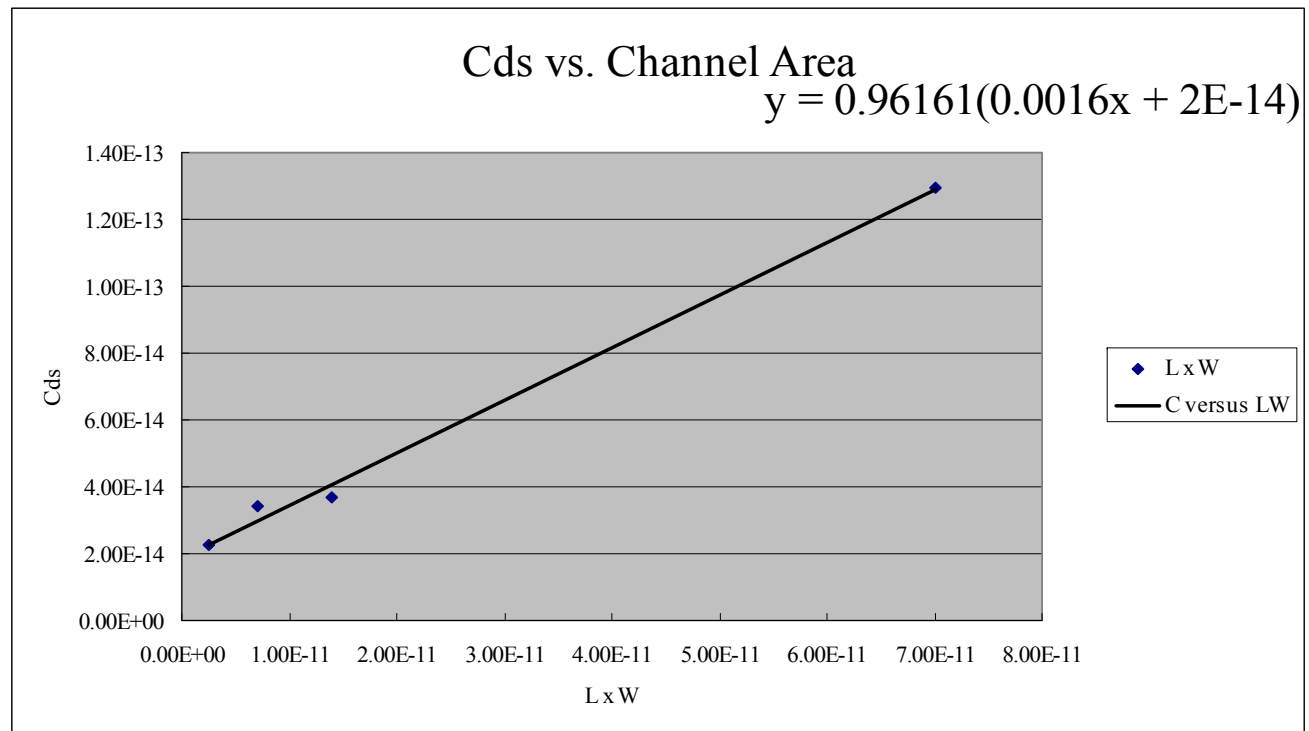
N-Cdsのチャネル面積依存モデル

Length	Width	Capacitan	L x W
5.00E-07	5.00E-06	1.99E-14	2.50E-12
7.00E-07	1.00E-05	3.15E-14	7.00E-12
7.00E-07	2.00E-05	3.41E-14	1.40E-11
7.00E-07	1.00E-04	1.27E-13	7.00E-11
2.00E-06	2.00E-05	1.37E-13	4.00E-11



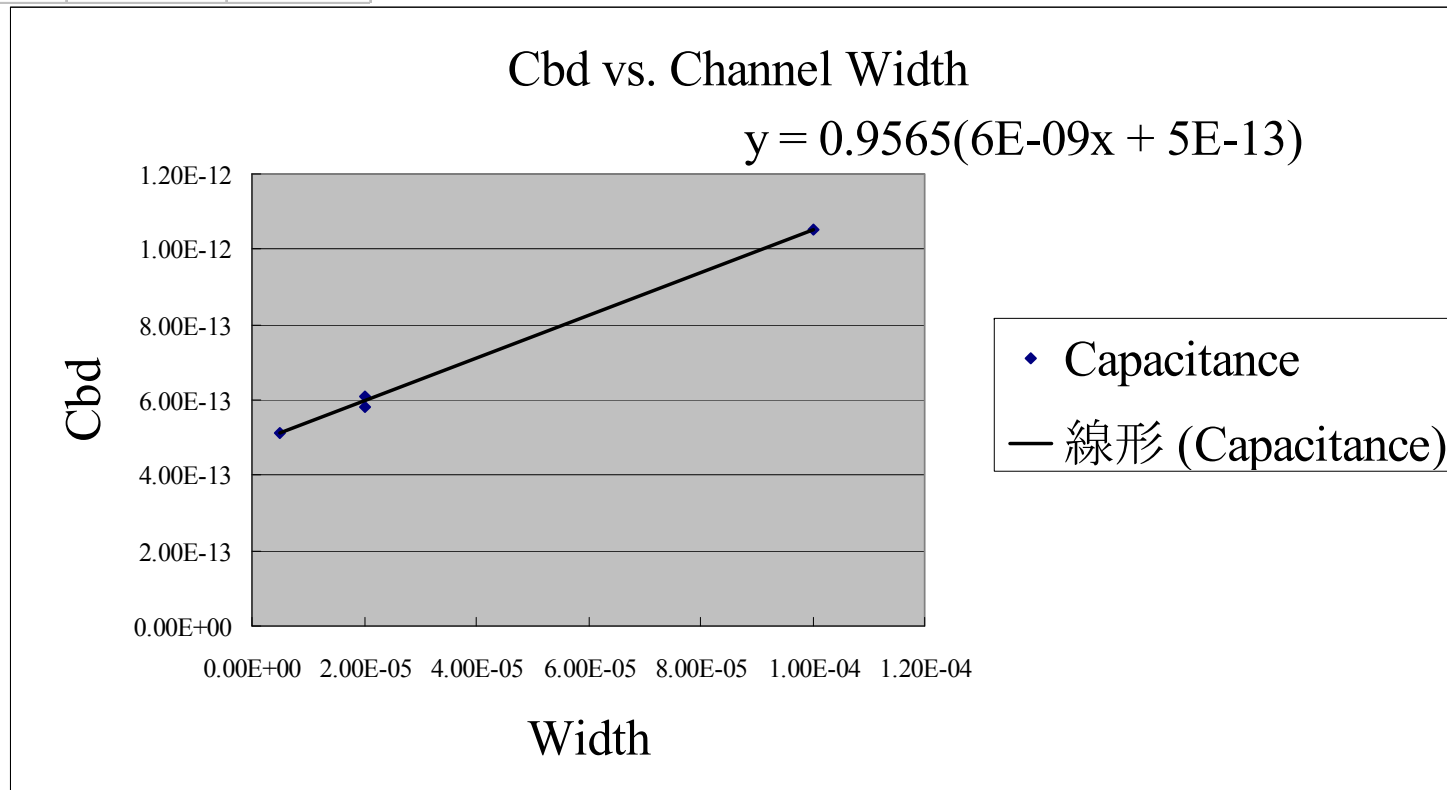
P-Cdsのチャネル面積依存モデル

Length	Width	Capacitanc	L x W
5.00E-07	5.00E-06	2.24E-14	2.50E-12
7.00E-07	1.00E-05	3.42E-14	7.00E-12
7.00E-07	2.00E-05	3.67E-14	1.40E-11
7.00E-07	1.00E-04	1.30E-13	7.00E-11
2.00E-06	2.00E-05	1.40E-13	4.00E-11



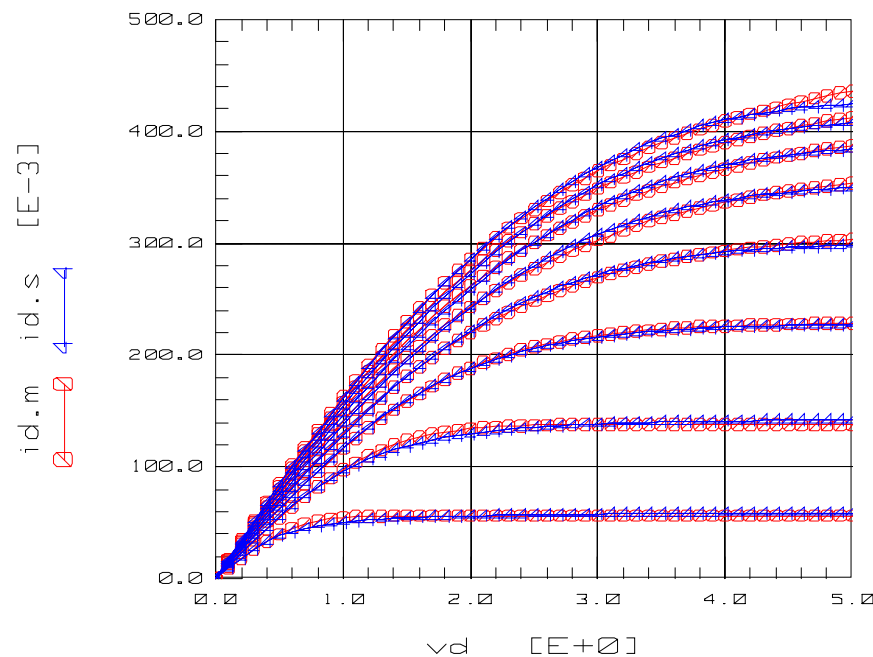
N-Cbdのチャネル幅依存モデル

Length	Width	Capacitan	L x W
5.00E-07	5.00E-06	5.14E-13	2.5E-12
7.00E-07	2.00E-05	5.81E-13	1.4E-11
7.00E-07	1.00E-04	1.05E-12	7E-11
2.00E-06	2.00E-05	6.07E-13	4E-11



LDMOS高精度パラメータ抽出例(1)

20セル抽出結果(idvd特性)

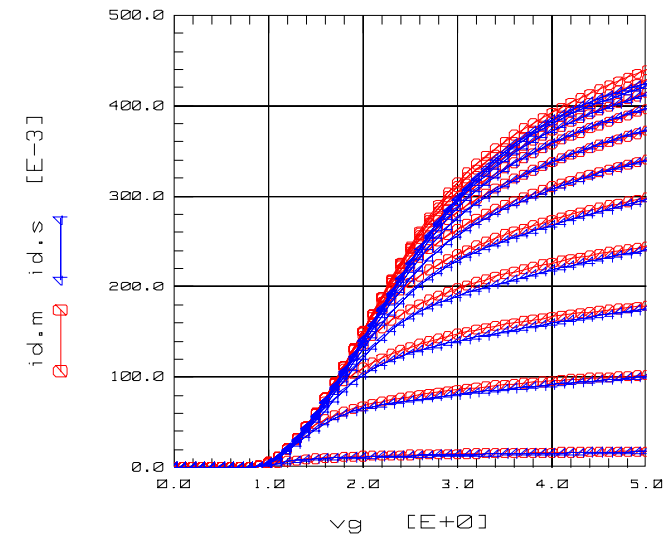
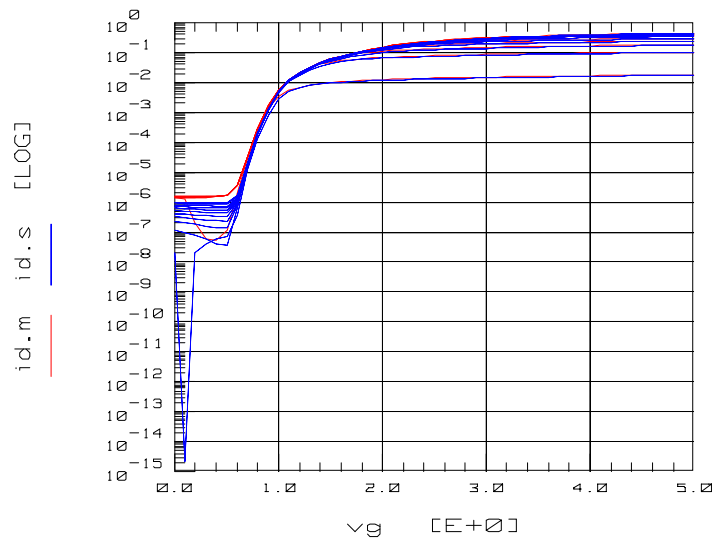


Measured
Simulated

RMS ERROR=1.15%

LDMOS高精度パラメータ抽出例(2)

20セル抽出結果(idvg - vd特性)



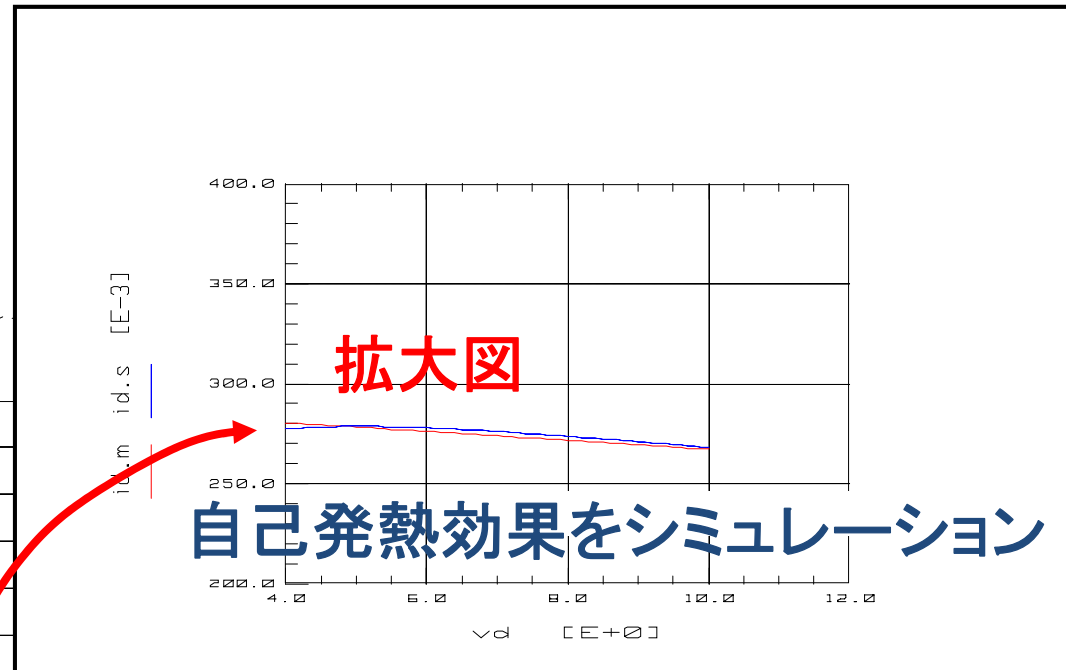
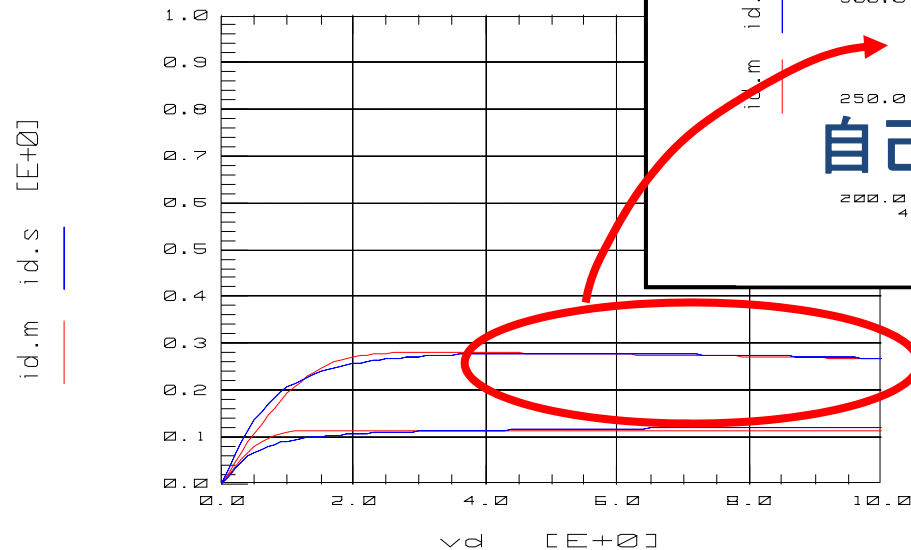
Measured

Simulated

RMS ERROR=3.24%

LDMOS高精度パラメータ抽出例(3)

40セル
自己発熱抽出結果

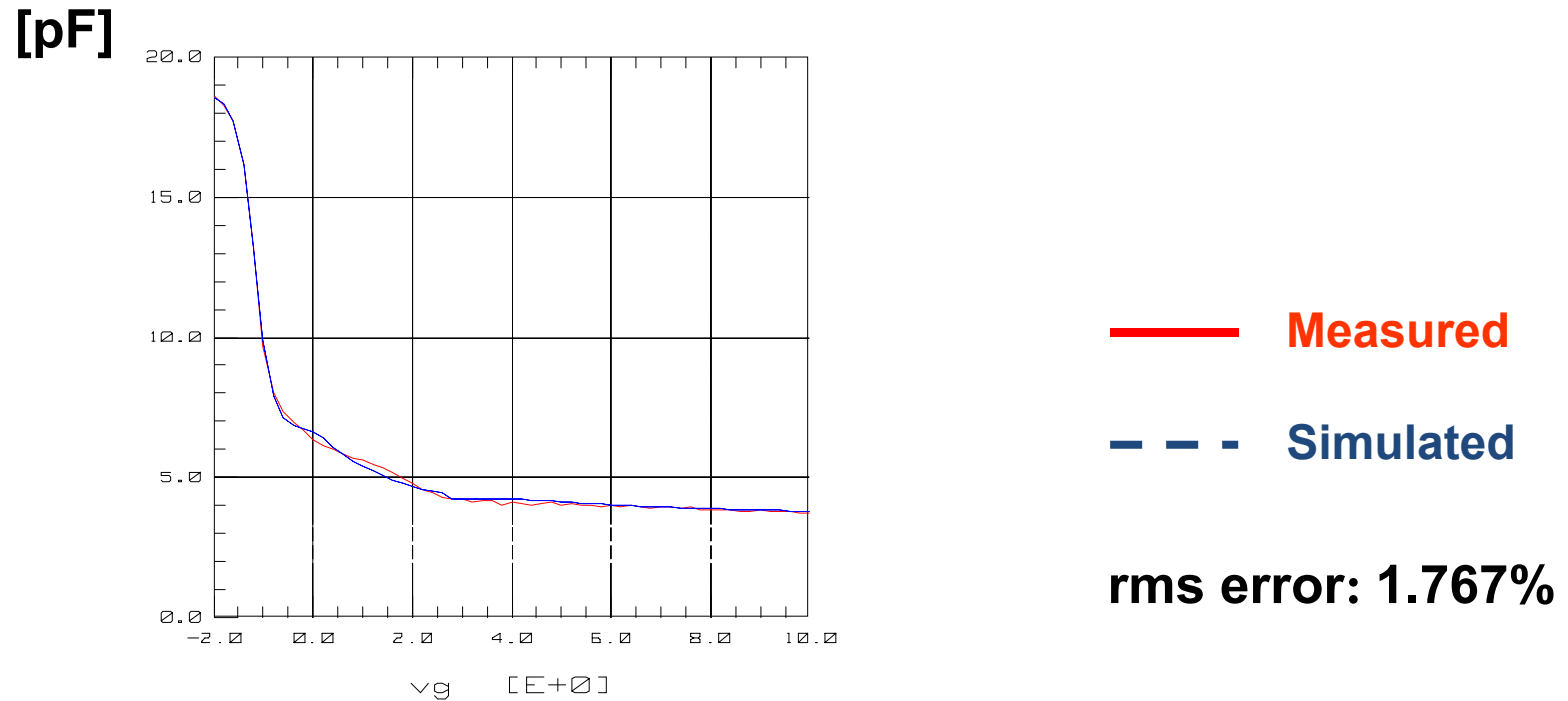


— Measured
— Simulated

RMS ERROR=4.18%

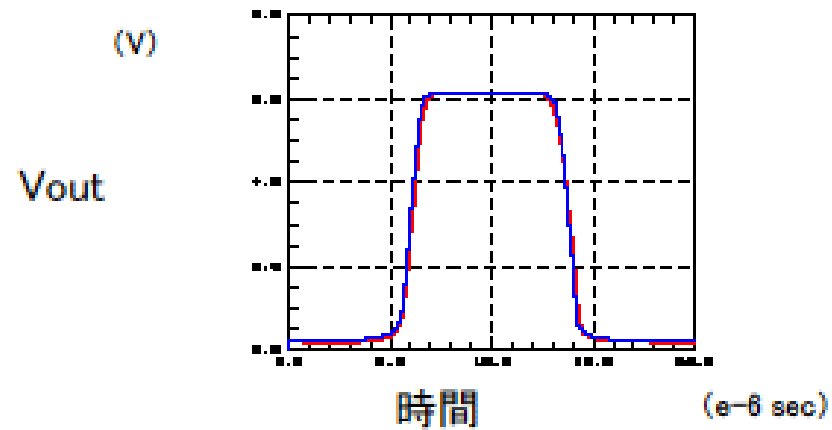
LDMOS高精度パラメータ抽出例(4)

オーバーラップ容量抽出結果

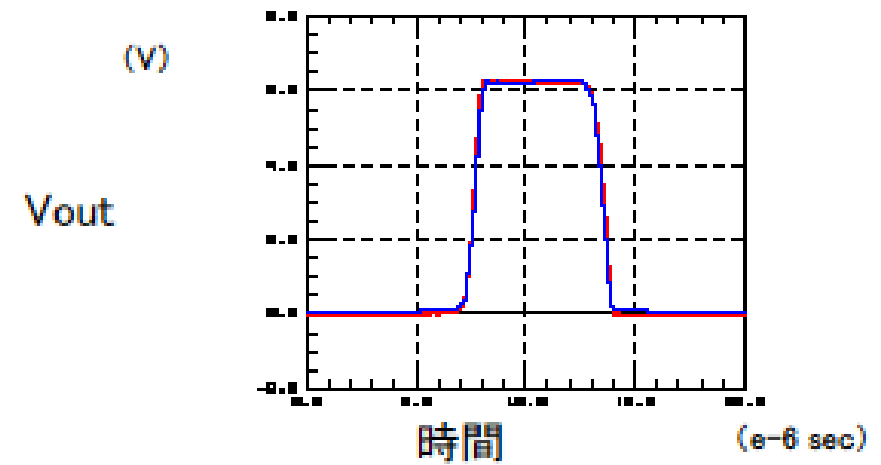


LDMOS過渡応答検証例

20セル過渡特性(0~20 μ s)



40セル過渡特性(0~20 μ s)

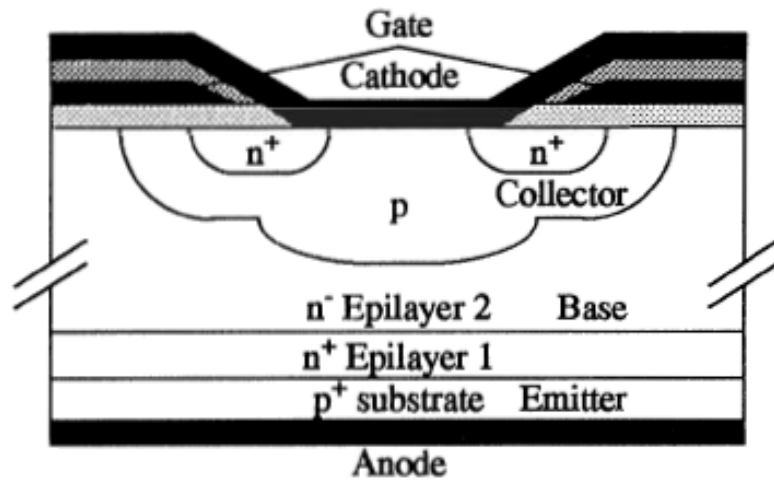


IGBTモデリング

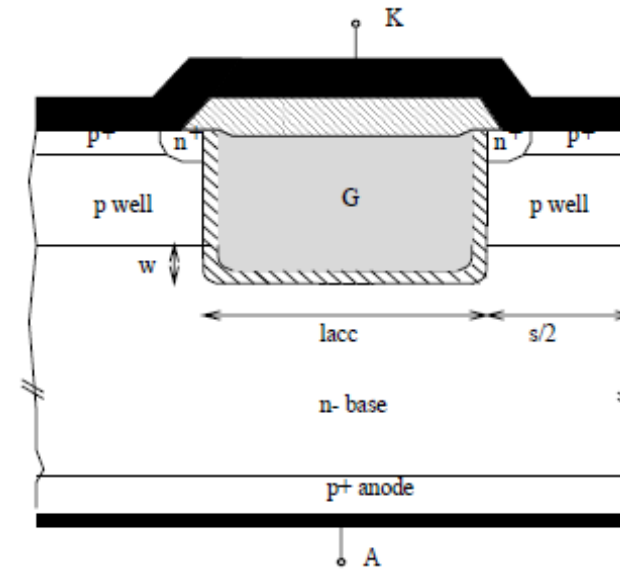
IGBTモデリング概要

- デバイス構造概要
- 3つのモデリング・アプローチ
- IGBTマクロモデル(A-IGBT)
- 出力電流特性結果
- スイッチング特性
- Electro-thermal SPICE Modeling

IGBTデバイス構造比較

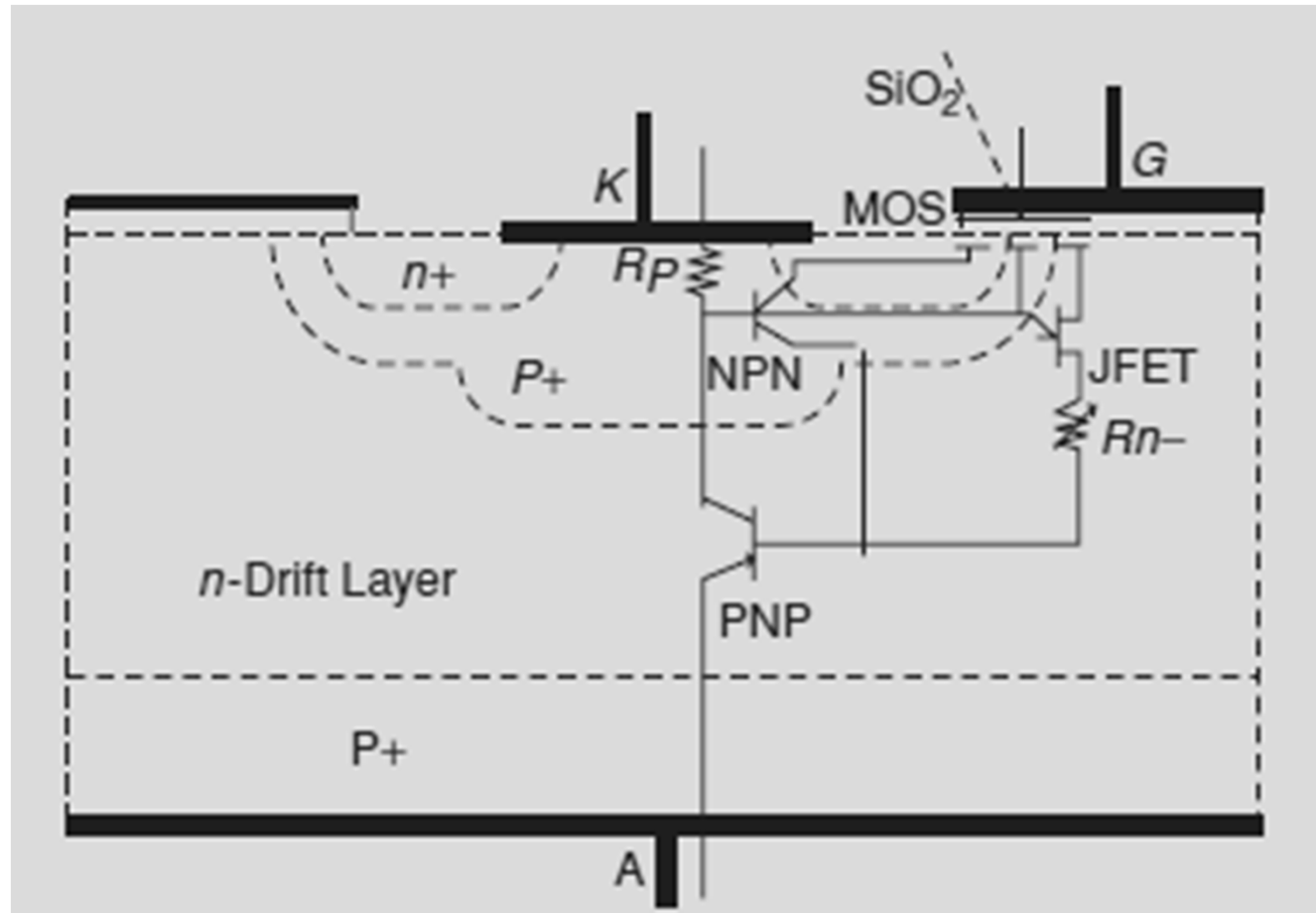


V-DMOS IGBT cross section



Trench IGBT cross section

デバイス構造と基本等価回路

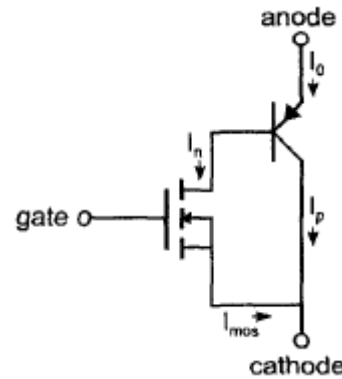


IGBTモデリングアプローチ

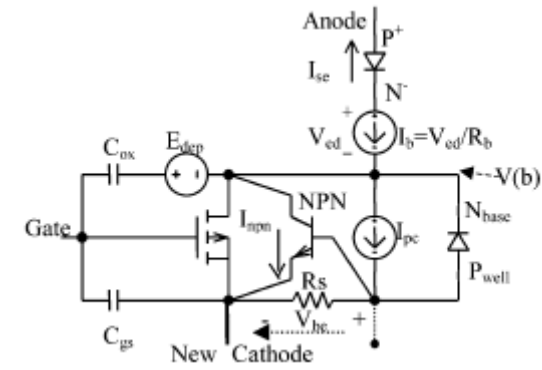
Function Model

	$E_0 = b_0 V_D V_{th} - a_0 b_0 V_s V_{th} - \frac{1}{2} a_0 b_0 (V_s - V_D)^2$ $E_1 = a_0 b_0 V_s - b_0 V_D + b_1 V_D V_{th} - (a_1 b_0 + a_0 b_1) V_s V_{th} - \frac{1}{2} (a_1 b_0 + a_0 b_1) (V_s - V_D)^2$ $E_2 = (a_1 b_0 + a_0 b_1) V_s - b_1 V_D + b_2 V_D V_{th} - (a_2 b_0 + a_0 b_2 + a_1 b_1) V_s V_{th} - \frac{1}{2} (a_2 b_0 + a_0 b_2 + a_1 b_1) (V_s - V_D)^2$
E_i	$E_3 = (a_2 b_0 + a_0 b_2 + a_1 b_1) V_s - b_2 V_D - (a_2 b_1 + a_1 b_2) V_s V_{th} - \frac{1}{2} (a_2 b_1 + a_1 b_2) (V_s - V_D)^2$ $E_4 = (a_2 b_1 + a_1 b_2) V_s - a_2 b_2 V_s V_{th} - \frac{1}{2} a_2 b_2 (V_s - V_D)^2$ $E_5 = a_2 b_2 V_s$
R_i	$R_0 = E_0 + E_1 v_{ge} + E_2 v_{ge}^2 + E_3 v_{ge}^3 + E_4 v_{ge}^4 + E_5 v_{ge}^5$ $R_1 = E_1 + 2E_2 v_{ge} + 3E_3 v_{ge}^2 + 4E_4 v_{ge}^3 + 5E_5 v_{ge}^4$ $R_2 = 2E_2 + 6E_3 v_{ge} + 12E_4 v_{ge}^2 + 20E_5 v_{ge}^3$ $R_3 = 6E_3 + 24E_4 v_{ge} + 60E_5 v_{ge}^2$ $R_4 = 24E_4 + 120E_5 v_{ge}$ $R_5 = 120E_5$
P_i^*	$P_0 = E_0 t_2 + \frac{1}{2s} E_1 (v_{ge1}^2 - v_{ge2}^2) + \frac{1}{3s} E_2 (v_{ge1}^3 - v_{ge2}^3) + \frac{1}{4s} E_3 (v_{ge1}^4 - v_{ge2}^4) + \frac{1}{5s} E_4 (v_{ge1}^5 - v_{ge2}^5) + \frac{1}{6s} E_5 (v_{ge1}^6 - v_{ge2}^6)$ $P_1 = sE_1 t_2 + E_2 (v_{ge1}^2 - v_{ge2}^2) + E_3 (v_{ge1}^3 - v_{ge2}^3) + E_4 (v_{ge1}^4 - v_{ge2}^4) + E_5 (v_{ge1}^5 - v_{ge2}^5)$ $P_2 = 2s^2 E_2 t_2 + 3sE_3 (v_{ge1}^2 - v_{ge2}^2) + 4sE_4 (v_{ge1}^3 - v_{ge2}^3) + 5sE_5 (v_{ge1}^4 - v_{ge2}^4)$ $P_3 = 6s^3 E_3 t_2 + 12s^2 E_4 (v_{ge1}^2 - v_{ge2}^2) + 20s^2 E_5 (v_{ge1}^3 - v_{ge2}^3)$ $P_4 = 24s^4 E_4 t_2 + 60s^3 E_5 (v_{ge1}^2 - v_{ge2}^2)$ $P_5 = 120s^5 E_5 t_2$
N_i	$N_1 = \frac{1}{2} k (b_0 + b_1 V_0 + b_2 V_0^2) (V_0 - V_{th})^2 (V_s + V_f) t_1$ $N_2 = \left(V_f t_1 + \frac{V_s - V_f}{t_1} t_1^2 \right) \left(\frac{dV_{ce}}{dt} - \frac{V_s - V_f}{t_1} \right)$ $N_3 = V_f t_1 + V_f t_2 + \frac{1}{2} \frac{V_s - V_f}{t_1} (t_{12}^2 - t_{11}^2)$ $N_4 = -\frac{1}{2} V_f (t_{12}^2 - t_{11}^2) - \frac{1}{2} V_s (t_{22}^2 - t_{21}^2) - \frac{1}{3} \frac{V_s - V_f}{t_1} (t_{12}^3 - t_{11}^3)$

Macro Model



Compact Model



$$Q_{b0} = \frac{2Q_{bd} - \frac{\eta^2}{2\alpha^2 T_d}}{F_3 - \eta + \sqrt{F_3^2 - 2\eta F_3 + 3T_d I_{se} \frac{Q_{bd}}{[qA\eta L \tanh(\frac{W}{2L})]^2}}}$$

where

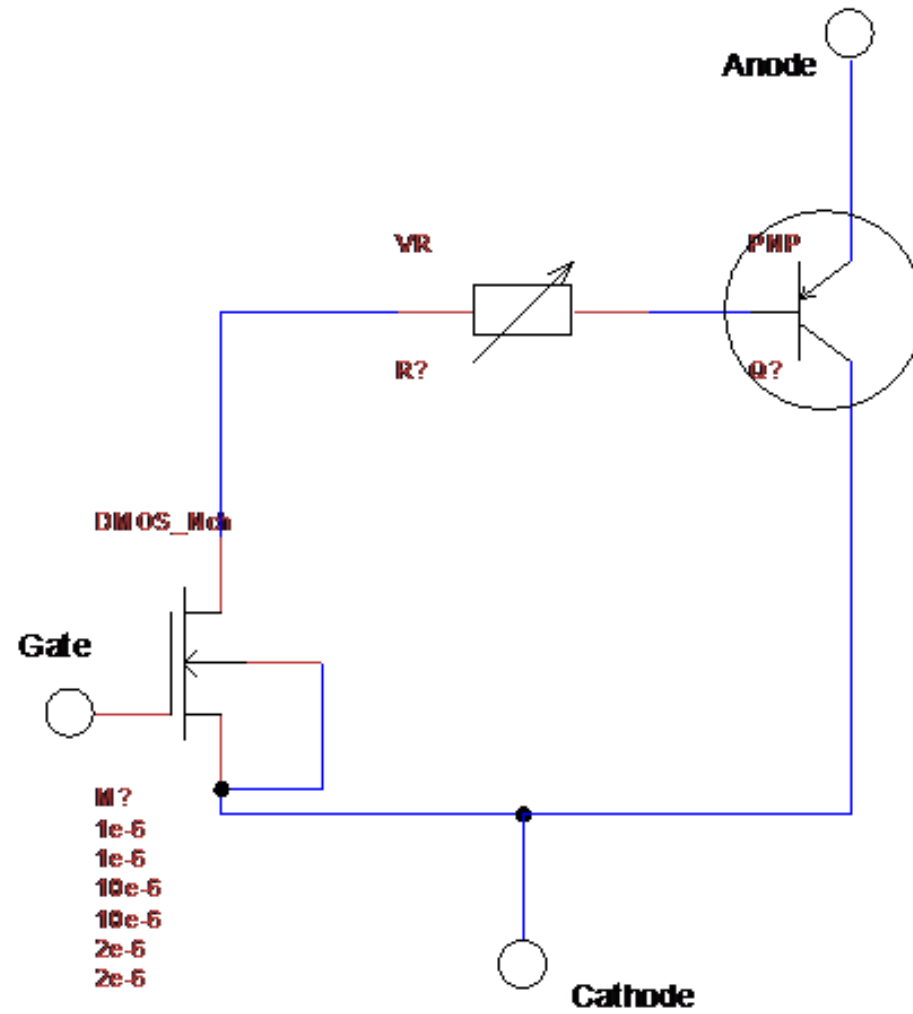
$$\eta = 2\alpha T_d \gamma \sqrt{I_{nc}}$$

$$\alpha^2 = \frac{I_{se}}{[qA\eta L \tanh(\frac{W}{2L})]^2}$$

$$F_3 = 1 + \frac{T_d}{\tau_b}$$

$$Q_{bd} = Q_b + T_d I_{nc}$$

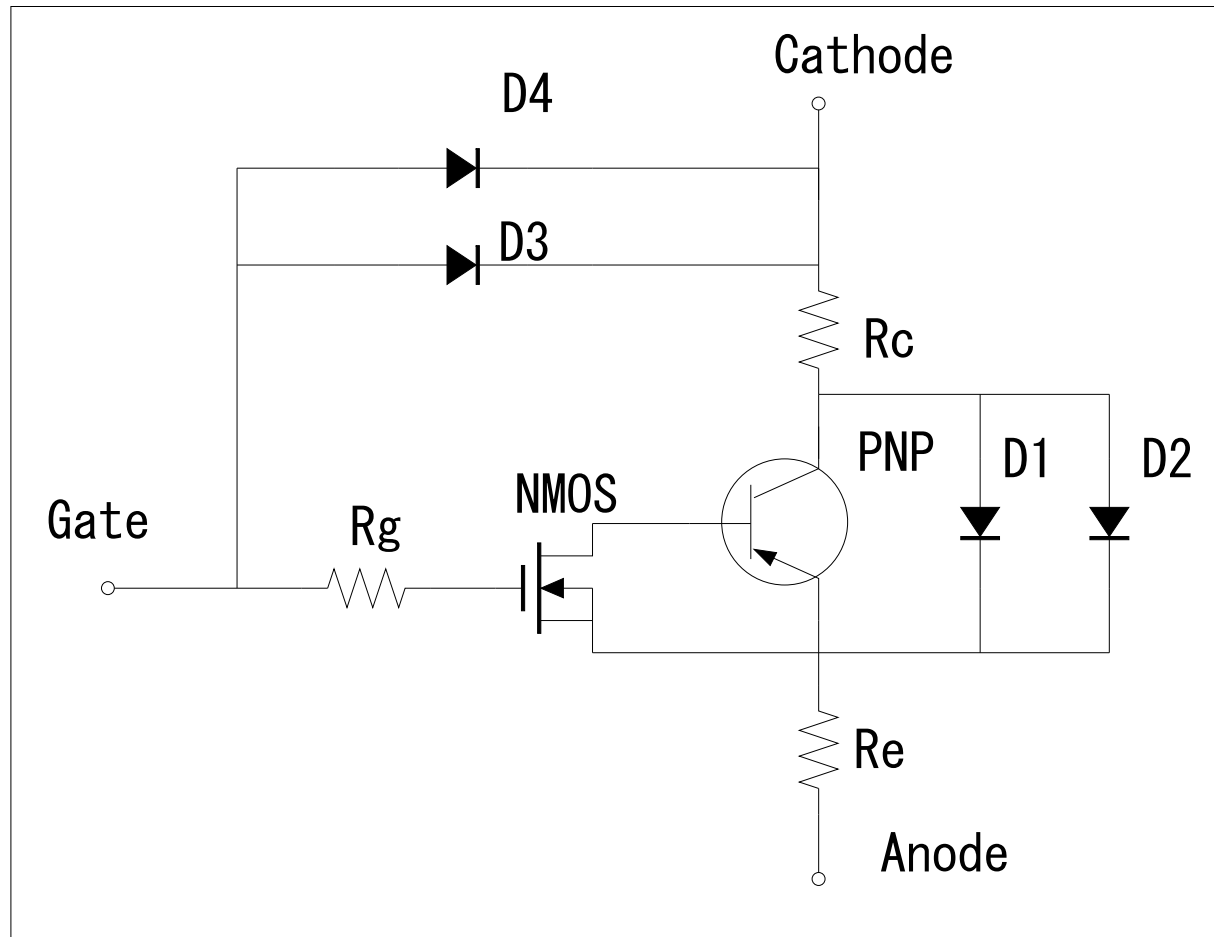
IGBT基本マクロモデル



高精度IGBTマクロモデルの特徴

- DC/CV/トランジェント/Sパラメータの
- シミュレーション精度は既存のコンパクトモデル (Kraus Model)と同等以上.
- 温度効果シミュレーションに限界有.
- シミュレーション速度が遅い
- 自己発熱効果シミュレーションに限界有.

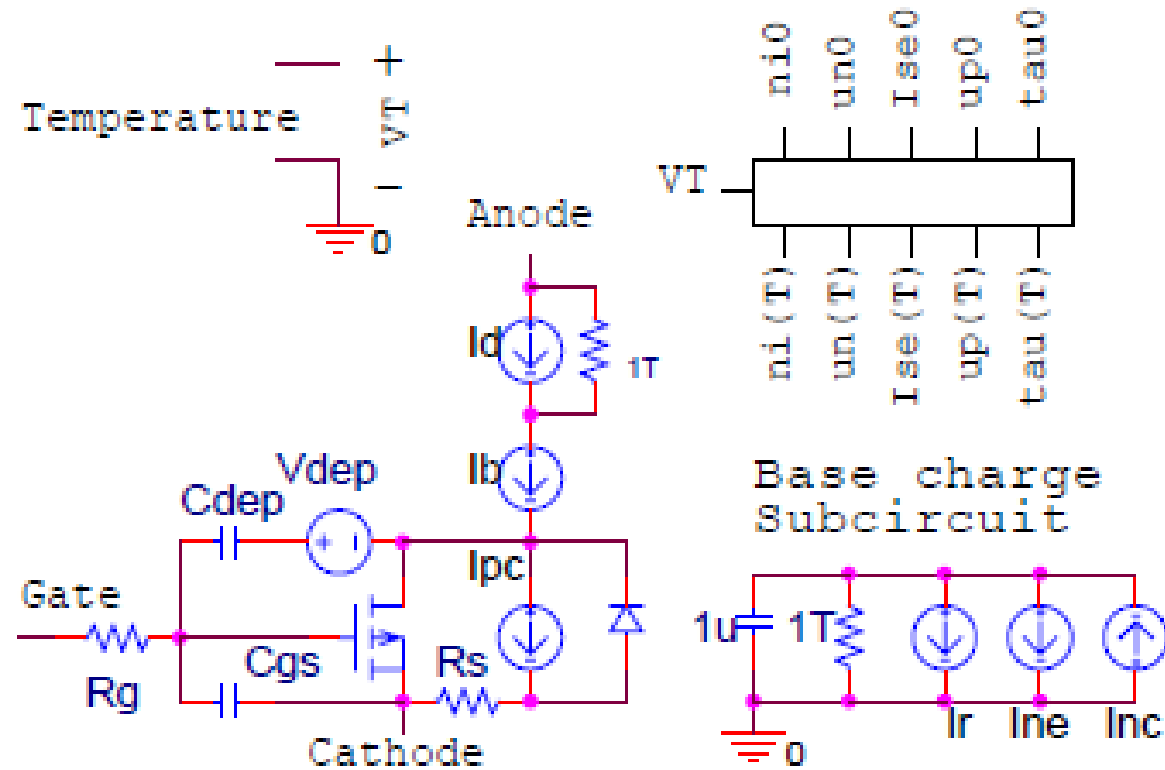
高精度IGBTマクロモデル (A-IGBT Model)



Electro-thermal SPICE Modeling

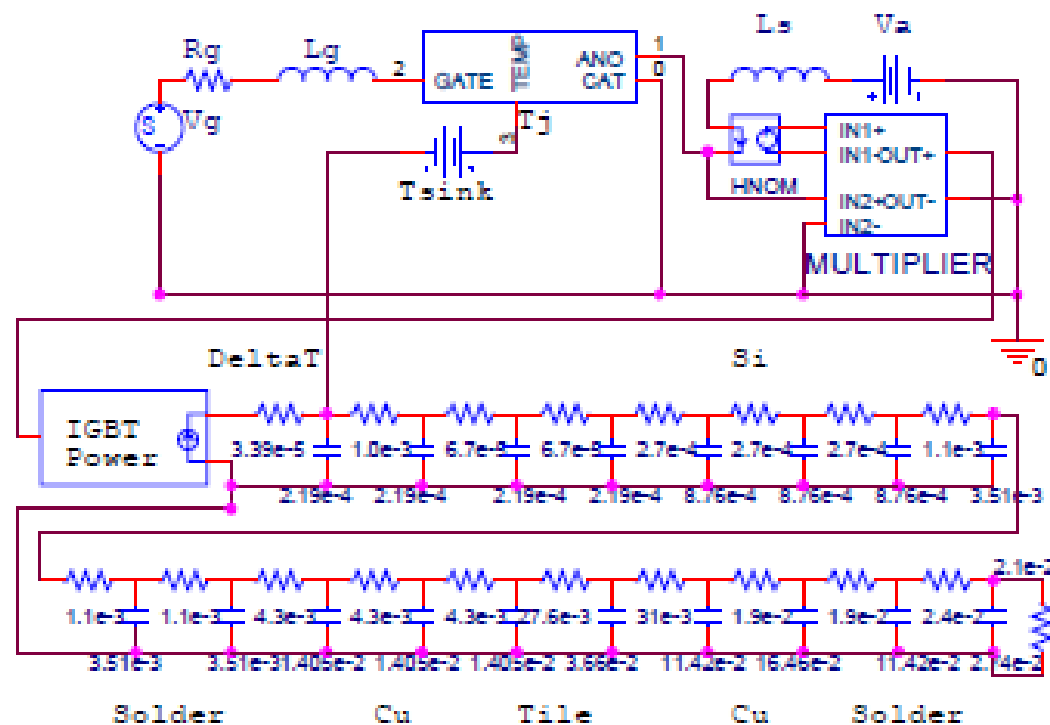
- 自己発熱, 隣接デバイスによる接合の温度上昇は無視できない
- SPICEベースのシミュレーションで温度上昇を表現するためには, 電気信号に置き換えて表現
- 特に自己発熱モデリングでは, モデルのソースコードを改造する以外には, サブサーキットにより表現するしかない

モデルパラメータの温度依存表現手法



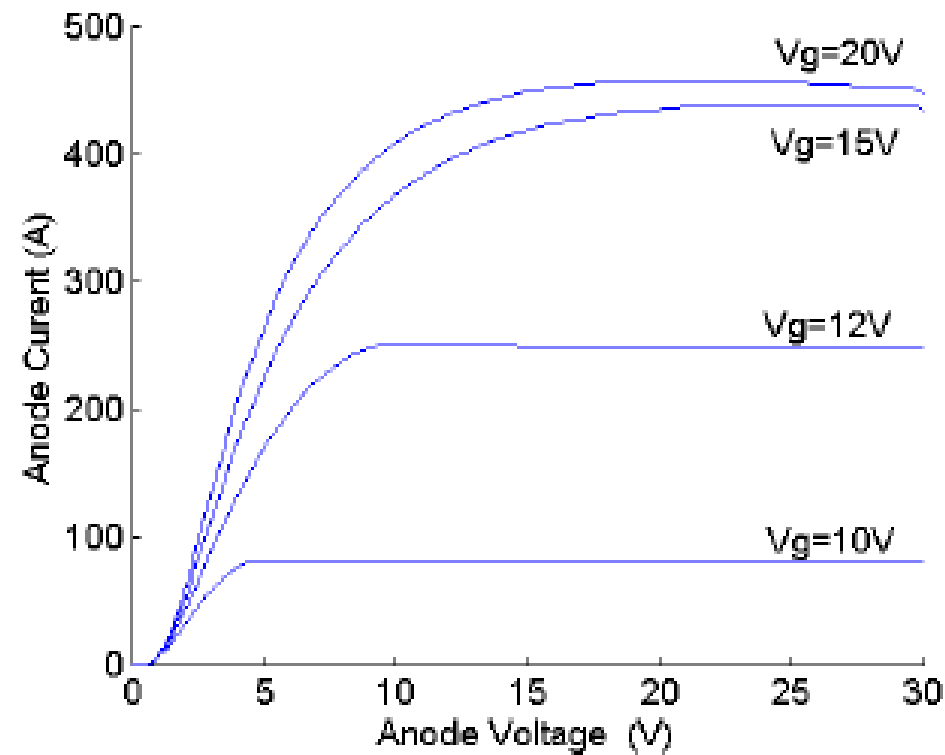
Novel self-heating IGBT model with added subcircuits
for dynamic variation of semiconductor parameters

自己発熱を表現するための サブサーキットモデリング



Dynamic temperature feedback circuit
for IGBT FBSOA/SCSOA assessment

サブサーキットモデルの シミュレーション例

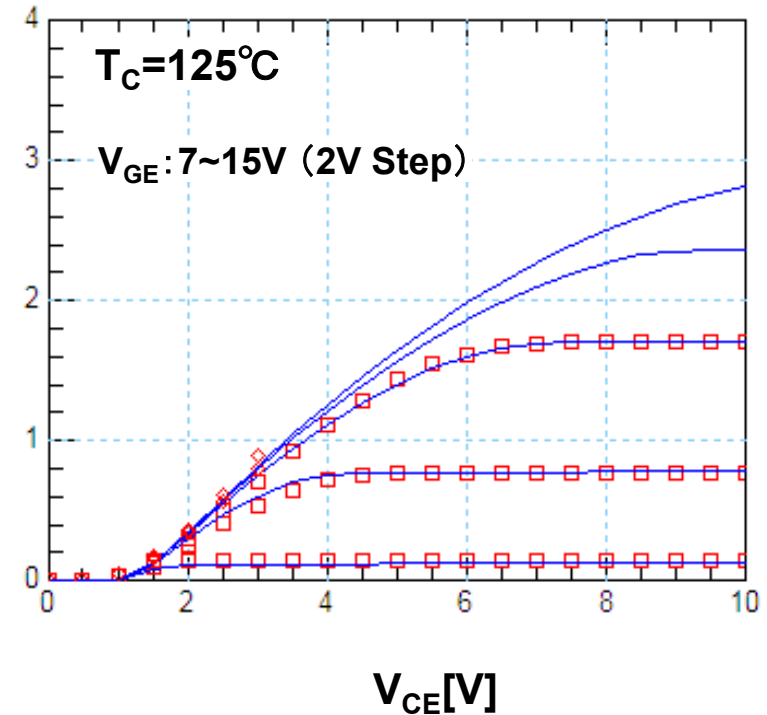
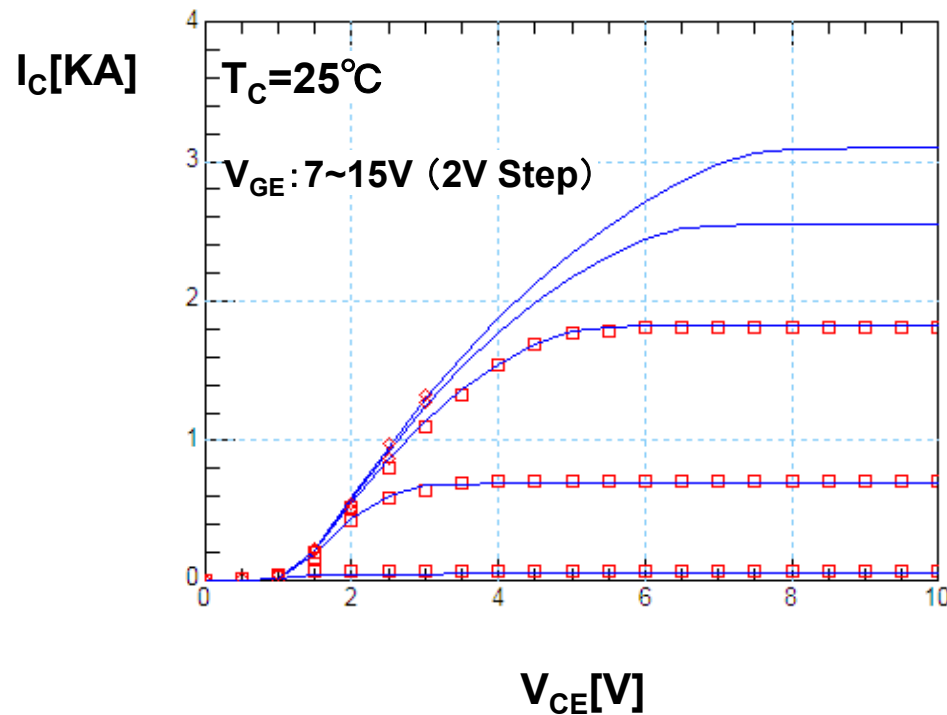


Coupled electro-thermal model

IGBTモデリング例

～日立製MBN1200E33E～

I_{CE} vs V_{CE} 特性モデリング結果

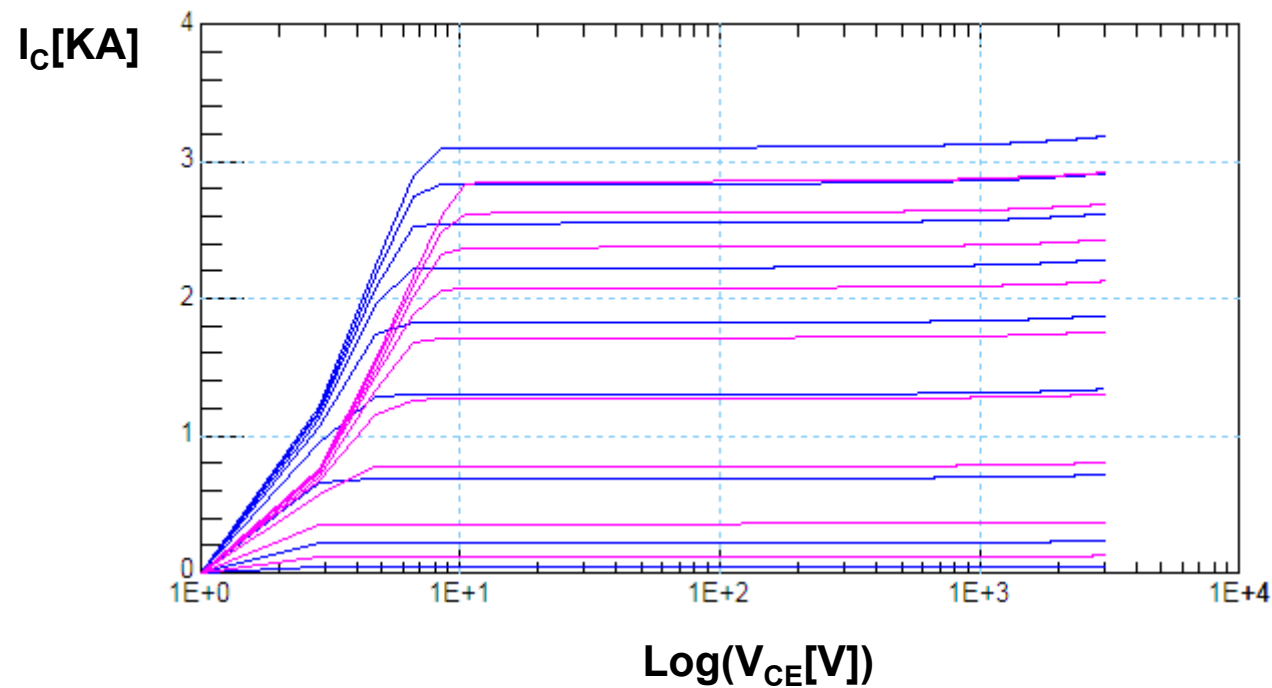


□ Measured (データシートより数値化)

— A-IGBT Model

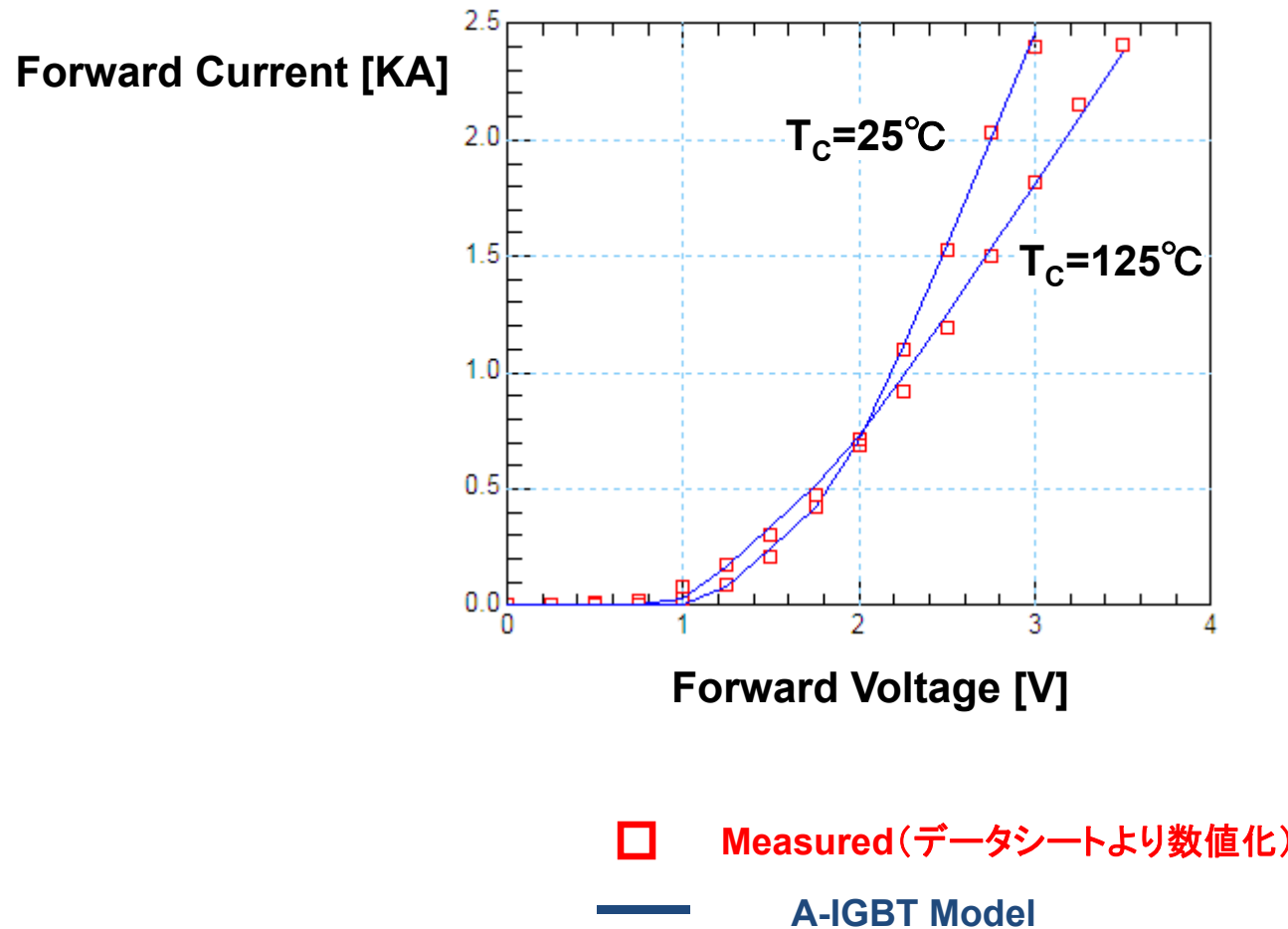
I_{CE} vs V_{CE} 広範囲バイアスSim検証結果

V_{GE} : 7~15V (1V Step)
 V_{CE} : 1~3001V (2V Step)

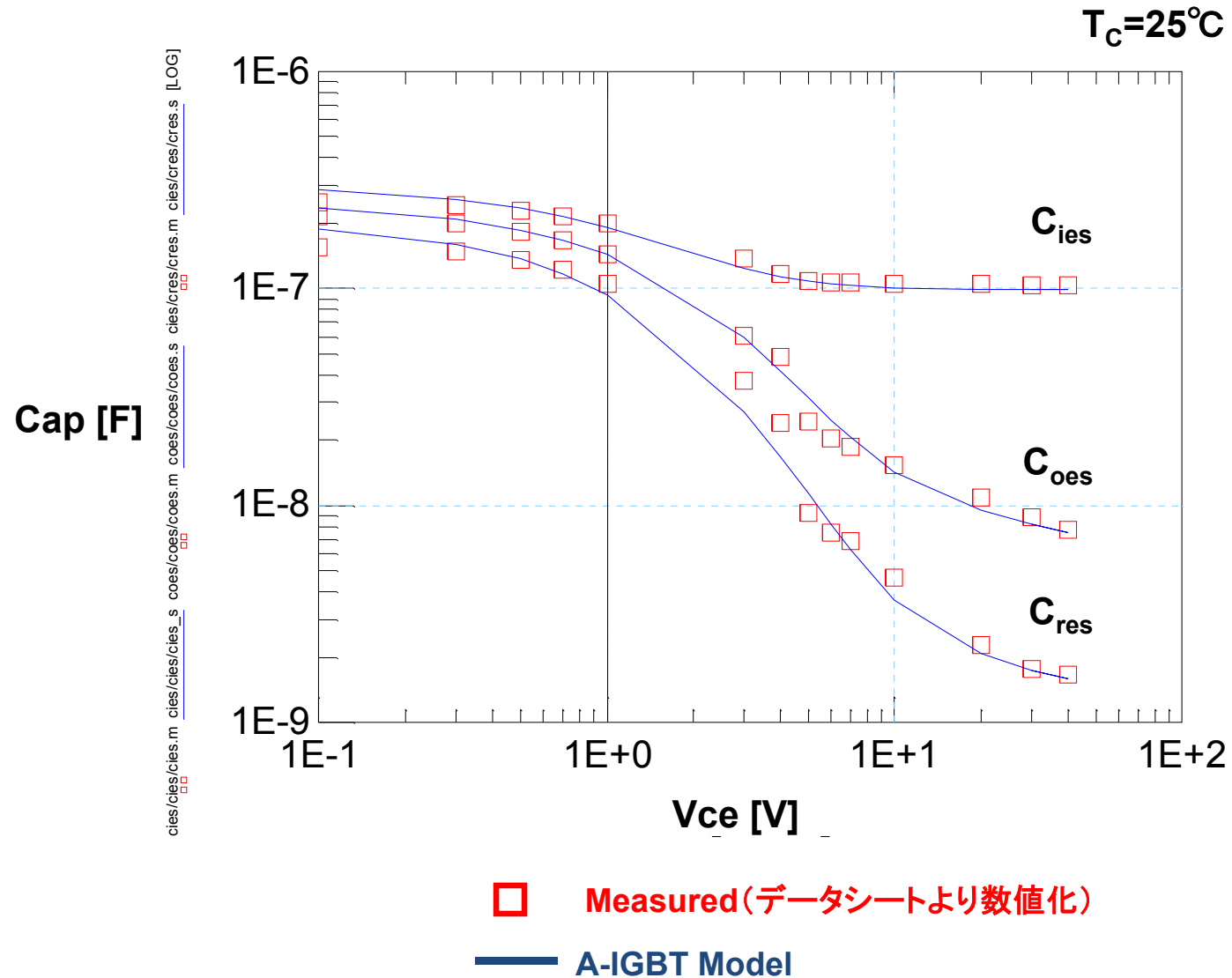


— A-IGBT Model@ $T_c=25^\circ\text{C}$
— A-IGBT Model@ $T_c=125^\circ\text{C}$

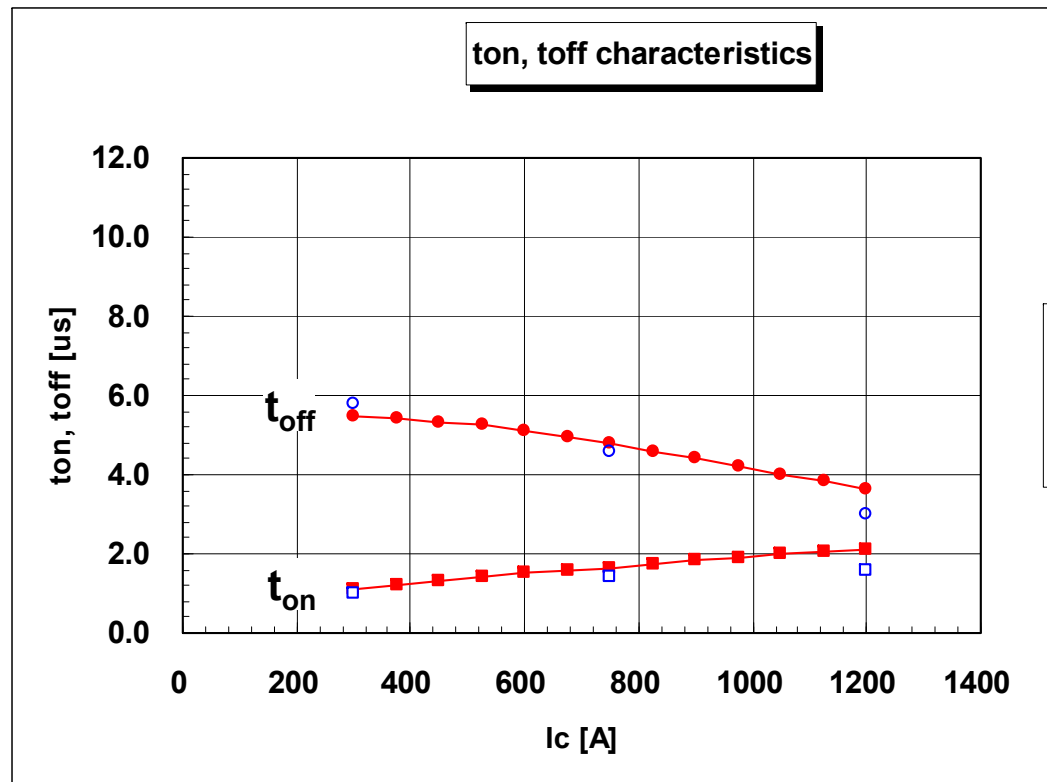
ダイオード順方向電流特性 モデリング結果



容量特性モデリング結果



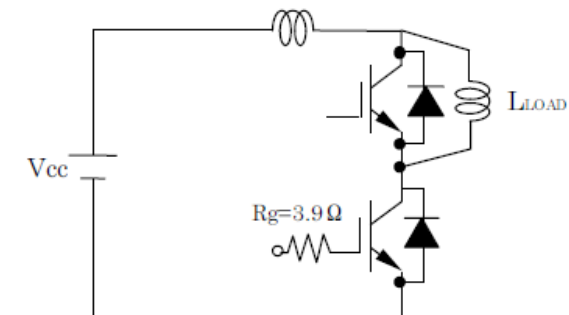
ターンオン, ターンオフタイム検証結果



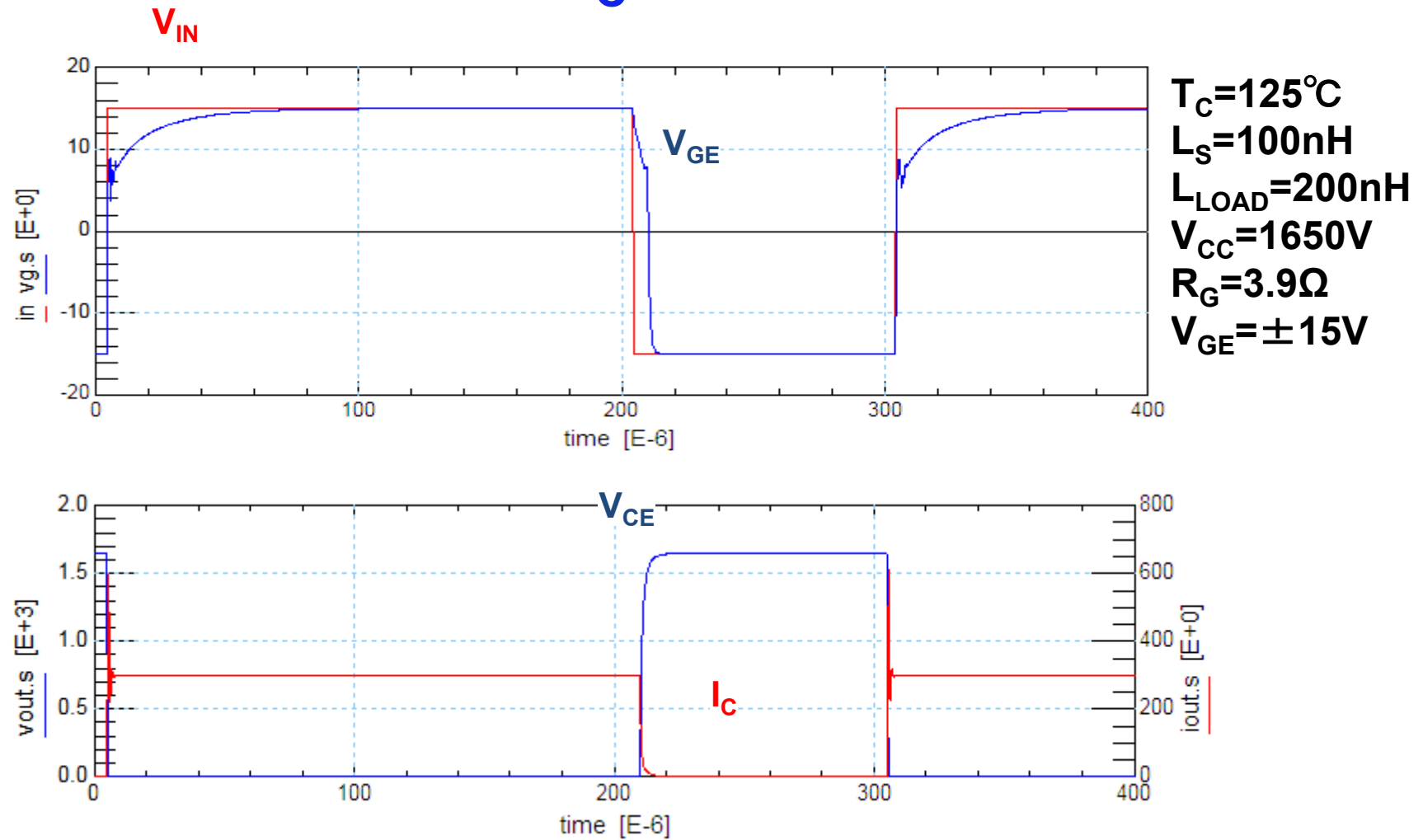
$T_C=125^{\circ}\text{C}$
 $L_S=100\text{nH}$
 $L_{\text{LOAD}}=200\text{nH}$
 $V_{CC}=1650\text{V}$
 $R_G=3.9\Omega$
 $V_{GE}=\pm 15\text{V}$

スイッチングテスト回路

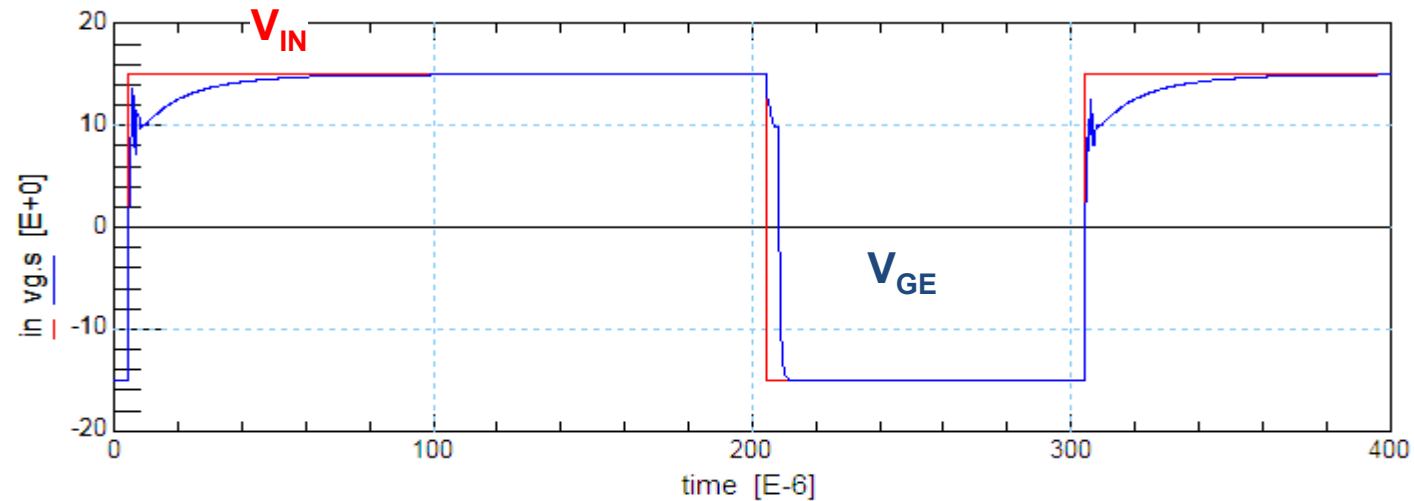
$L=100\text{nH}$



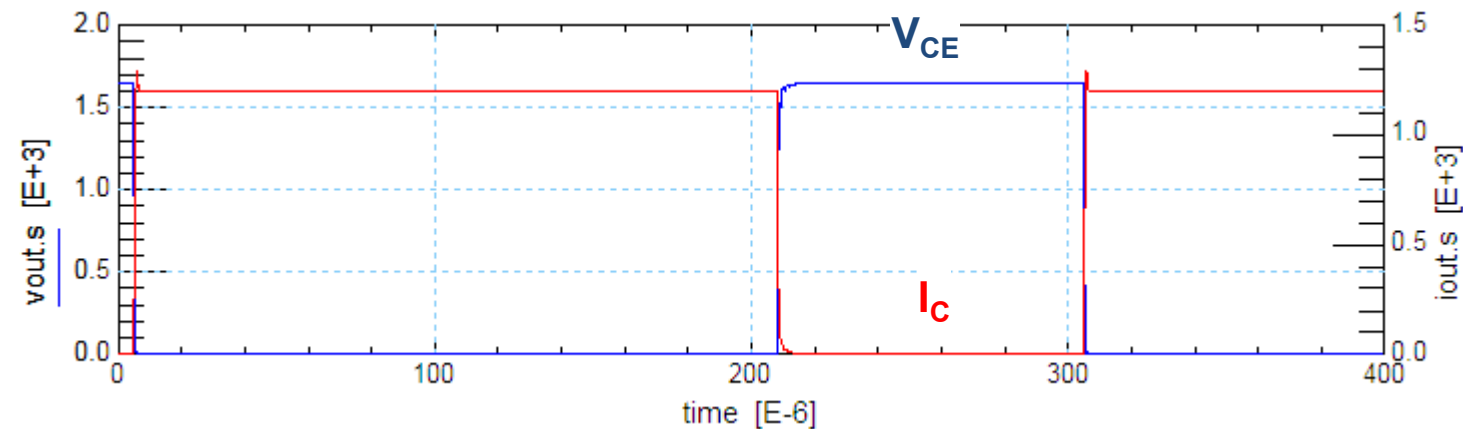
C_{res} チューニング後のスイッチング波形Sim 検証結果 ($I_C=300A$)



C_{res} チューニング後のスイッチング波形Sim 検証結果 ($I_C=1200A$)



$T_C=125^{\circ}\text{C}$
 $L_S=100\text{nH}$
 $L_{LOAD}=200\text{nH}$
 $V_{CC}=1650\text{V}$
 $R_G=3.9\Omega$
 $V_{GE}=\pm 15\text{V}$

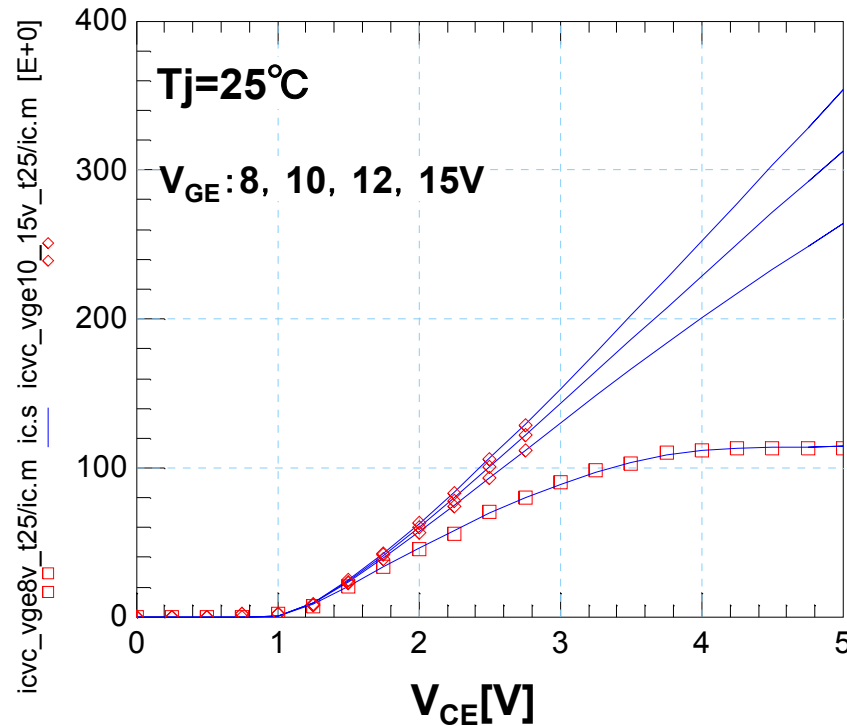


IGBTモデリング例

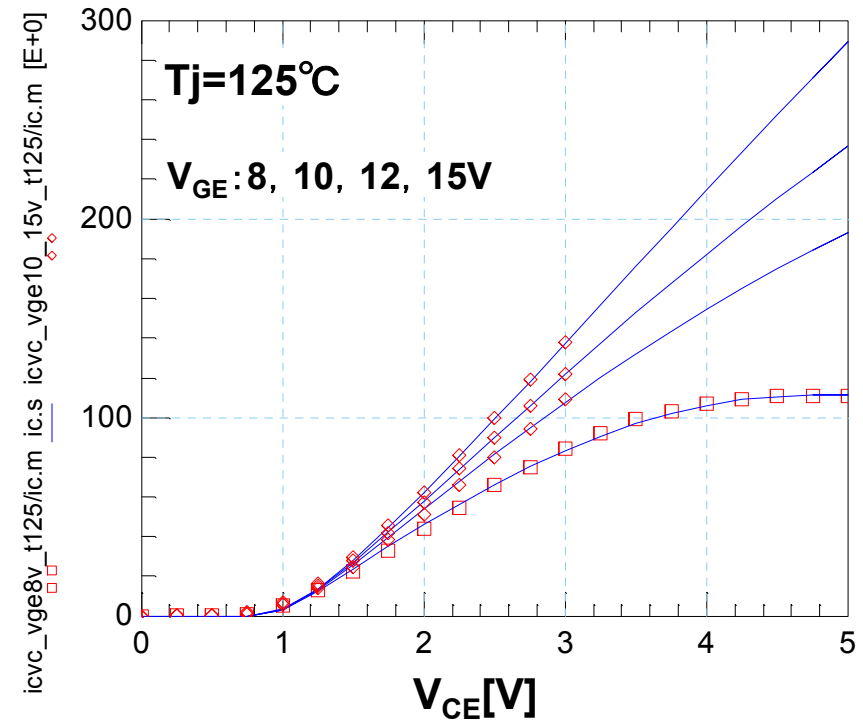
～富士電機製1MBH75D-060S～

I_{CE} vs V_{CE} 特性モデリング結果

I_C [A]



I_C [A]

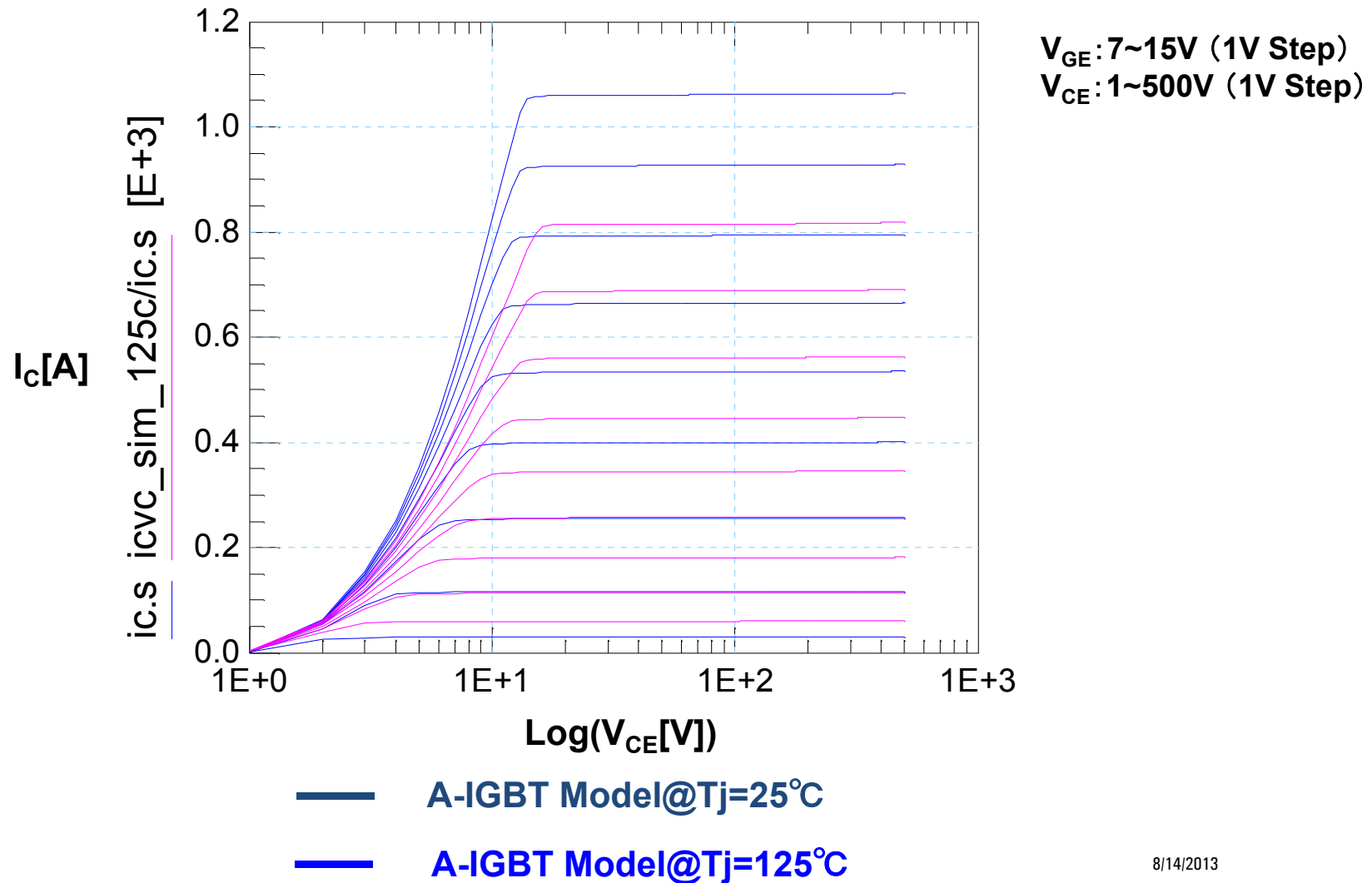


□ Measured (データシートより数値化)

— A-IGBT Model

I_{CE} vs V_{CE} 広範囲バイアスSim検証結果

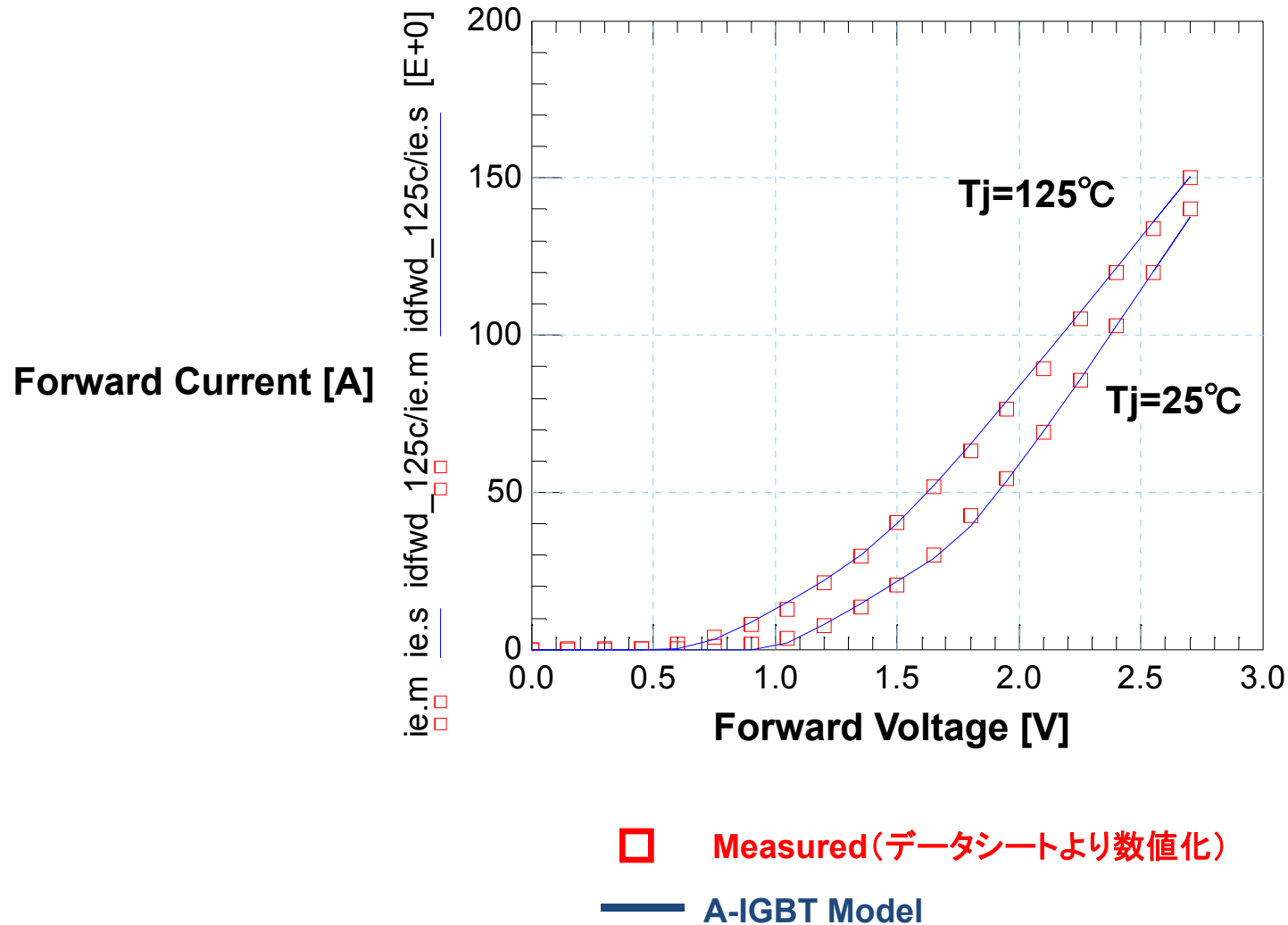
88



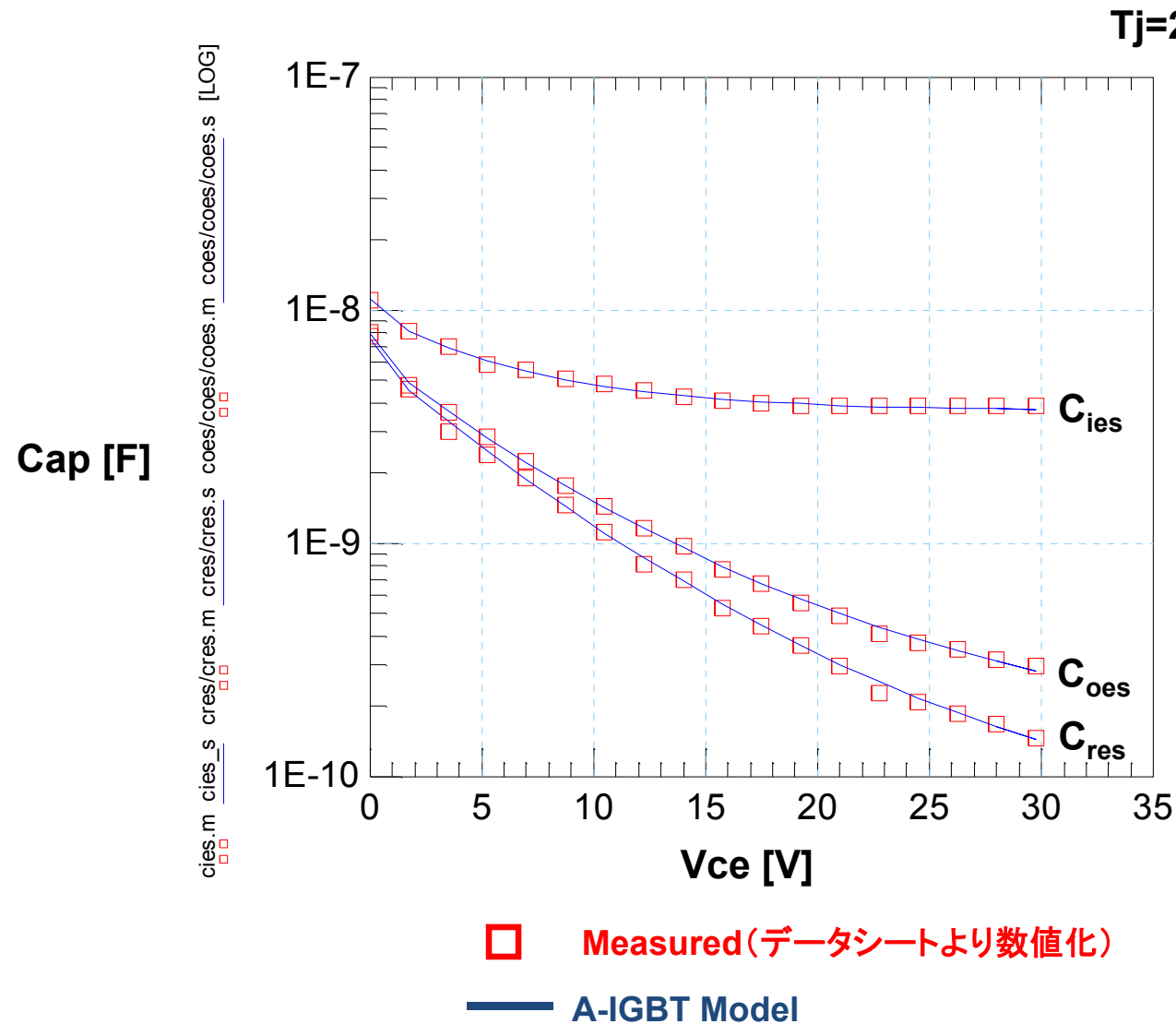
8/14/2013

88

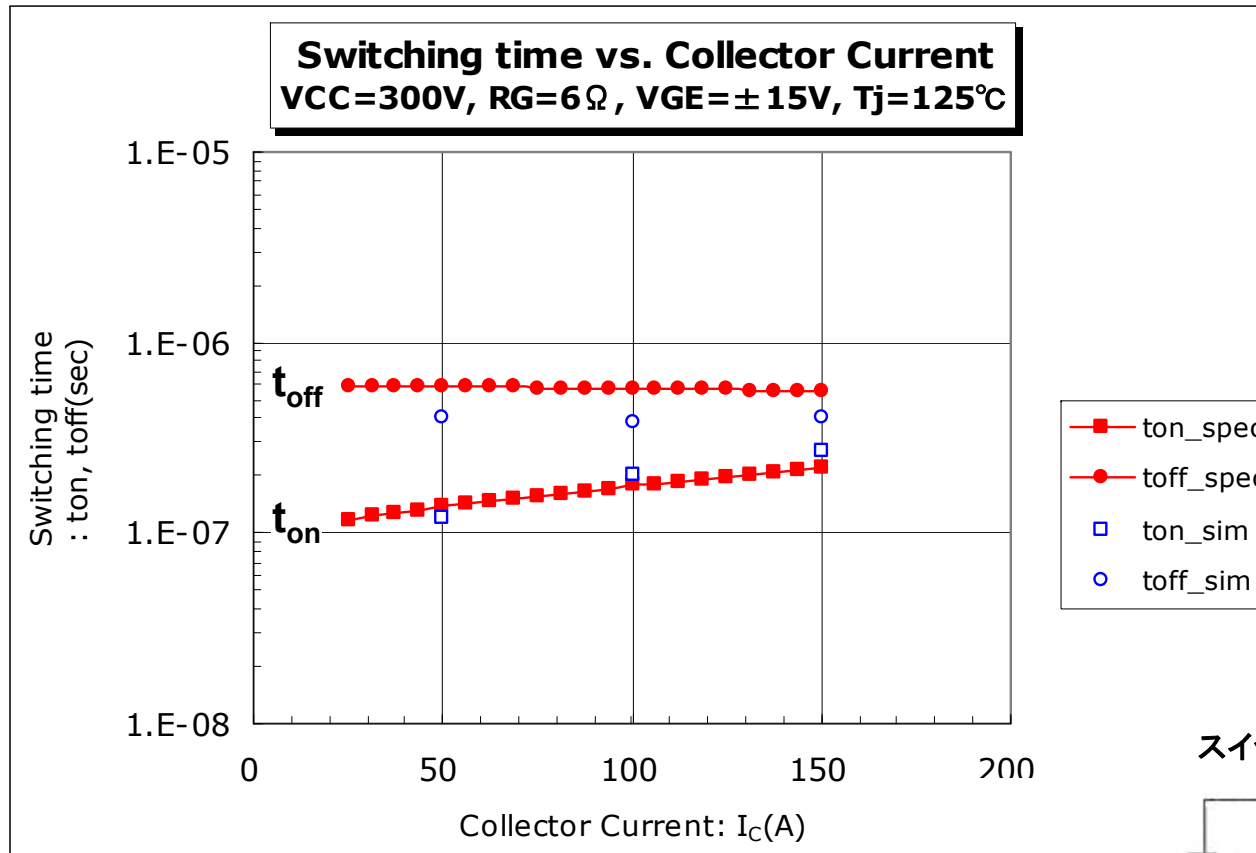
ダイオード順方向電流特性 モデリング結果



容量特性モデリング結果

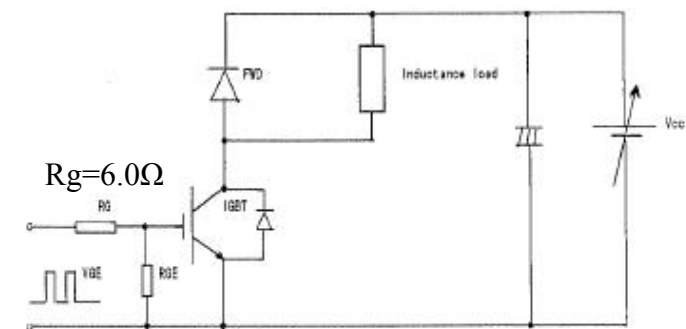


ターンオン, ターンオフタイム検証結果

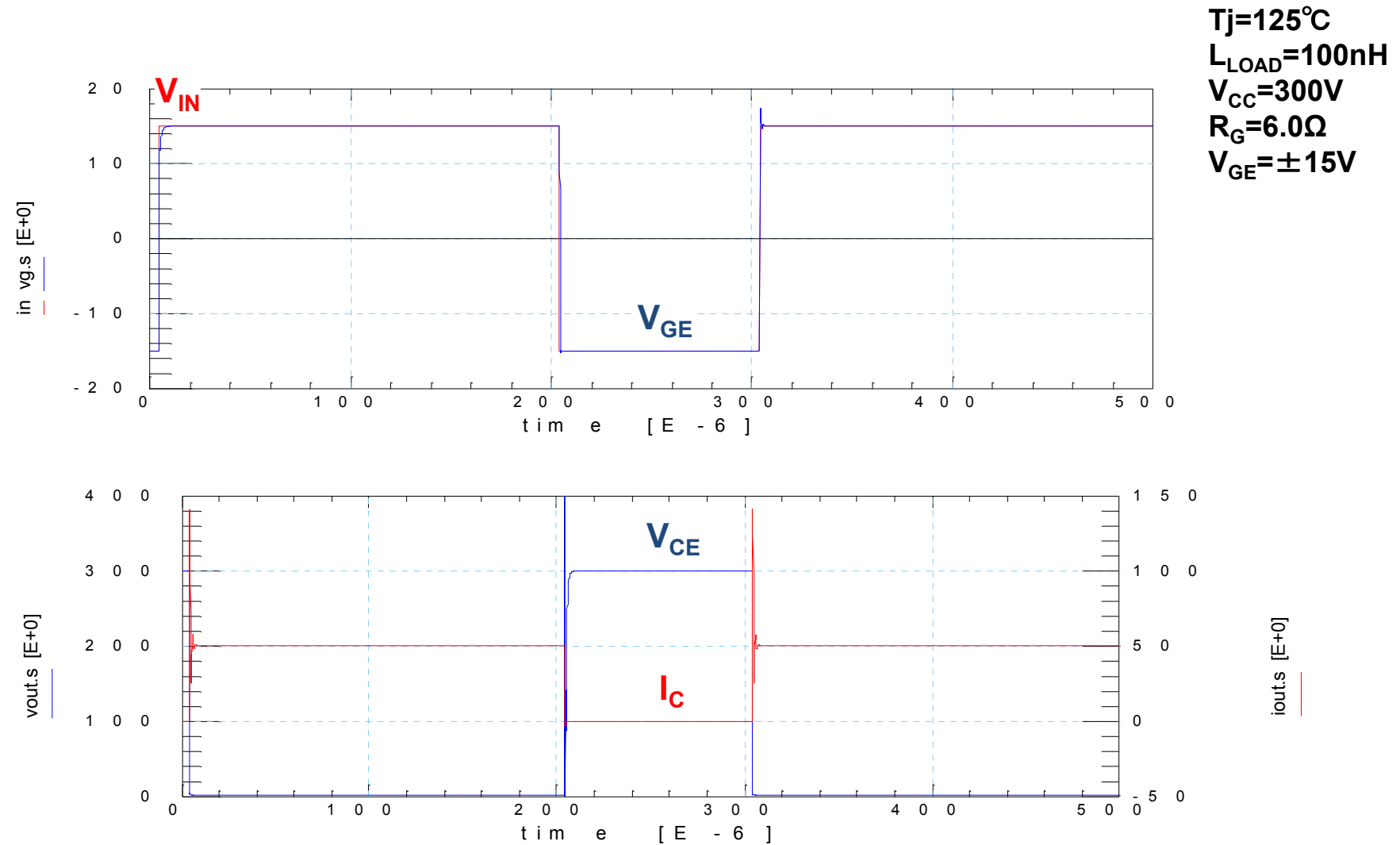


$T_j=125^\circ C$
 $L_{LOAD}=100nH$
 $V_{CC}=300V$
 $R_G=6.0\Omega$
 $V_{GE}=\pm 15V$

スイッチングテスト回路

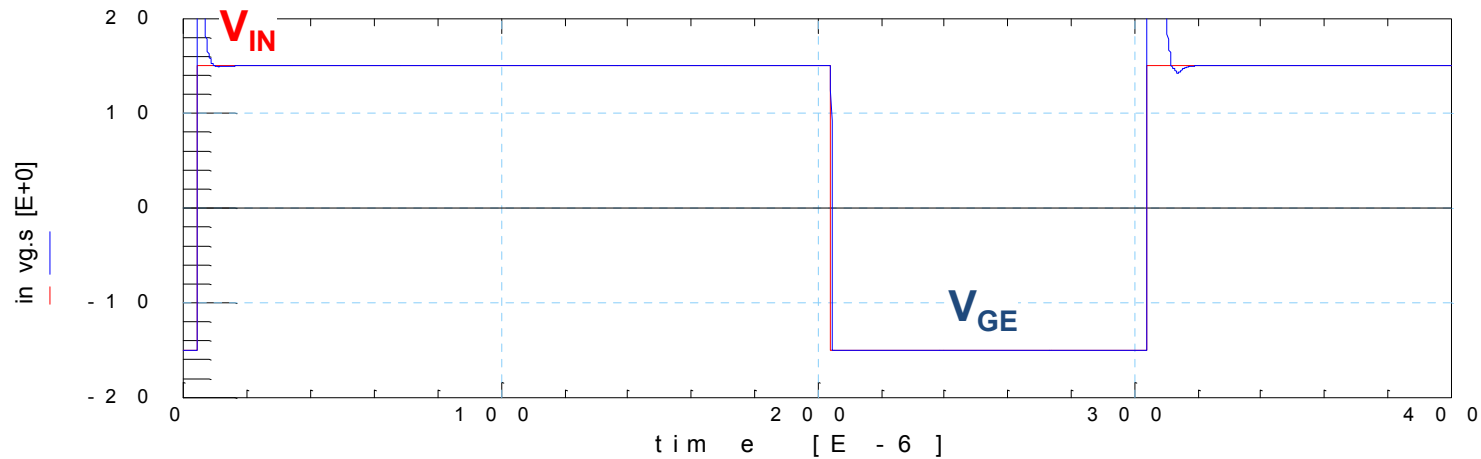


スイッチング波形Sim検証結果 ($I_C=50A$)

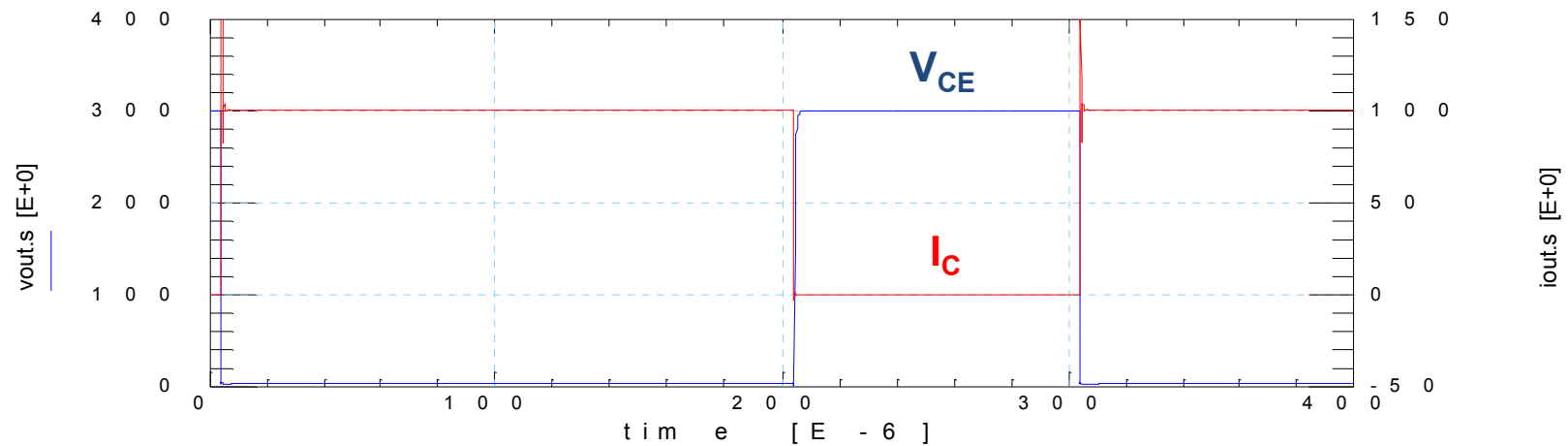


8/14/2013

スイッチング波形Sim検証結果($I_C=100A$)

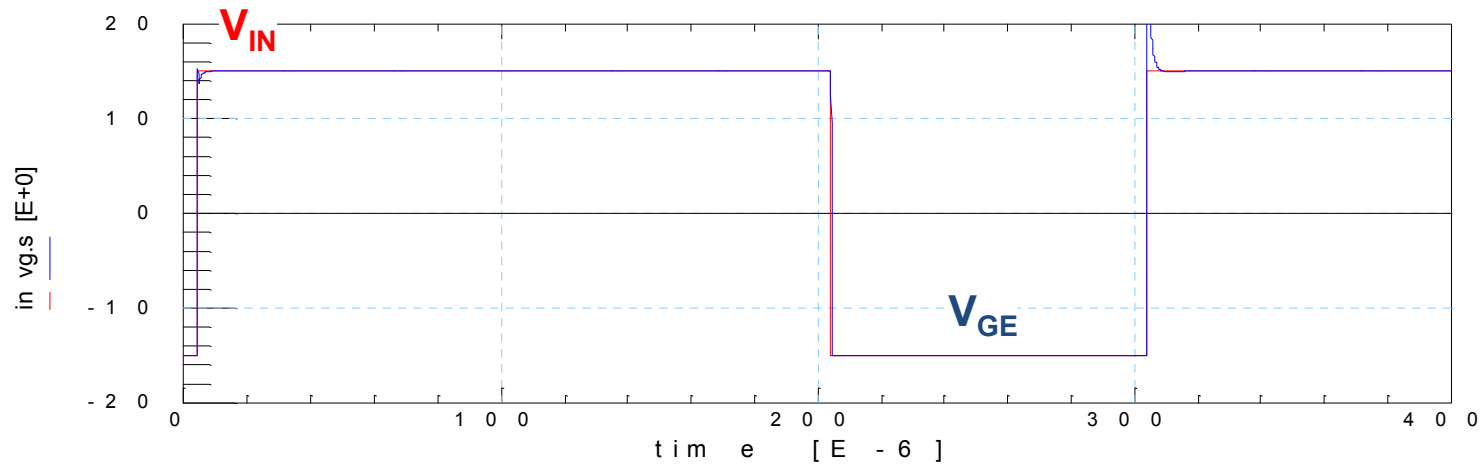


$T_j=125^\circ\text{C}$
 $L_{\text{LOAD}}=100\text{nH}$
 $V_{CC}=300\text{V}$
 $R_G=6.0\Omega$
 $V_{GE}=\pm 15\text{V}$

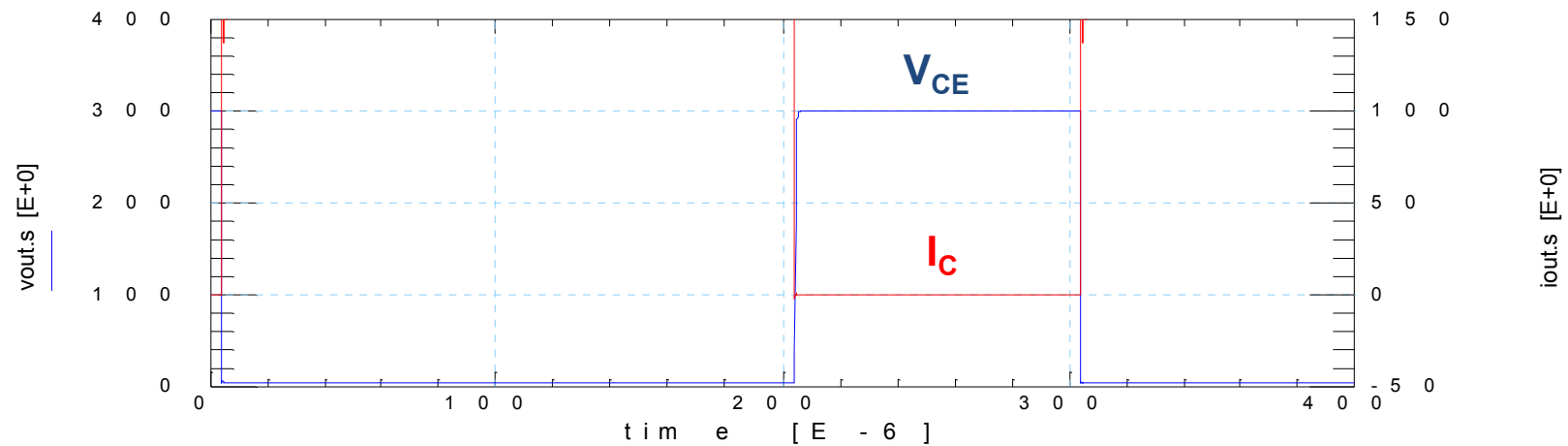


8/14/2013

スイッチング波形Sim検証結果 ($I_C=150A$)



$T_j=125^{\circ}\text{C}$
 $L_{\text{LOAD}}=100\text{nH}$
 $V_{\text{CC}}=300\text{V}$
 $R_G=6.0\Omega$
 $V_{\text{GE}}=\pm 15\text{V}$



8/14/2013

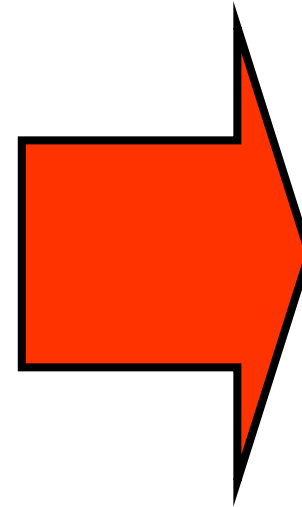
SiC JFET モデリング

アウトライン

- 通常のJFETモデル＋ダイオードによるモデリングでの問題点
- SiC JFETの構造とドレイン電流特性
- ゲート容量特性
- 代表的なSiC JFETの構造
- Vertical SiC JFET
- SiC JFETの一般的なモデルと欠点
- SiC JFETモデリング方針
- SiC JFETモデリング例(研究中)

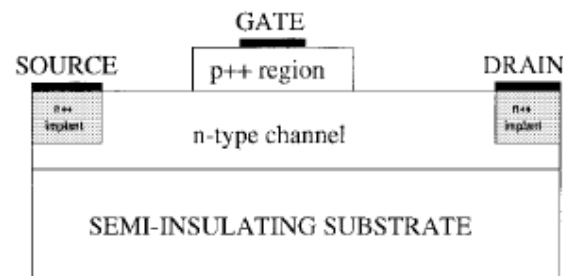
JFETモデル＋ダイオードによる モデリングでの問題点

- 速度飽和領域におけるドレイン電流特性が違っている
- キャリアの移動度バイアス依存が違っている
- 高温でのドレイン電流特性があわない
- ゲート容量のバイアス依存性がJFETとは離れている
- RF寄生エレメントがない
- RFでの周波数分散特性を考慮していない
- RFでのフィンガー数依存がない
- 現状, 設計に使用できるモデルがない

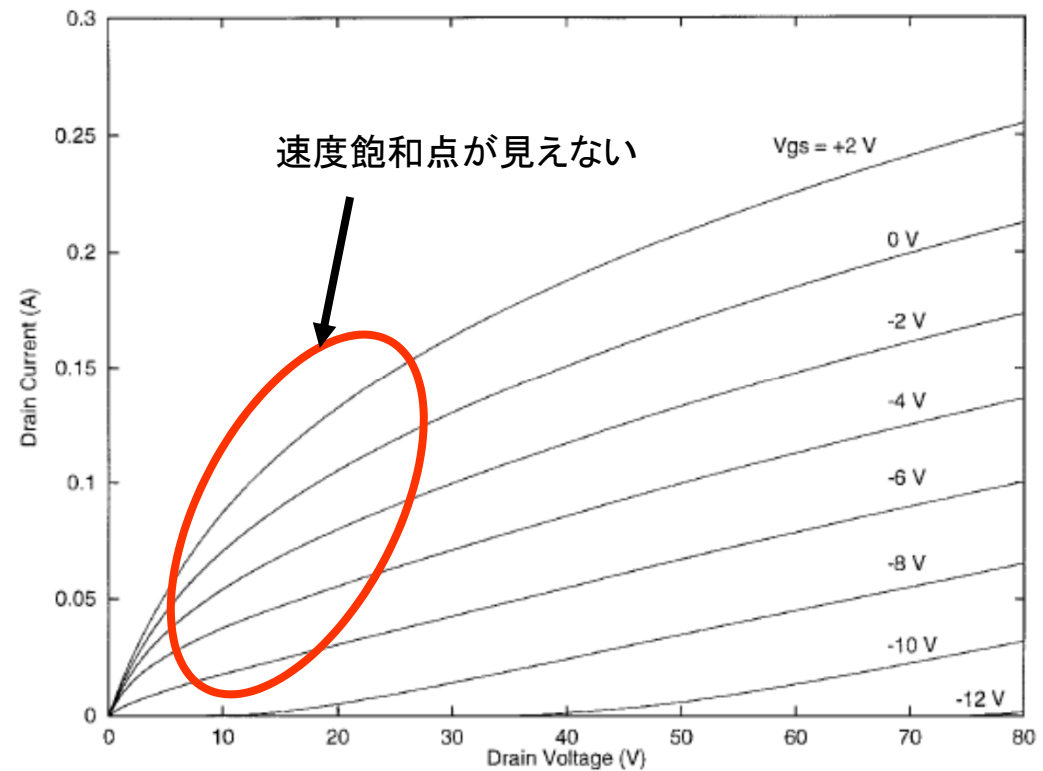


高精度
マクロモデル
が必要

SiC JFETの構造とドレイン電流特性

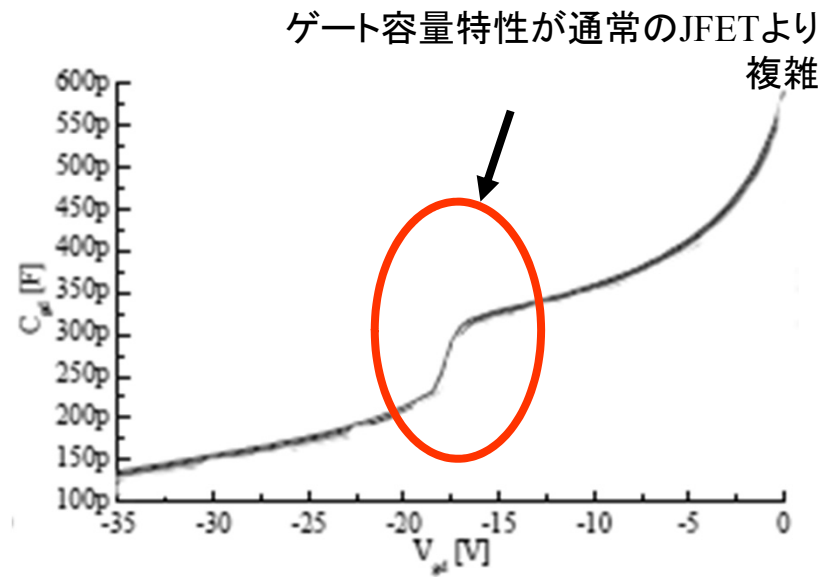


SiC JFETの構造例



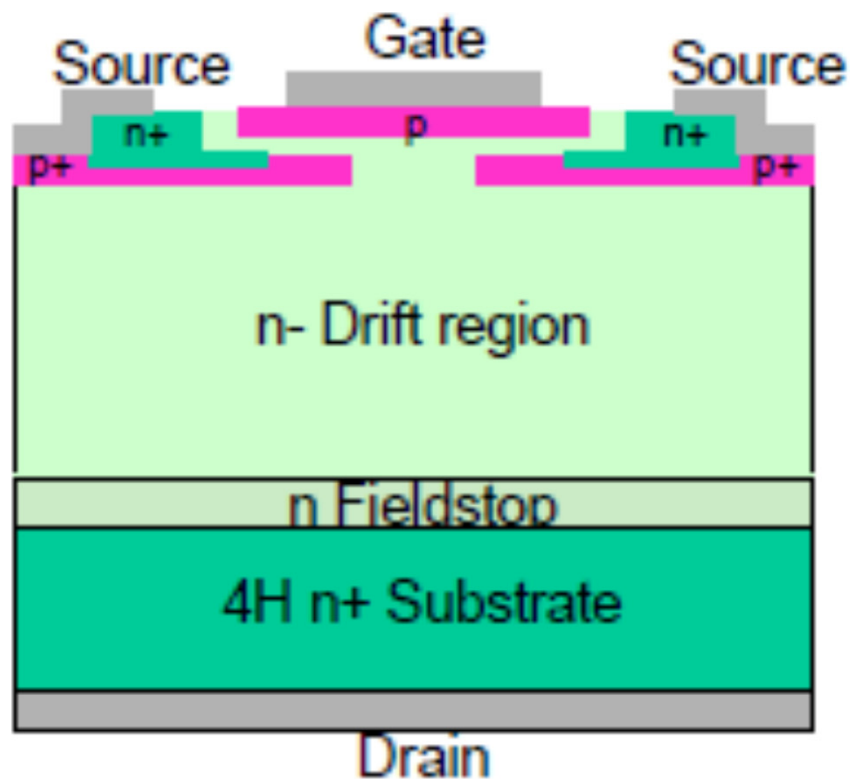
I_d - V_{ds} 特性

ゲート容量特性

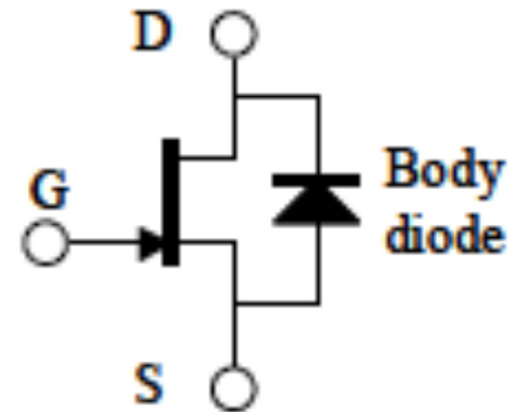


C_{gd} - I_{gd} characteristics

代表的なSiC JFETの構造

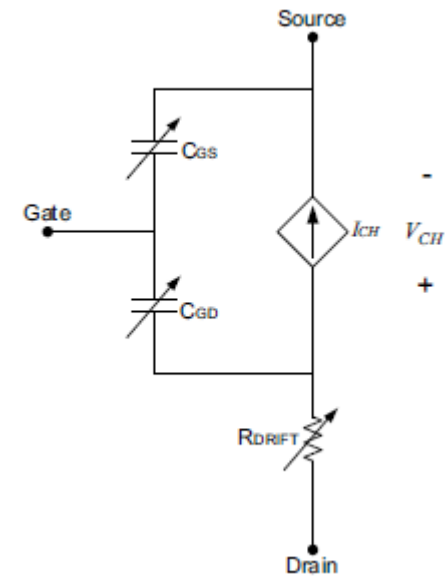
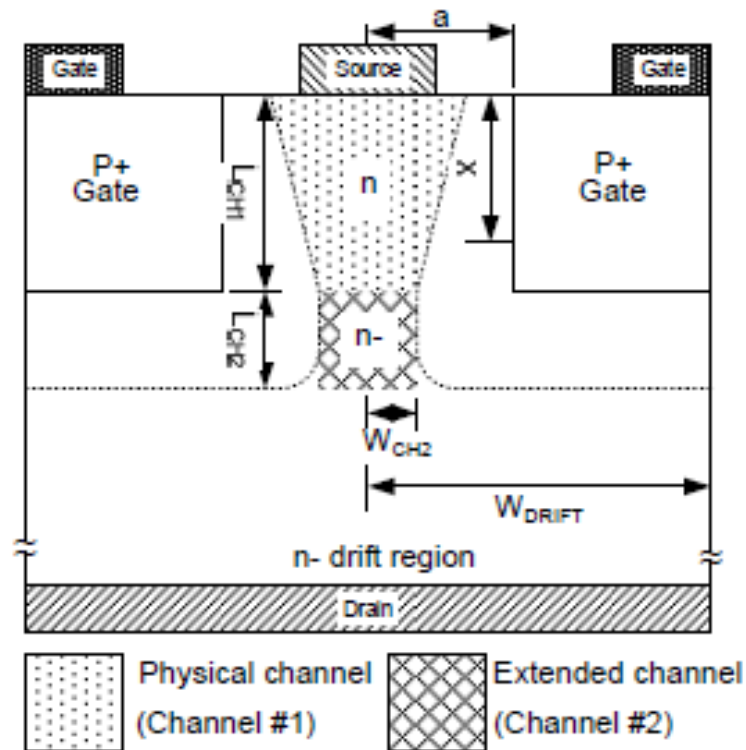


(a) Cross section

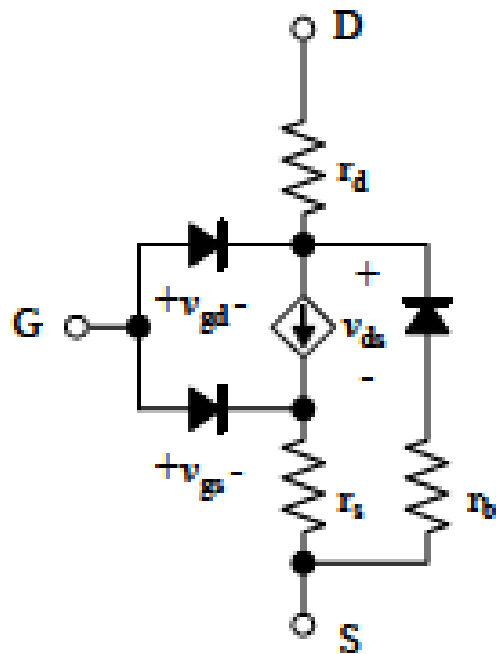


(b) Device symbol

Vertical SiC JFET



SiC JFETの一般的なモデルと欠点

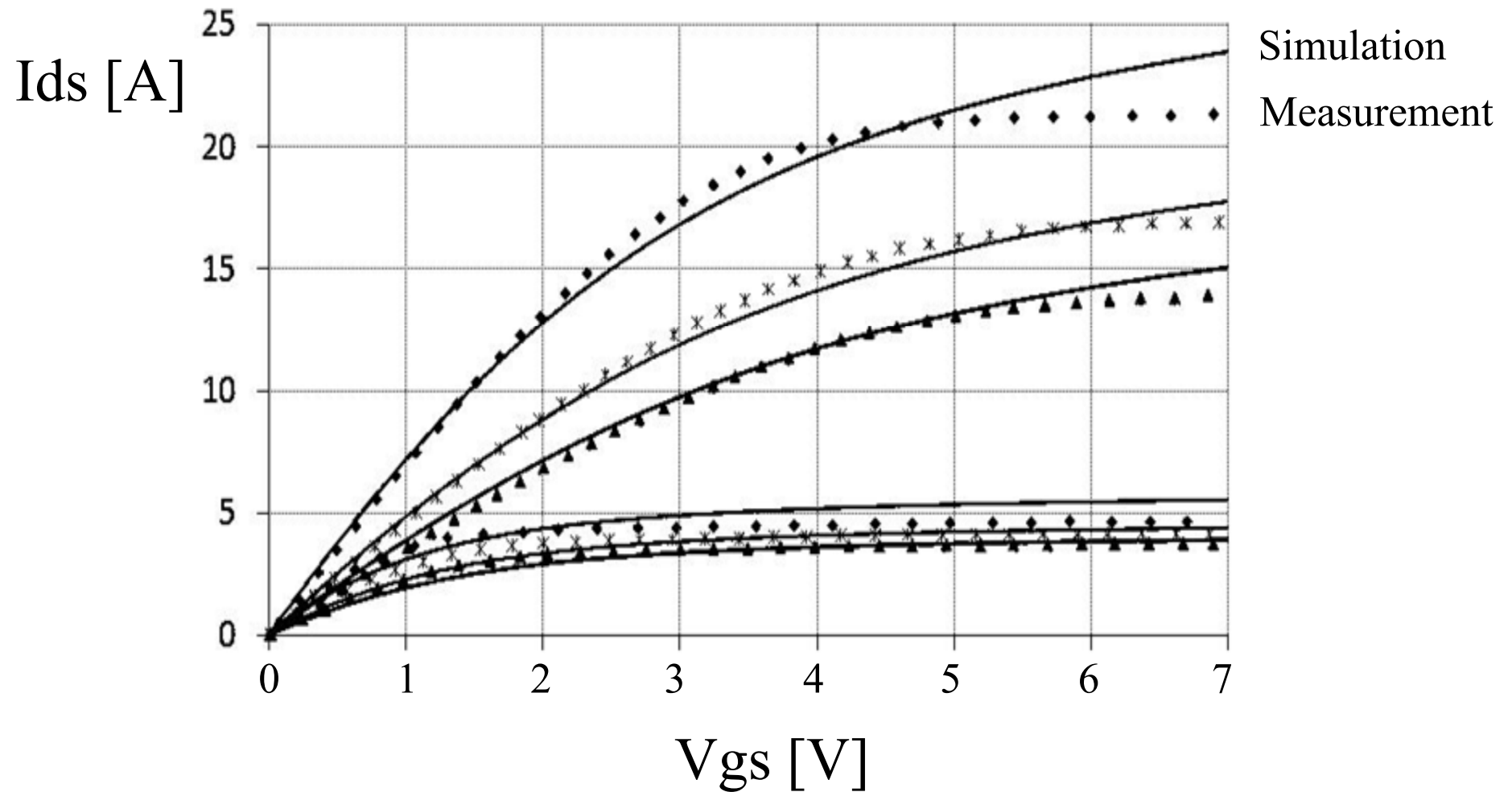


- このモデルは UCB JFET model に基づいているため移動度のモデルがSiCと違う
- スケーリングできない
- 速度飽和モデルがない
- ゲート・ソース, ゲート・ドレイン容量の バイアス依存がない

SiC JFETモデリング(方針)

- 中心となるコンパクトモデルには, 高精度なBSIM系モデルを選択
 - キャリア移動度のバイアス依存を高精度に再現
 - 速度飽和領域の電圧依存緩和(Pチャネルデバイスのモデル式に使用されているがNチャネルにも適用可能)
- SiC JFET構造に合ったマクロモデルを開発し, モデリングを実施
 - 周波数分散特性サブサーキットモデル
 - サブストレートソースの寄生エレメントモデル
 - ドレイン抵抗のゲートバイアス依存モデル化
 - フィンガー数依存, またはセル依存によるスケーリングRFモデル
- より高精度な測定値とのフィッティングにBINNINGを使用

A-SiC JFETモデリング例(研究中)



まとめ

- 高耐圧MOSFETの種類
- 高耐圧MOSFETの特徴
- 高耐圧MOSFETの構造
- 高耐圧MOSFETの基礎物性と等価回路
- 自己発熱現象のモデル化
- 基礎的なMOSFETモデルを使った簡易的な高耐圧MOSFETモデリング (HVMOS, LDMOS, IGBT, SiC-JFET)
- それぞれのモデル問題点についての幾つかは, A-モデルとして研究中である