

2017年版

第3回 SoCの概要と最新アプリケーション

1) システムLSI(SoC)の概要

- ・システムLSI(SoC)とは
- ・SoC構成要素概要と技術動向

CPU、GPU、DRAM、NAND、アナログなど

2) 最近のシステムLSI(SoC)のアプリケーションを見る

- ・IoT、スマートフォン、タブレット、ウェアラブル端末、パソコン、ゲーム機、デジタルテレビ、医療装置、自動車(ハイブリッドカー)など

2017.10.17

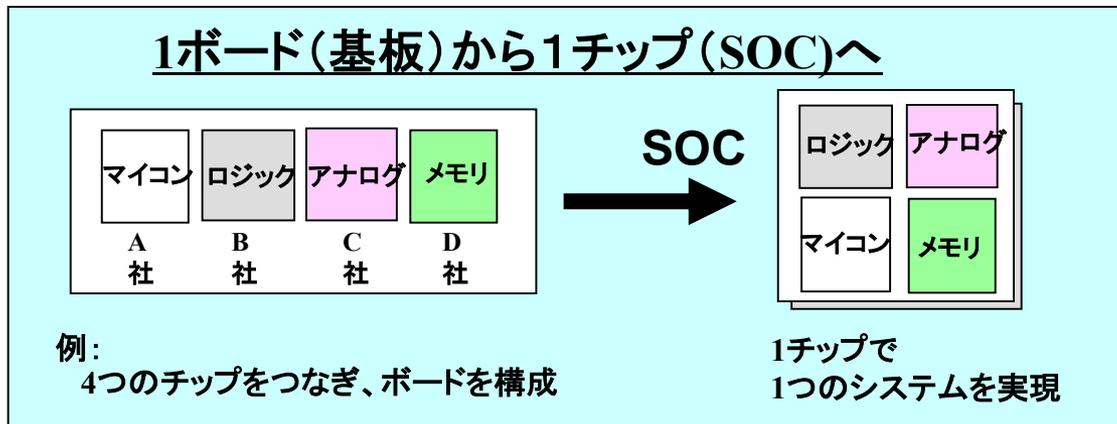
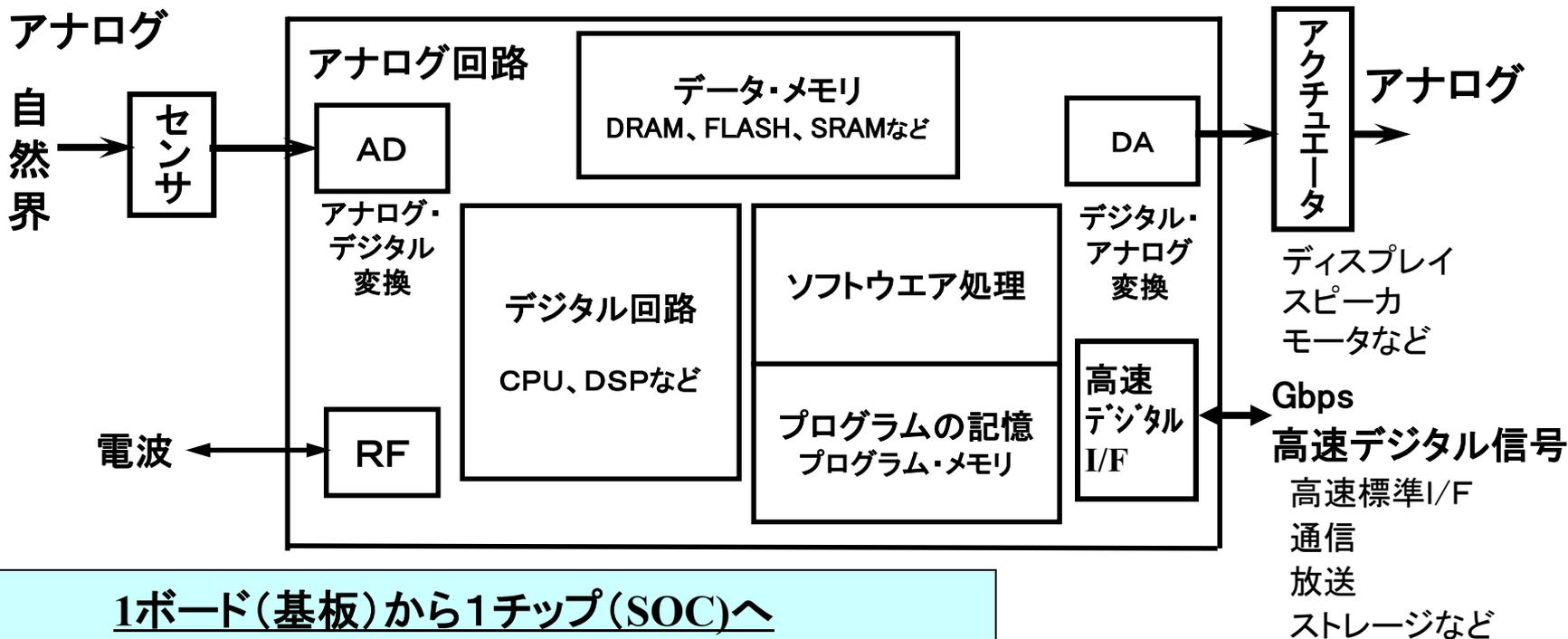
東京電機大学非常勤講師

群馬大学非常勤講師

中谷 隆之

SoC(システムLSI)

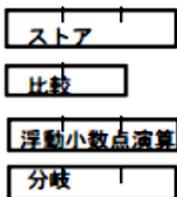
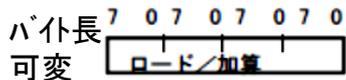
SoC (System on a Chip)は、一つのLSIチップ上に、各種デジタル回路、メモリ回路、アナログ回路およびソフトウェアが混載されたLSI



CPU(マイクロプロセッサ)高性能化

① CISCプロセッサ

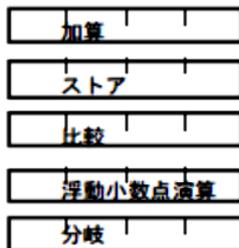
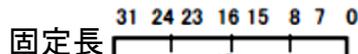
バイト可変長命令、
複合化命令



命令の簡素化
による
高性能化

② RISCプロセッサ

固定長命令、
ロードストア・アーキテクチャ

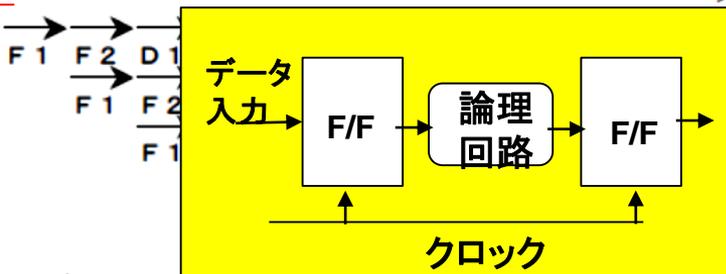


③ スーパーパイプライン技術

高動作周波数化による
高性能化達成方法

クロック
高速化

F : Fetch
D : Decode
E : Execution
WB : Write Back



④ スーパースカラ技術

命令の並列実行化による
高性能化達成方法

並列処理
ハード依存



命令の実行

SIMD
(128ビット)

⑤ VLIWプロセッサ (超長命令)

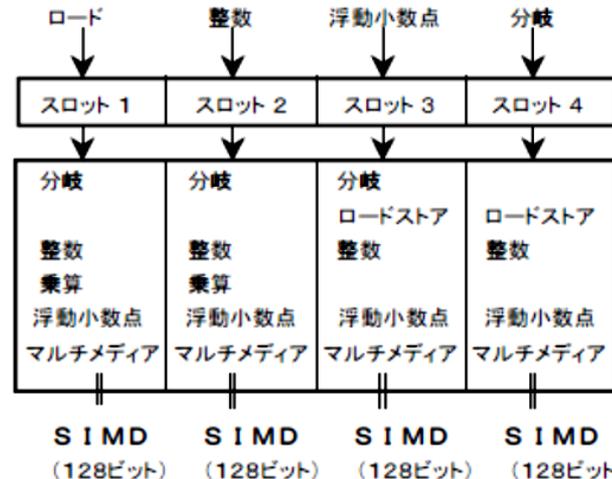
C言語で書かれたプログラム

並列処理
ソフト依存

コンパイル

命令の解釈とスケジュール
高動作周波数に対応

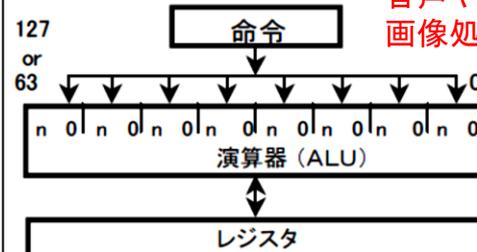
超長命令 (VLIW) にコンパイルされたプログラム



SIMD: Single Instruction Multiple Data

SIMD命令 (レジスタを分割して使用)

音声や
画像処理



マルチメディア命令: ワークステーション用プロセッサ、
パソコン用プロセッサ

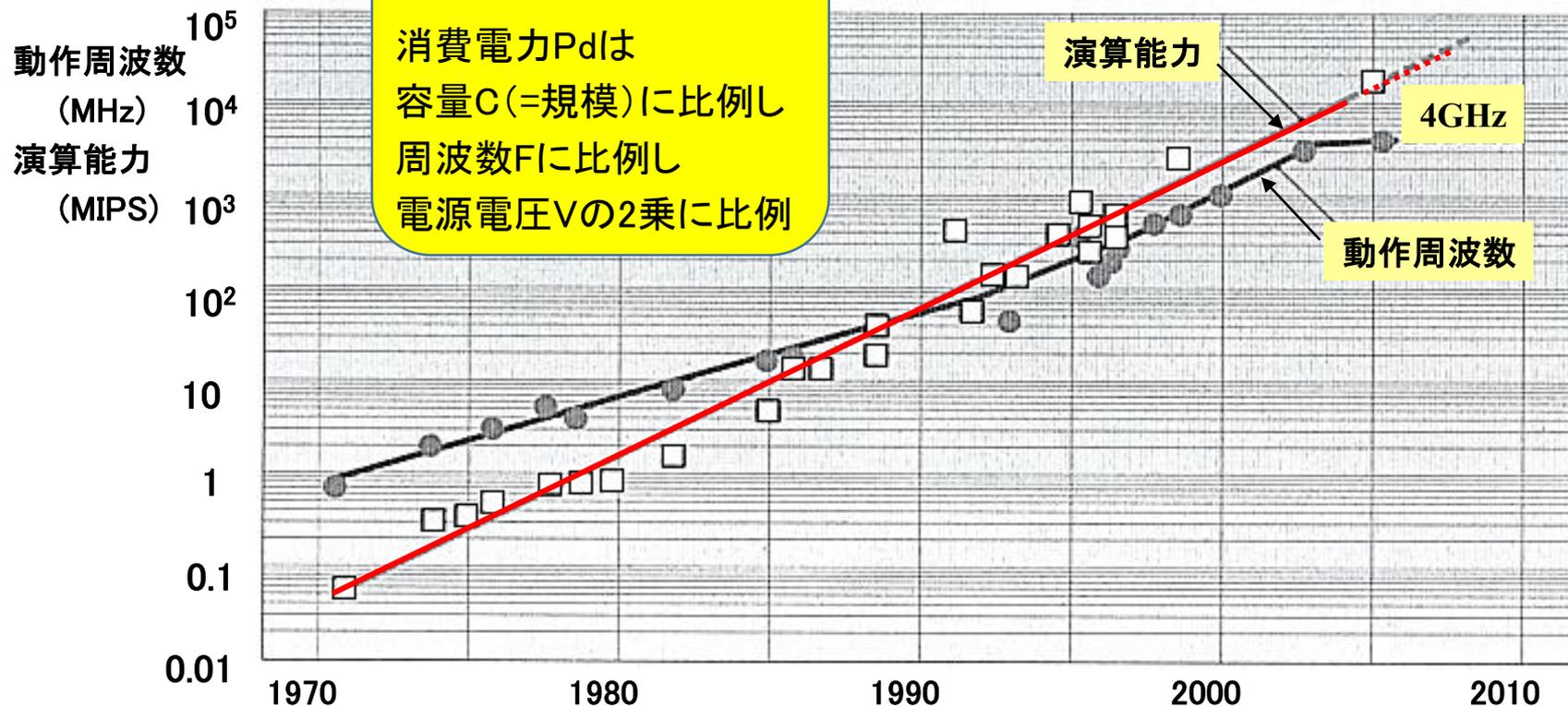
クロック周波数の高速化からマルチコアへ

2000年前半頃までは高密度化およびクロック周波数Upで性能向上を図ってきた。

クロック周波数Upにより発熱が増大し、2000年代中ごろ以降性能向上は**マルチコア化**へ。

$$P_d = CFV^2$$

消費電力 P_d は
容量 C (=規模)に比例し
周波数 F に比例し
電源電圧 V の2乗に比例



マイクロプロセッサの高速化は4GHzで頭打ち。

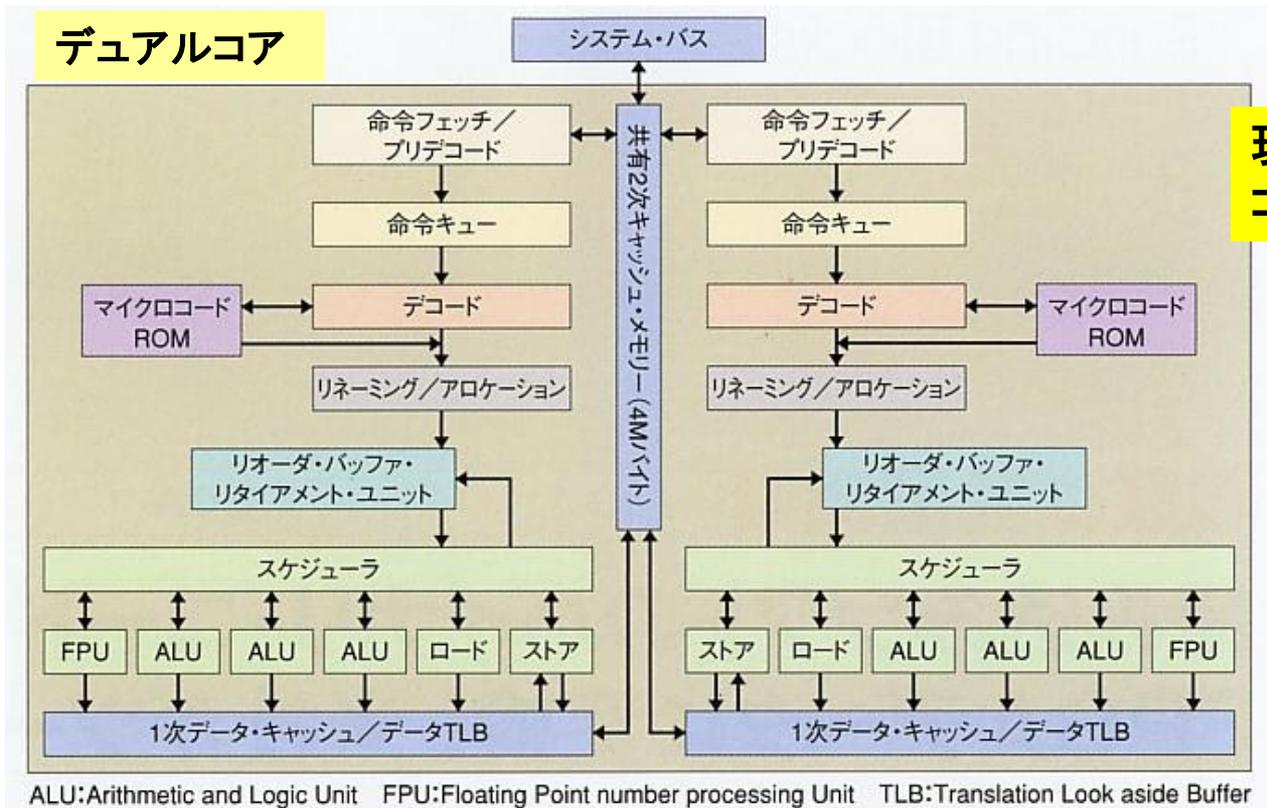
Intelは、2004年に4GHz以上のクロック周波数を使わないと発表。

以後は、複数のプロセッサで並列に演算する“マルチコア”で高性能化を図る方向に変換。

プロセッサの高性能化: マルチコア

2006年～

Intelはシングルコアでクロック周波数向上での性能向上をPentium4(最大3.8GHz)で打ち切り。以後マルチコアでの性能向上に切り替え。



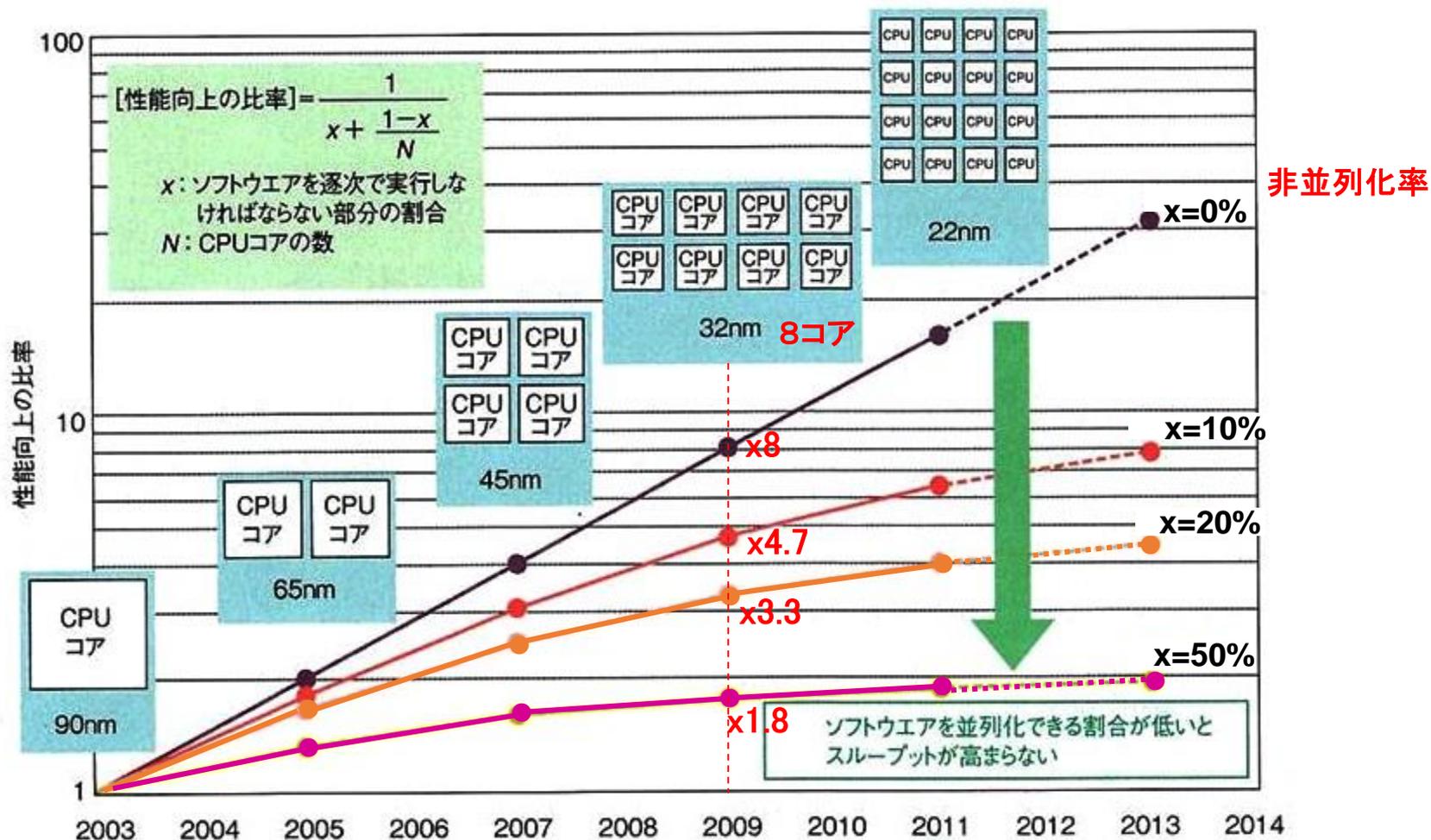
クロック周波数を20%増加させると性能は13%向上するが、消費電力は73%も上がる。
 クロック周波数を20%下げると性能は13%減少するが、消費電力は50%改善できる。
 クロック周波数を20%下げたプロセッサ2つでデュアルコア化すると、シングルコアに比べ
 性能は70%向上するが、消費電力はほとんど変わらない。 インテル2006.4.7ニュースより

マルチコアにおける性能制限：Amdahlの法則

マルチコア数(N)を高めてもN倍の性能向上は得られない。

4コアとしても、ソフトの逐次処理で実行する部分が20%あると、性能は2.4倍に留まる。

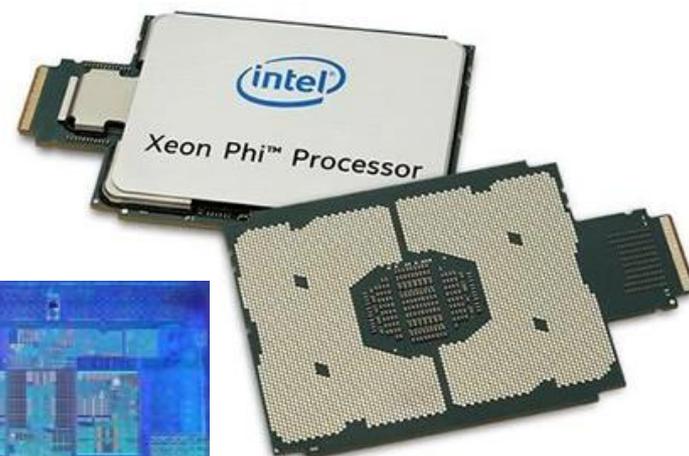
16コアでも4倍の性能向上に制限される。マルチコアを活かすのはソフト次第



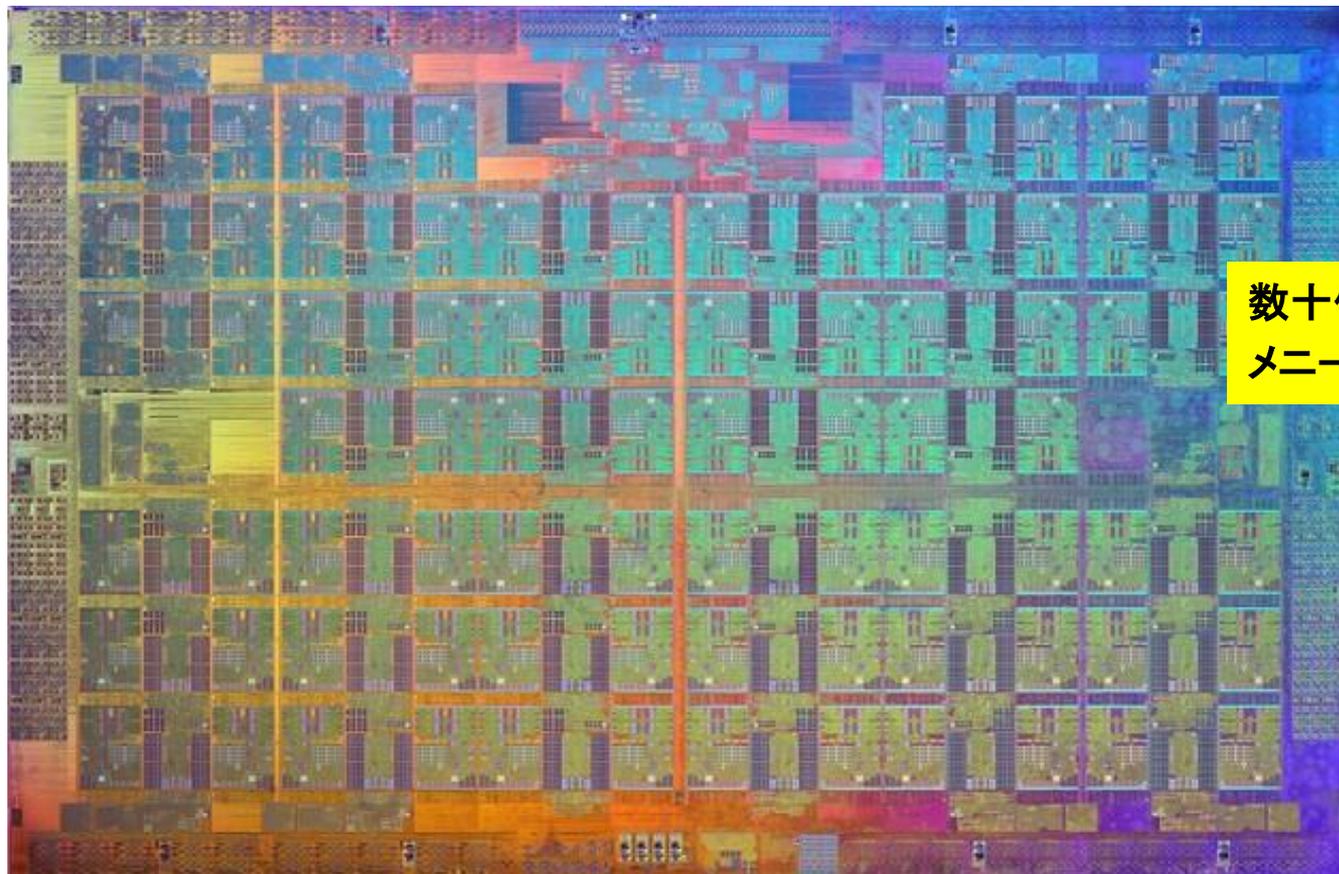
Intel 72コア Xeon Phi 7200

2016年6月

- ・72コア(物理的には76コア搭載)、4スレッド/コア
- ・コアクロック1.5GHz(TBモードで1.7GHz)
- ・14nm FinFETプロセス、80億トランジスタ、700mm²ダイサイズ(約32 x 22mm)
- ・TDP=245W、価格6254ドル(約70万円/個)



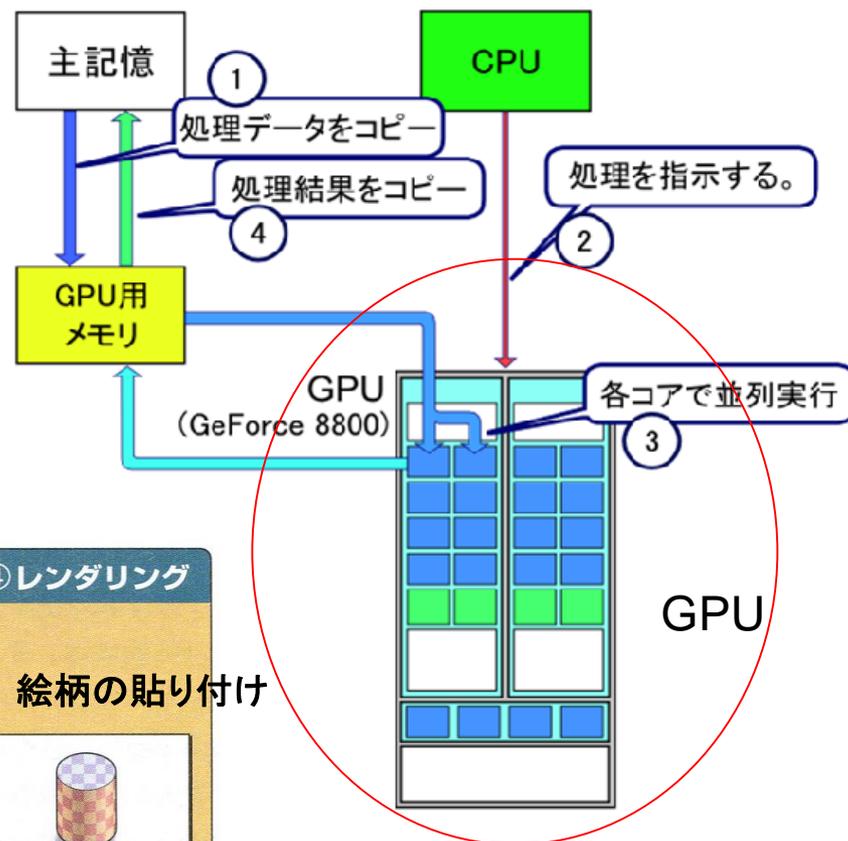
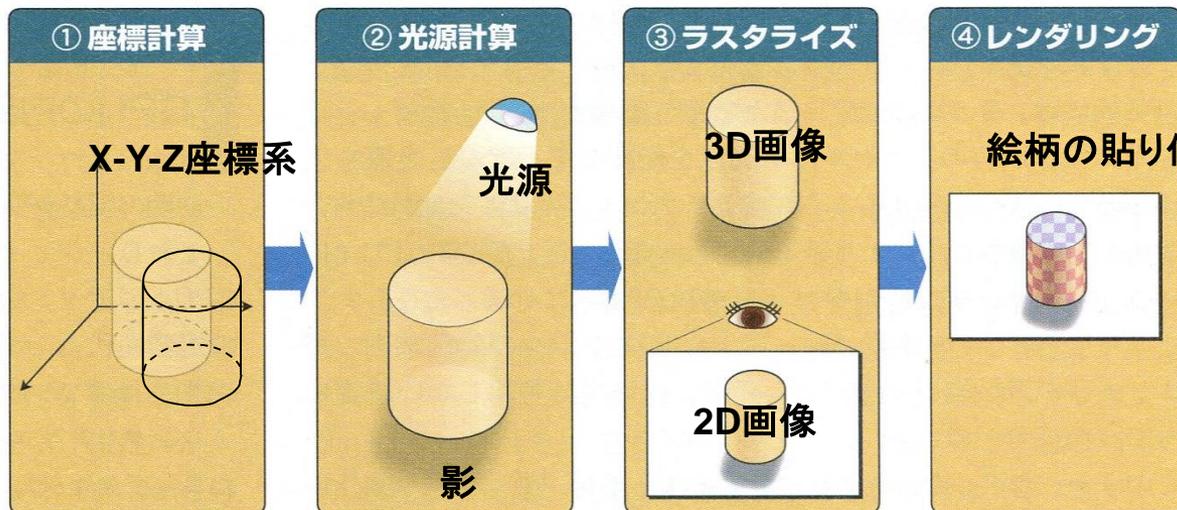
数十個ものコアを持つものが
メニーコア (Many-core)



GPU(Graphics Processing Unit)

GPUは画像や映像、3Dグラフィックスなどの描画を専門に処理するプロセッサ。画像処理は膨大な演算量必要とされるため、GPUは数百以上の演算ユニットを持つ。最近では画像処理以外にも、GPGPU (General-purpose computing on graphics processing units)と呼ばれる技術(画像処理以外の汎用的な演算処理)に使われる。

3D画像処理には膨大な演算が必要



数百もの演算ユニットを持つ

GPUの例: NVIDIA GeForce GTX406

- ・NVIDIAのGPUはSM (Streaming Multiprocessor)ごとに制御。SMはCPUのCPUコアに相当
- ・GTX406では、8個のSMがあり**合計384個のCUDAコア(演算ユニット)**を搭載
固定小数点の乗算、加算器

タスクの分配

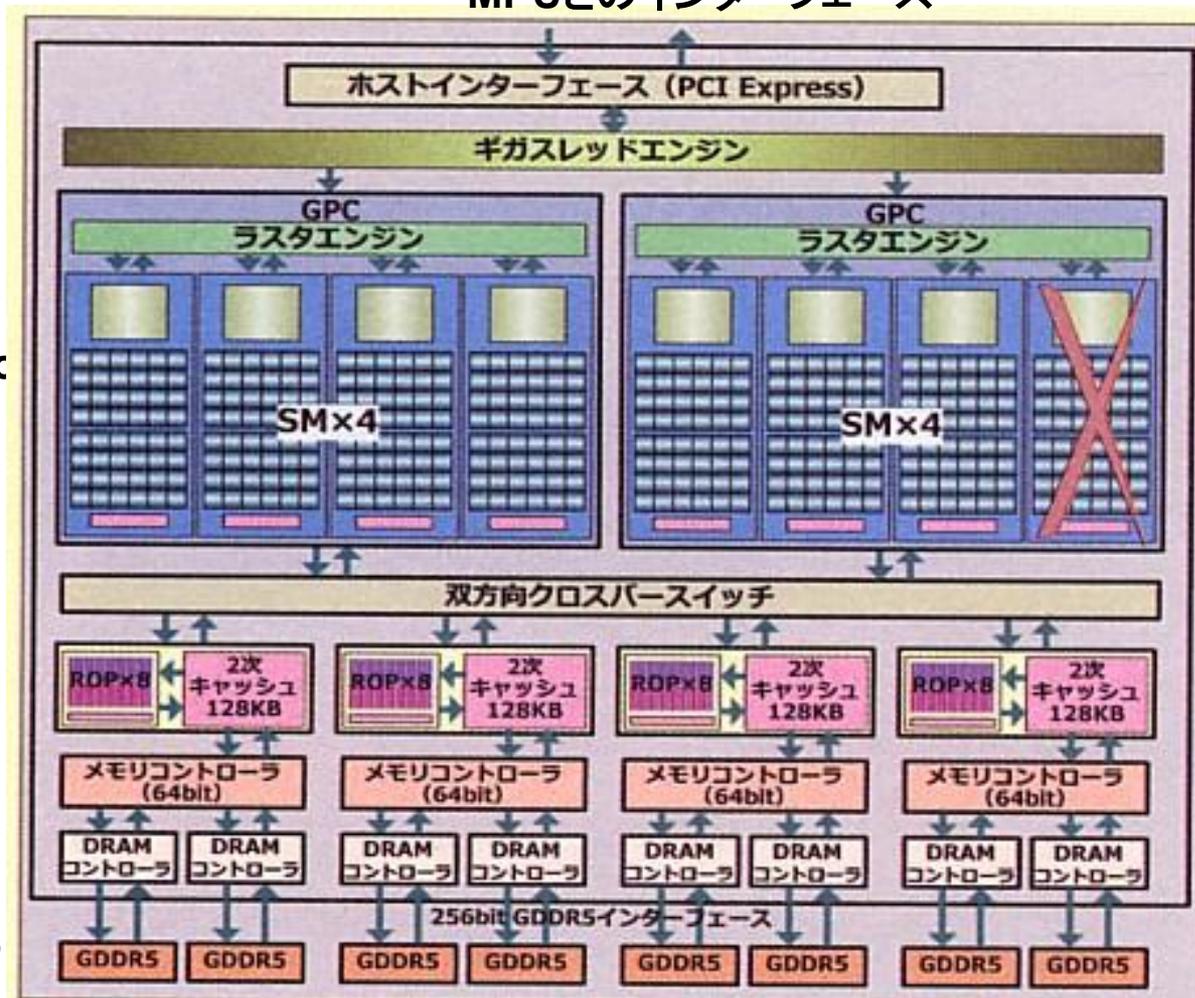
GPC :Graphic Processing Cluster

SM :Streaming Multiprocessor
頂点パイプライン(シェーダ)と
CUDA演算ユニット

ROP
Rendering Output Pipeline

外部メモリ: GDDR5

MPUとのインターフェース



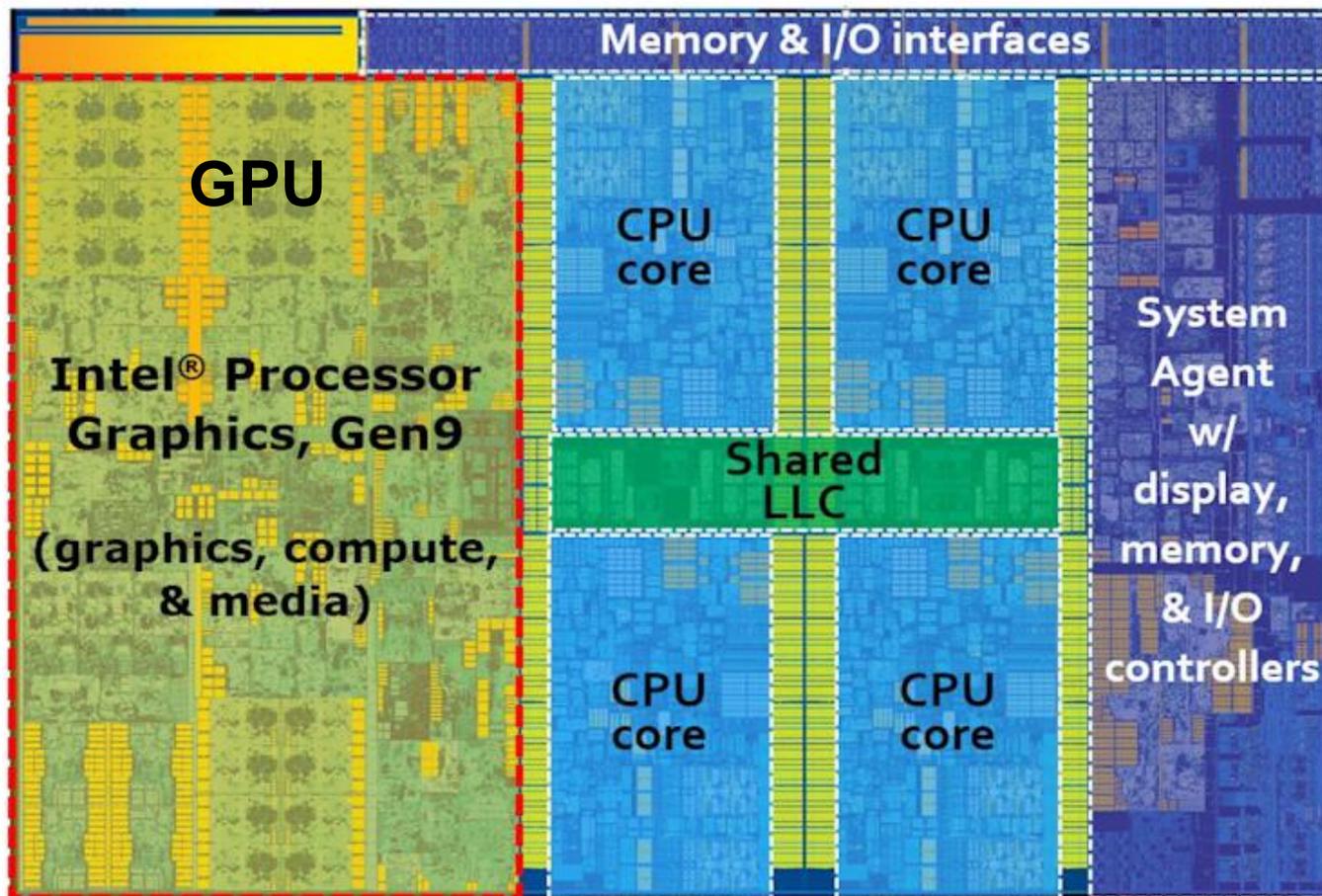
マイクロプロセッサにおけるGPU部の巨大化

14nmプロセスマイクロプロセッサSkylake

4コアMPUのチップレイアウト。4つのCPUコア周りをSRAMが取り囲む。

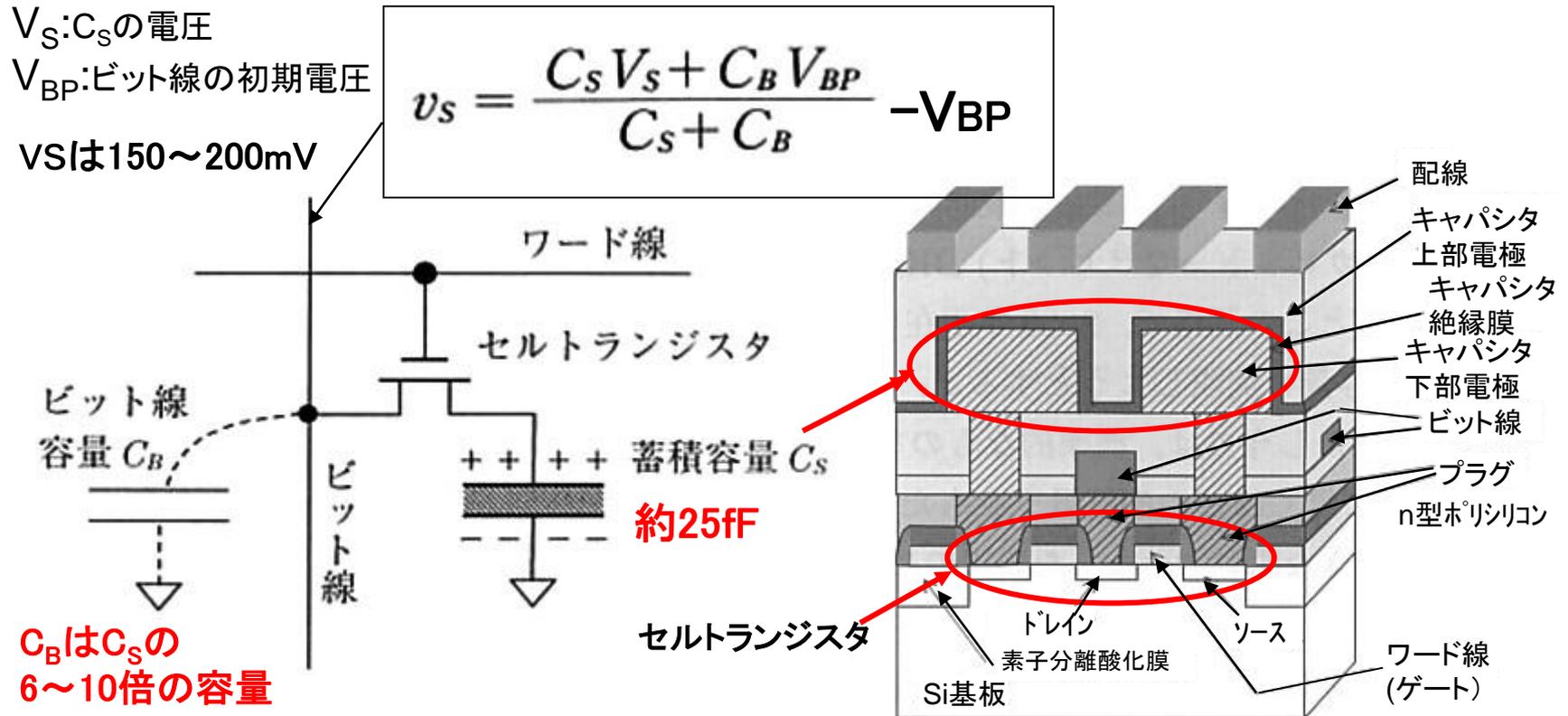
GPUが占める割合が極めて大きい。

クロック周波数2.9GHz(ターボモード3.8GHz、L3キャッシュ8MB、TDP 45W)



DRAMセル回路

DRAMの蓄積キャパシタ容量 C_S に蓄えた電荷が、セルトランジスタをONにする事により、ビット線容量 C_B に再配分され、ビット線の電位が v_s だけ変化する。
この v_s をビット線に接続されたセンスアンプにて増幅する。

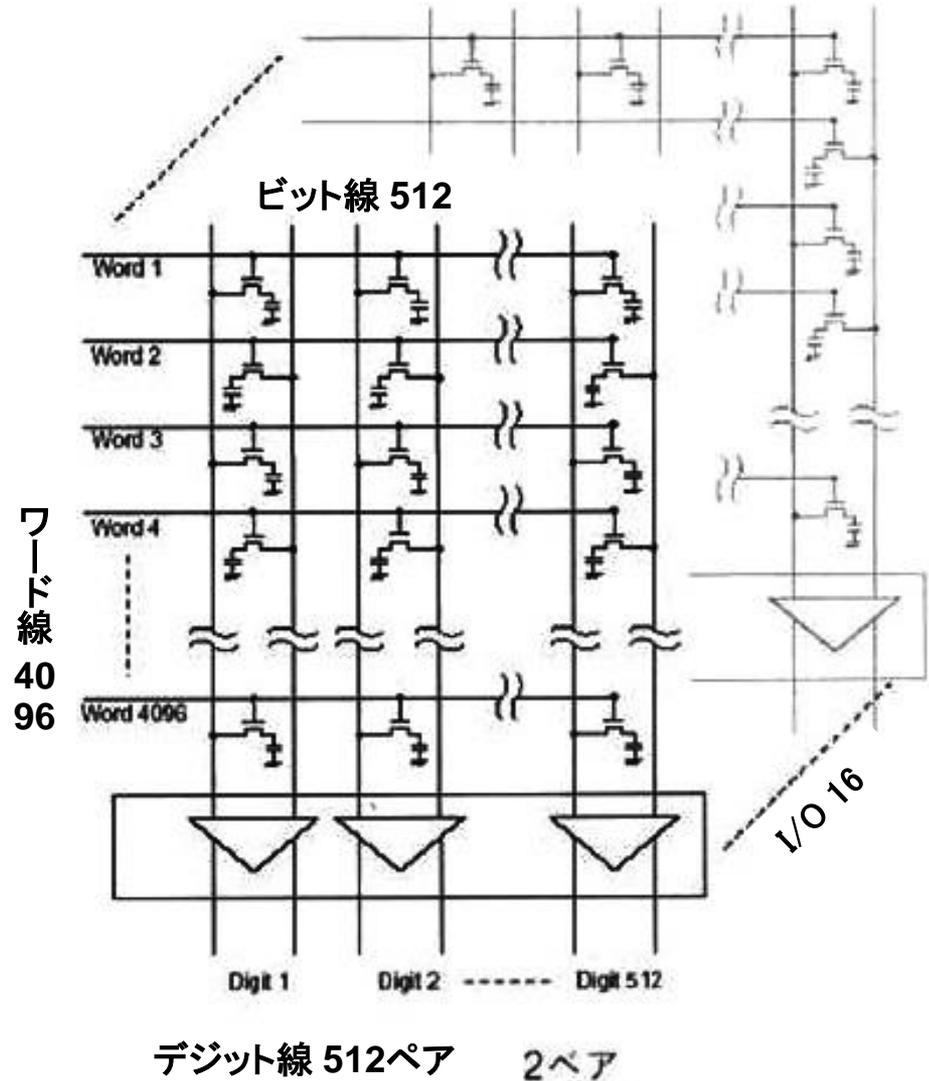


ビット線には64~256個のセルが接続
 接続セルが多くなると C_B が増し、 v_s レベルが低下する

DRAM メモリ・セル・アレイ

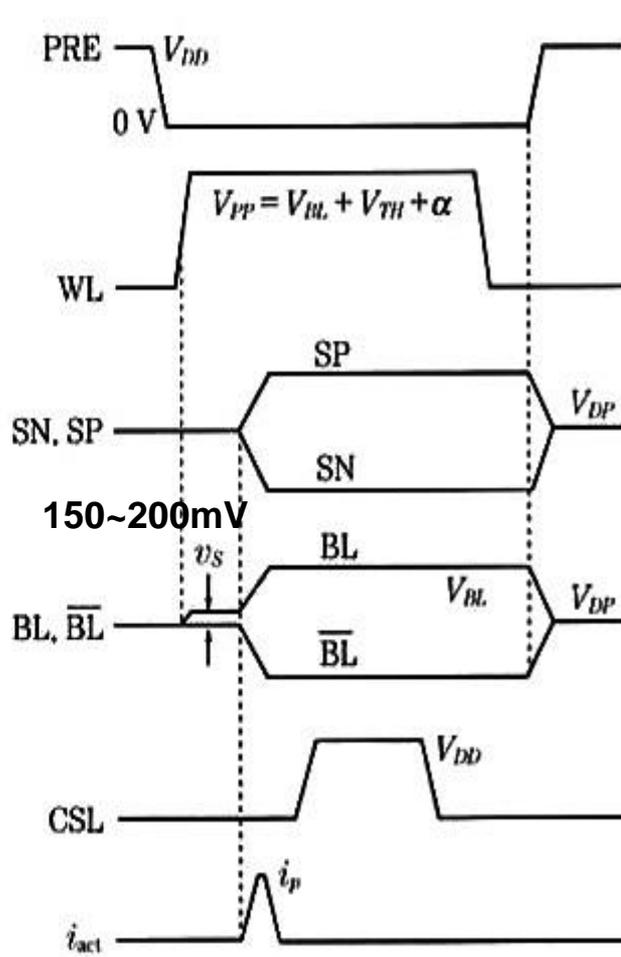
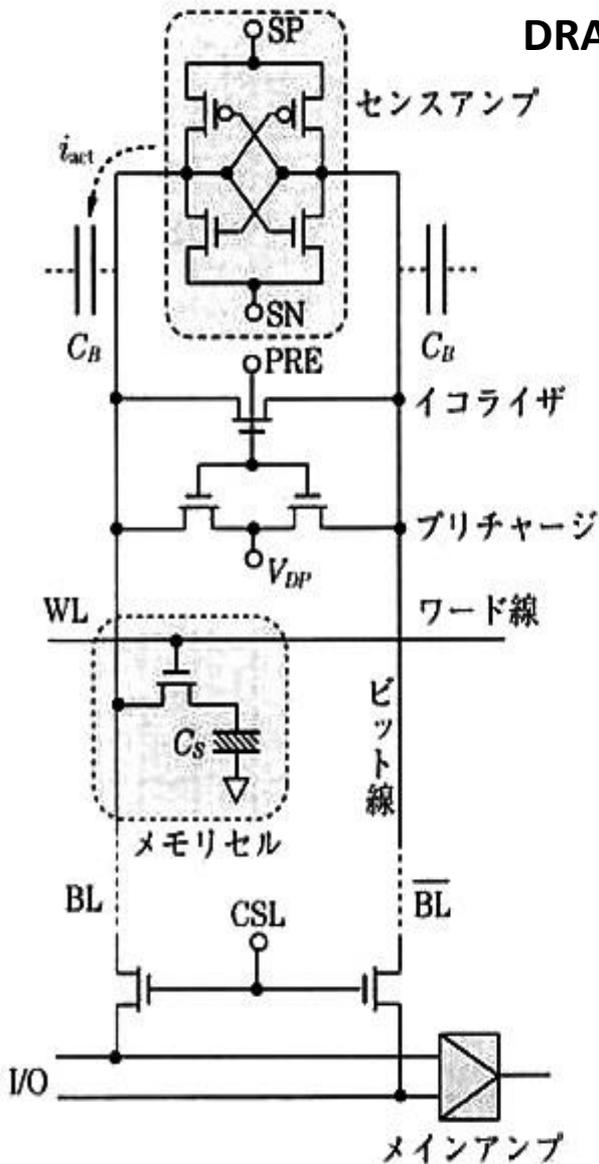
DRAM メモリセルアレイ(例)

1. DRAMの構造: 1コンデンサ(20fF)+1トランジスタ
コンデンサに貯めた電荷により情報を記憶。
電荷リークを補うためにリフレッシュ動作が必要。
2. DRAMの読み出し:
①ワードを選択→②電荷がデジット線に転送
→③差動増幅+再書き込み→④デジット線を選択
3. DRAMの書き込み
①ワードを選択→②電荷がデジット線に転送
→③差動増幅+再書き込み→④デジット線を選択
→⑤書き込み



DRAM回路動作の概要

DRAMセルへのWrite/Readは複雑なシーケンスで行われる



- ① PRE信号を V_{DD} とし、BL, \bar{BL} を同電位 V_{DP} でプリチャージ
通常 V_{DP} は $V_{DD}/2$
- ② 読出したいワード線WLを0Vから V_{PP} に上昇
 $V_{PP} = V_{BL} + V_{TH} + \alpha$
するとBLに C_S 電荷が C_B とで再配分され v_S 電位変化
- ③ センスアンプの電源印加 (SP, SN)して動作させる。
差動BLの電位差(v_S)を V_{BL} まで増幅
これが C_S に再充電される
- ④ セレクトCSLを開き、
メインアンプにより電源電圧 V_{DD} まで増幅

DRAMメモリセル構造：セル容量の位置

蓄積キャパシタ容量 C_S が大きくとれ、ビットライン容量を下げる配線構造

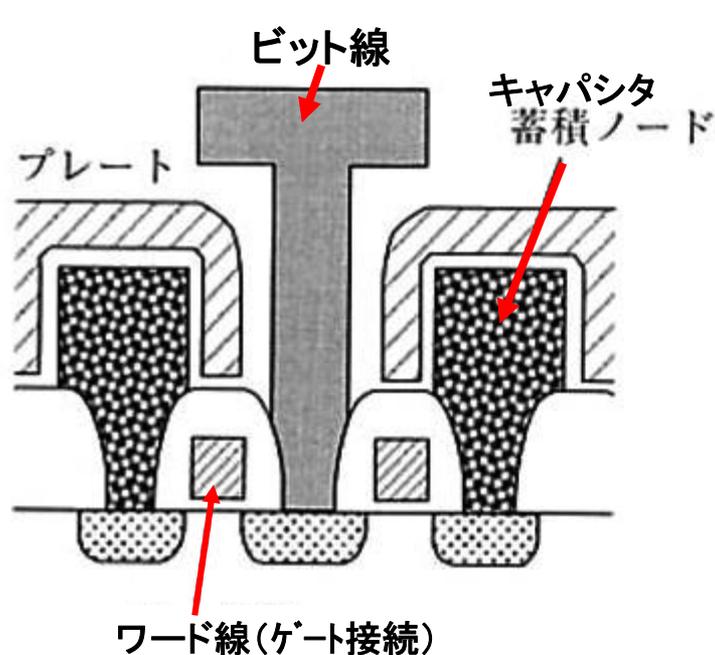
- ・キャパシタをビット線の下部に置くCUB(capacitor under bit-line)

ビット線の寄生容量 C_B を小さく出来、高速化に有利だが、キャパシタ面積 C_S とりにずらい。

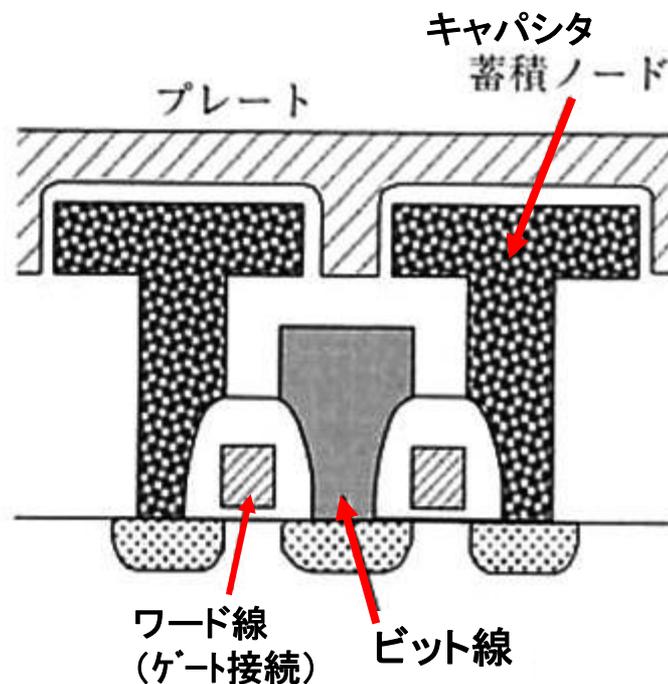
- ・キャパシタをビット線の上に置くCOB(capacitor over bit-line)

キャパシタ C_S 容量を大きくとれるが、ビット線容量 C_B も相対的大きくなり高速化不利。

汎用DRAMでは C_S 確保が重要でありCOBが主流。



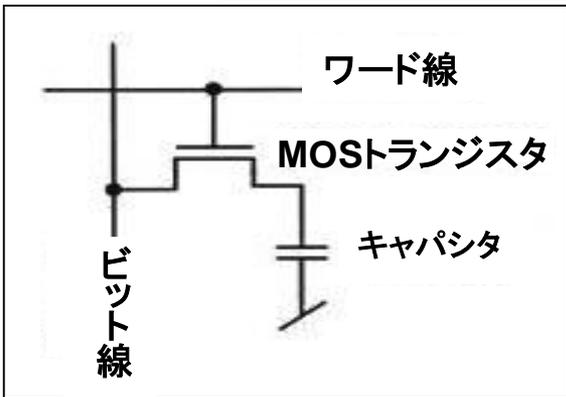
(a) CUB (ビット線下蓄積容量)



(b) COB (ビット線上蓄積容量)

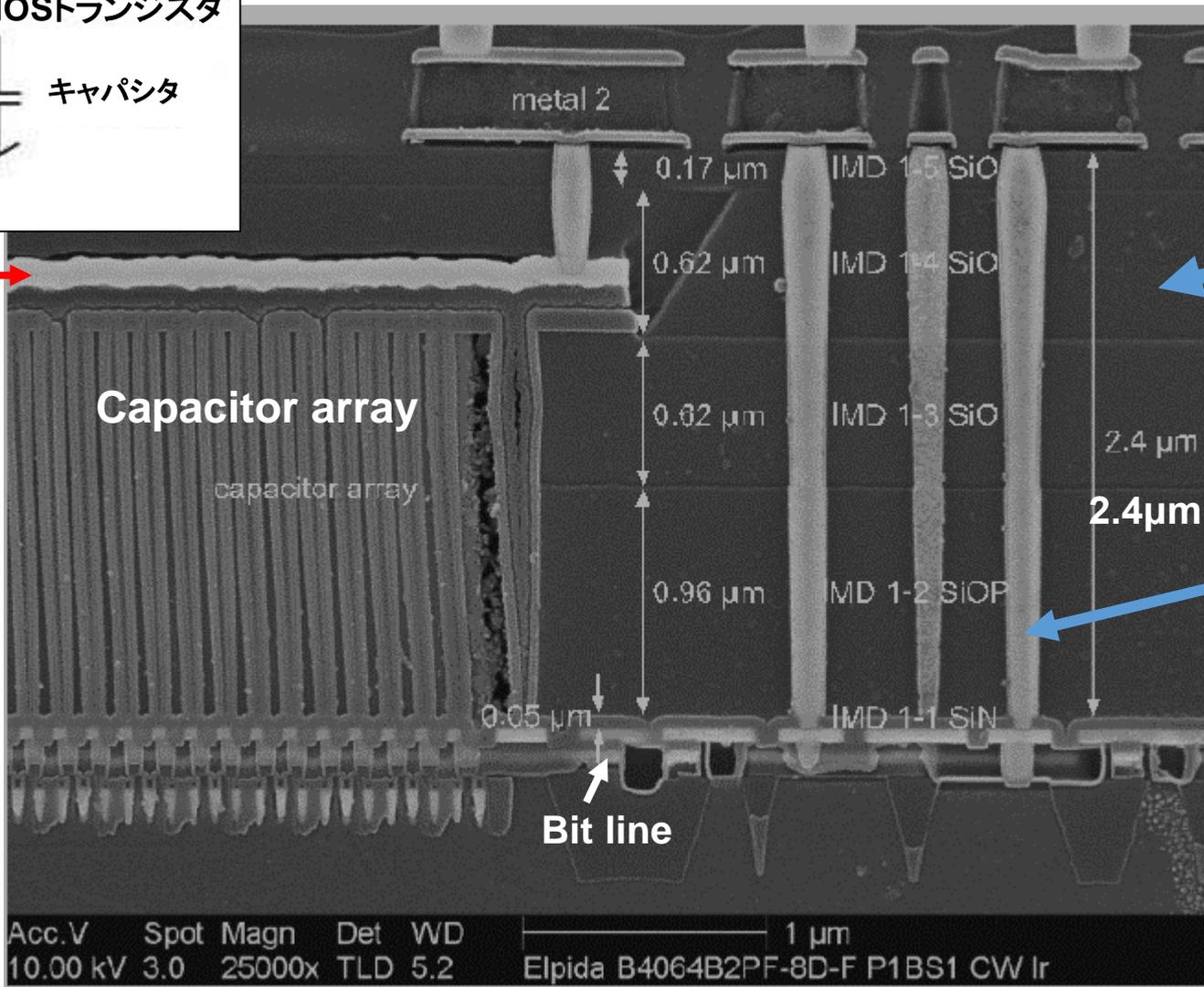
COB型DRAM

DDR2 SDRAM 4Gbit DRAM (ELPIDA) 46nmプロセス



キャパシタ
Topプレート

キャパシタ
アレイ
深さ: 1.7 μ m
直径: 110nm
アスペクト比:
約15



M2層(AI)

層間絶縁膜 (IMD)

Via

M1層(W)
MOSトランジスタ

Acc.V 10.00 kV Spot 3.0 Magn 25000x Det TLD WD 5.2

1 μ m

Elpida B4064B2PF-8D-F P1BS1 CW Ir

フラッシュメモリ

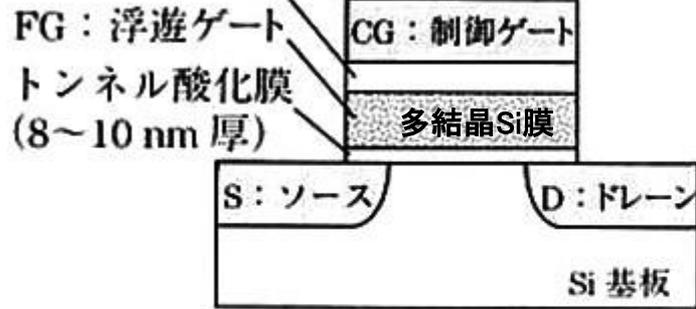
浮遊ゲート型(FG): 浮遊ゲートが導電性膜(現在のNAND)

電氣的に接続されていない多結晶Siゲートをトンネル酸化膜(SiO_2)を介して形成し、その上に多結晶Siの酸化膜(IPD:inter-poly dielectric)を介して制御ゲートを形成。トンネル酸化膜にリーク電流経路できると浮遊ゲートは導電性のため全ての電荷が失われる。

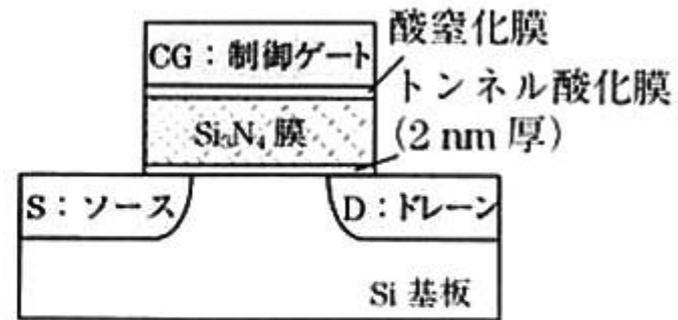
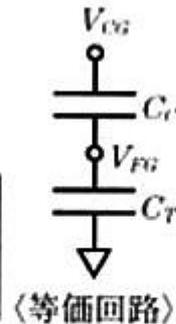
チャージトラップ型(CT): 浮遊ゲートが絶縁性膜(今後の微細化NAND候補)

浮遊ゲートが絶縁膜(Si_3N_4)で形成され、この膜中に空間的に分散して存在する捕獲準位(トラップレベル)に電荷が捕獲される。仮に一部リーク電流経路があってもその部分のみ電荷が失なわれるだけ。

制御ゲート酸化膜 (IPD)



(a) 浮遊ゲート (フローティングゲート) 型



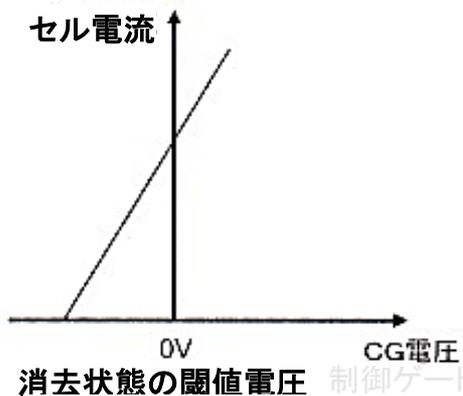
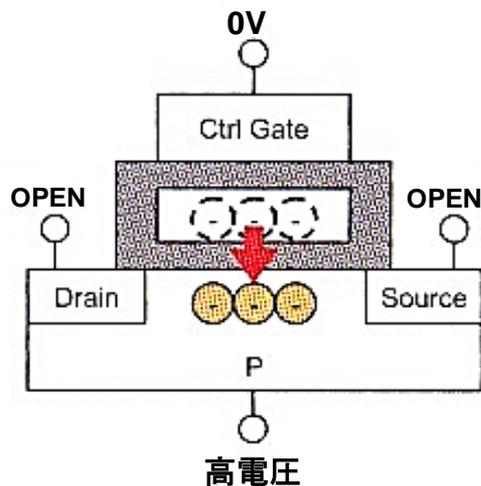
(b) 電荷捕獲 (チャージトラップ) 型 (MNOS/SONOS 構造)

電荷捕獲型でも一括消去できるものはフラッシュメモリと呼ばれる

NANDフラッシュ・メモリの動作概要

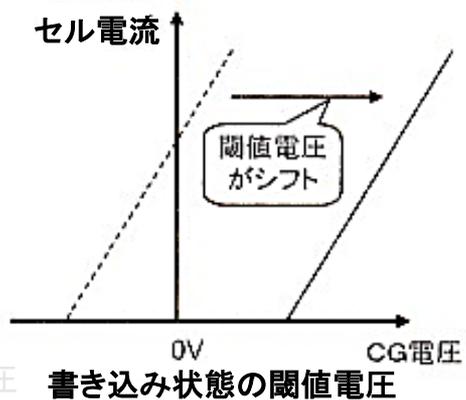
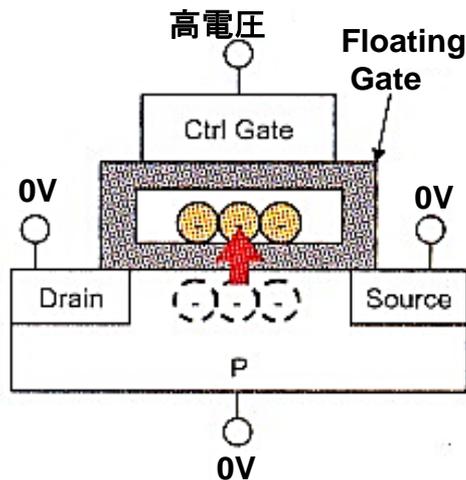
消去動作:

浮遊ゲートから電子を引き抜く。
制御ゲートに0V、Si基板に20V加え
F-Nトンネル効果でSi基板に電子
を引き抜く。この時、データは“1”



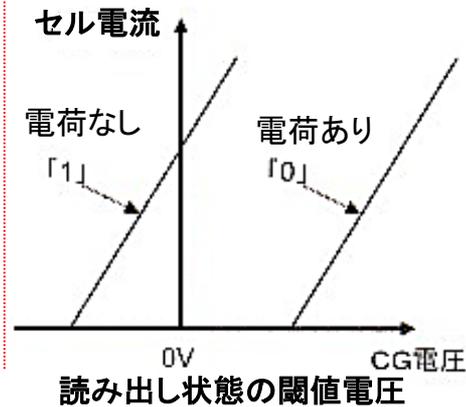
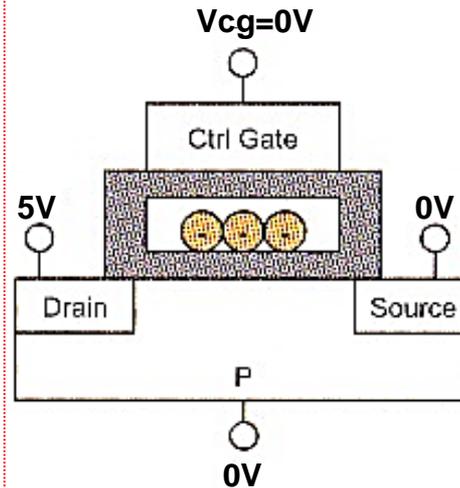
書き込み動作:

浮遊ゲートに電子を注入。
制御ゲートに20V印加、ソースと
ドレインおよび基板は0V。
F-Nトンネル効果で浮遊ゲートに
電子を注入。この時、データは“0”



読み出し動作:

制御ゲートとソース、Si基板を0V
ドレインに5V印加。
浮遊ゲートに電子ないとセル電流
流れて“1”が読み出される。
浮遊ゲートに電子あるとセル電流流れず“0”

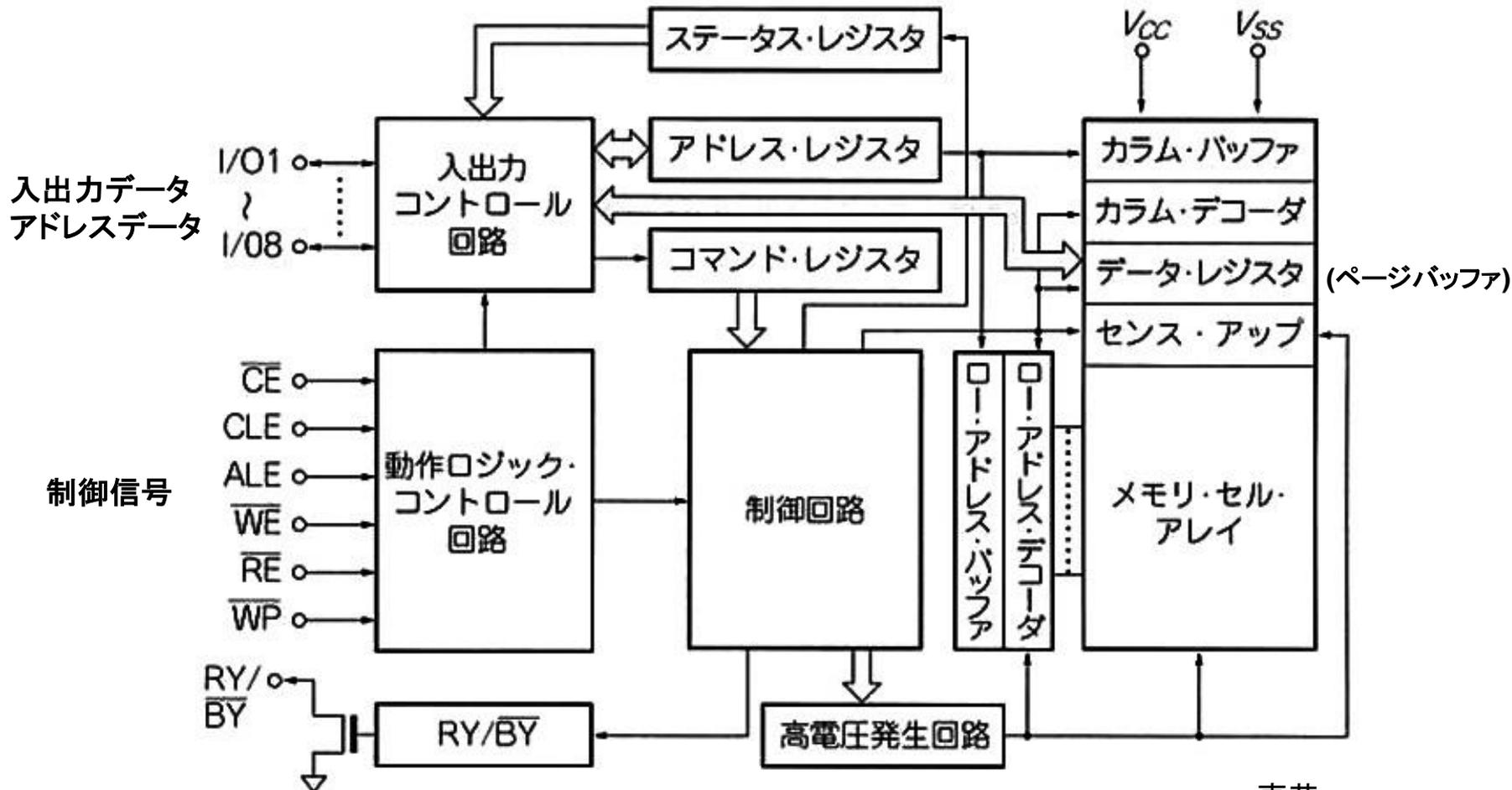


NANDフラッシュメモリの内部構成

NANDフラッシュの複雑な処理(書き込み、読出し、消去)は、全て内部コントローラが行う

NANDフラッシュでは、アドレス入力やコマンド入力、データ入出力はすべて8本のI/Oピンにて行う。
アドレス、コマンドの区別はALE, CLE信号で識別される。

入出力データはレジスタ(ページバッファ)との間で行われ、直接メモリセルとの間では行われない。



NANDフラッシュメモリのページとブロック

NANDフラッシュはメモリアレイとバッファで構成される

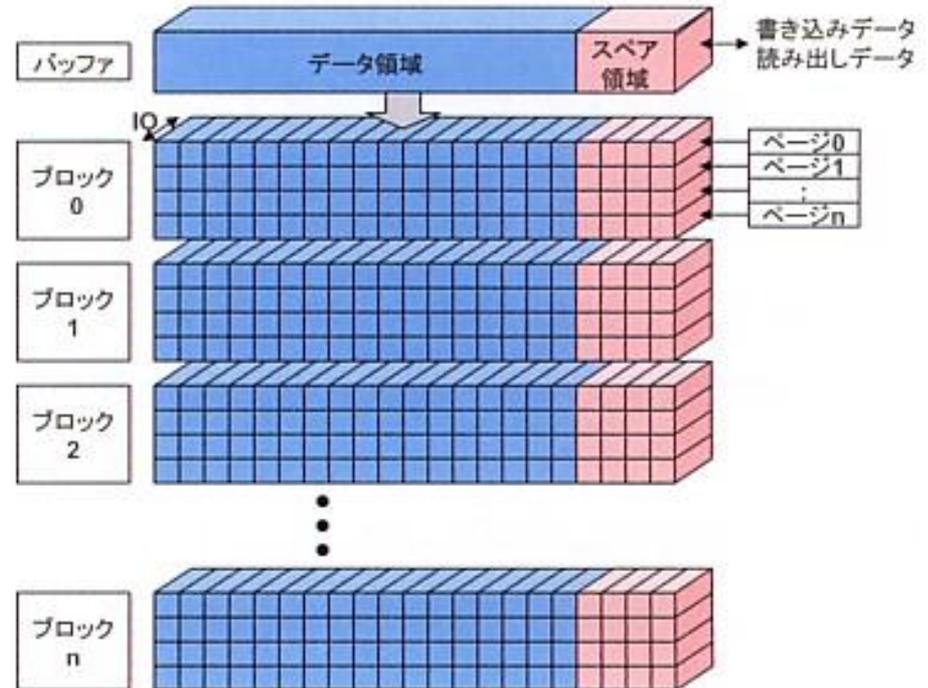
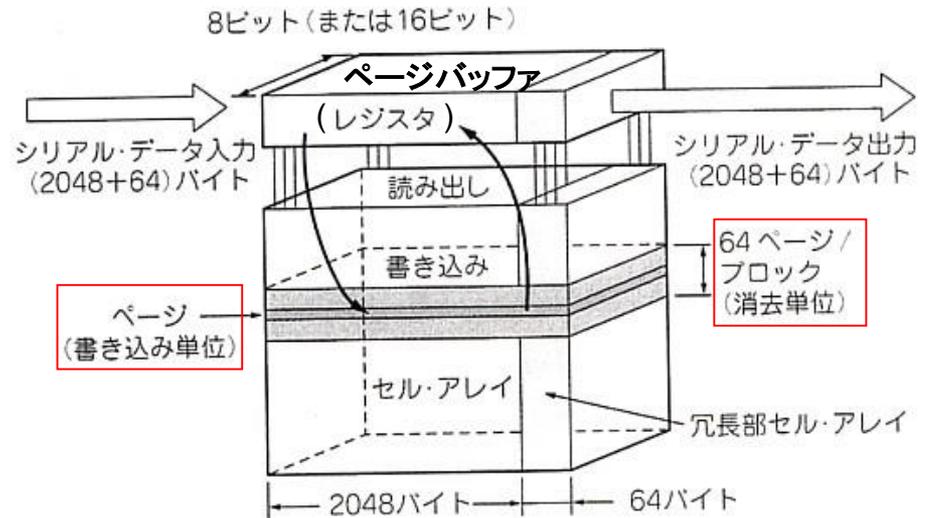
メモリアレイはページとブロックで構成
 ブロックは複数のページから構成
 ページはデータ領域とスペア領域
 (例: データ2048バイト、スペア64バイト)

スペア領域に 3.125 % 確保

- ・読出しや書き込みはページ単位
- ・消去はブロック単位
- ・スペア領域には不良ブロック情報やECCデータ格納
- ・バッファは書き込みや読出しの1ページ分のデータを一時格納

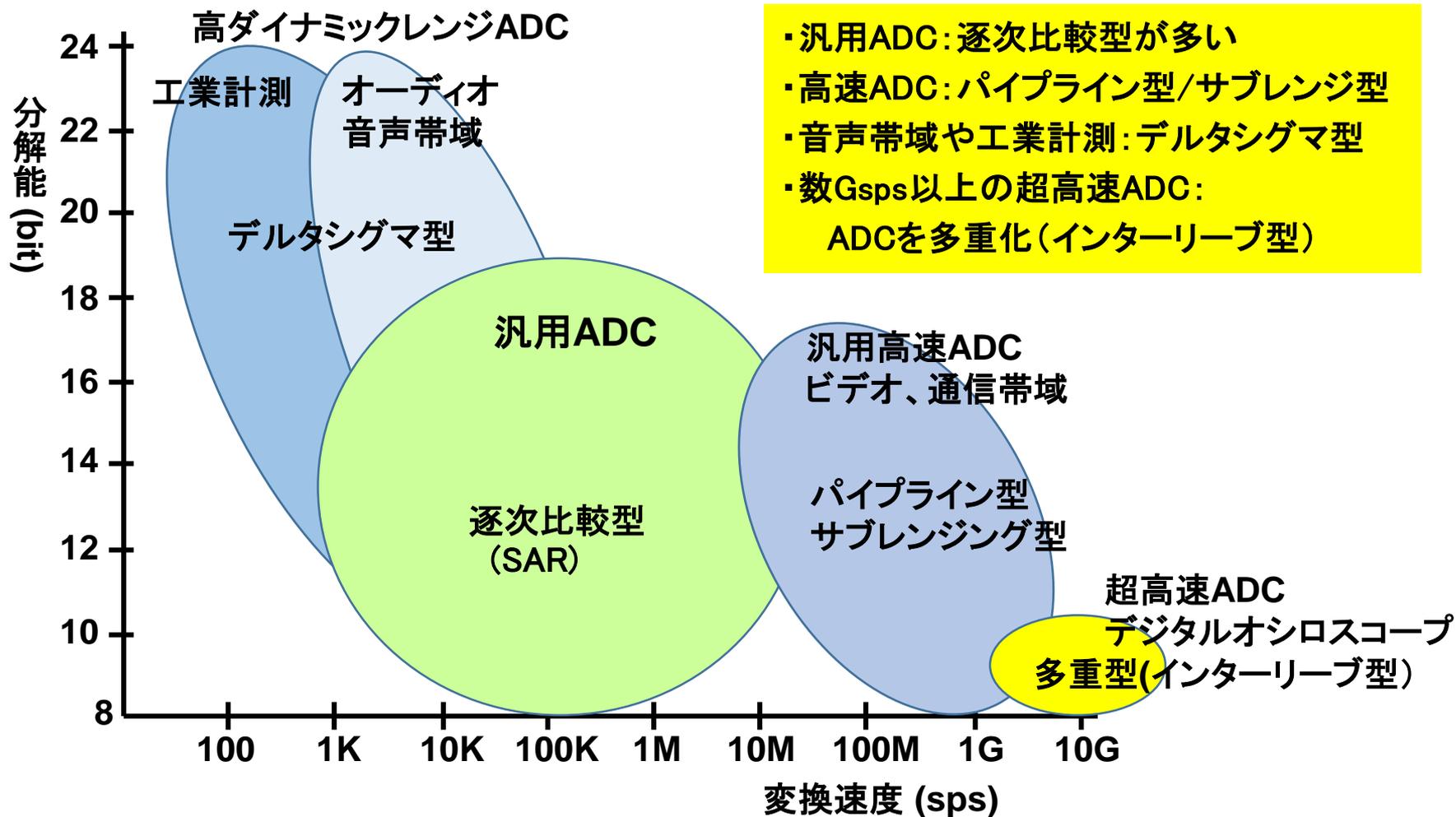
NANDは不良セルを許容するメモリ

スペア領域に、エラー情報が書き込まれる。
 スペア領域内のブロックステータスエリアに
 ブロックの不良情報が、ECCエリアにECC
 訂正符号が書込まれる。



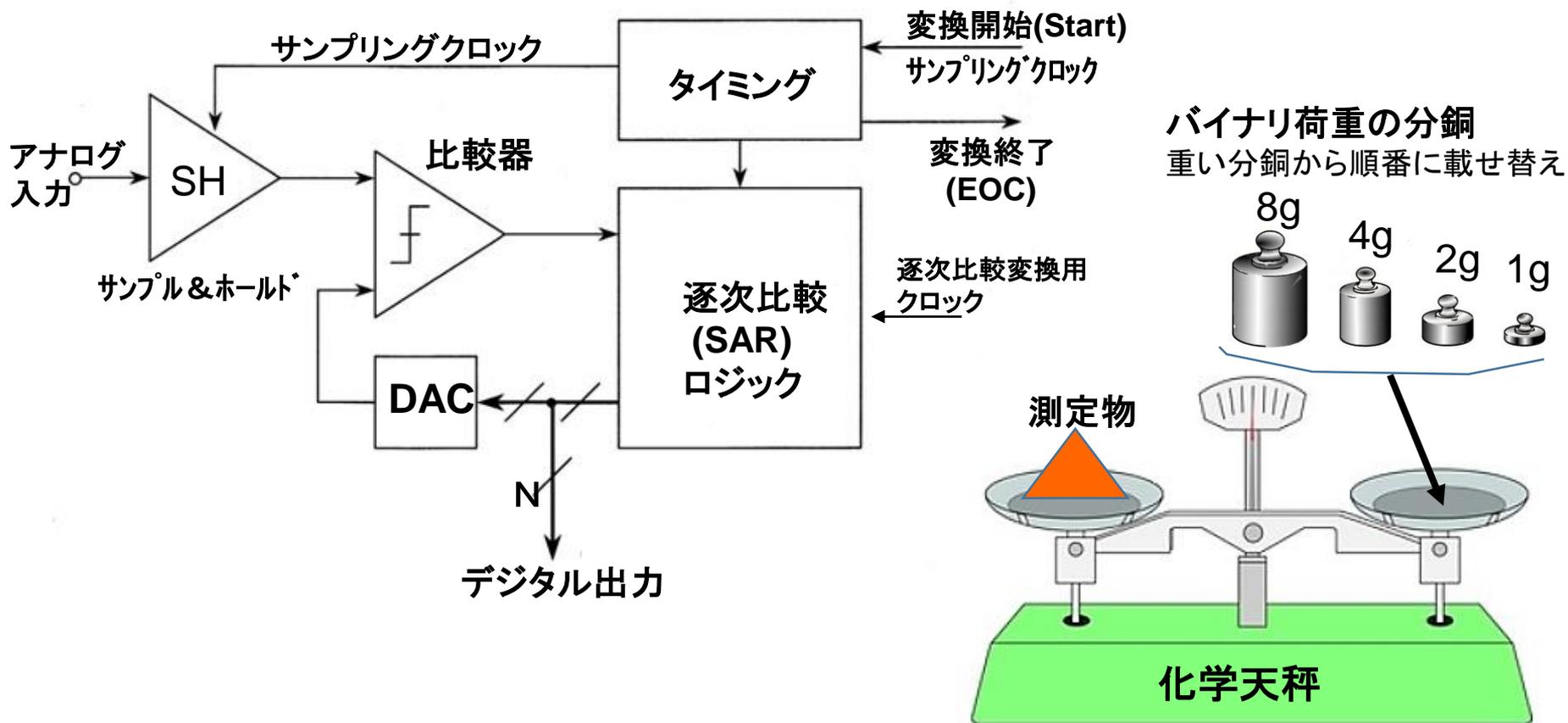
ADCの性能と変換方式

- ・分解能と変換速度により各種変換方式が使い分けられる
- ・最近のADCは、ほとんどがCMOSプロセス品。またデジタル演算による精度補償技術が多用。



逐次比較(逐次近似)型ADC Successive Approximation ADC

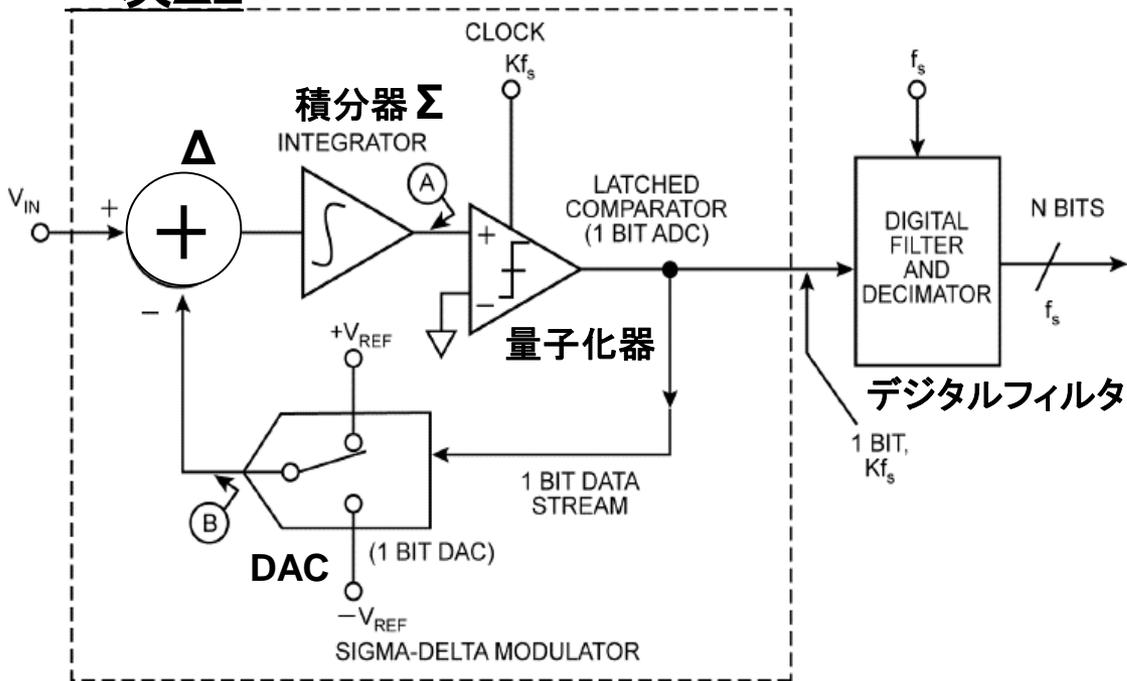
バイナリウェイト(分銅)を用いる化学天秤と同じ原理。バイナリ荷重を持つ分銅がDAC相当、測定物と分銅の重さを比べるのが比較器(コンパレータ)。分銅を乗せかえる動作が逐次比較ロジック。速度と精度のバランスが良く、必要チップエリアが小さく汎用ADCに最も多く使用される方式



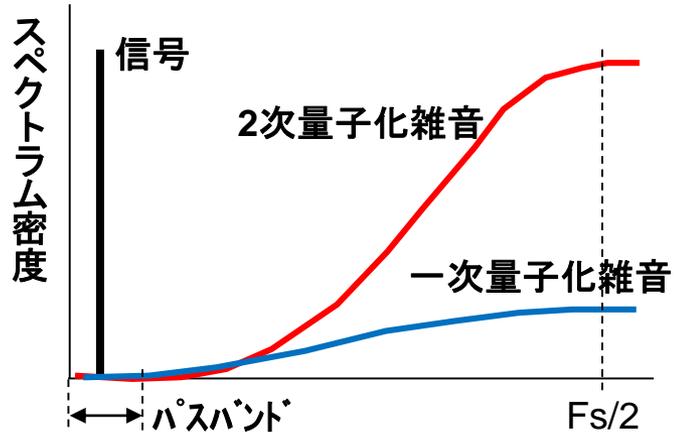
デルタシグマ(ΔΣ)型

keyはオーバーサンプリング、ノイズシェイピング、デジタルフィルタ

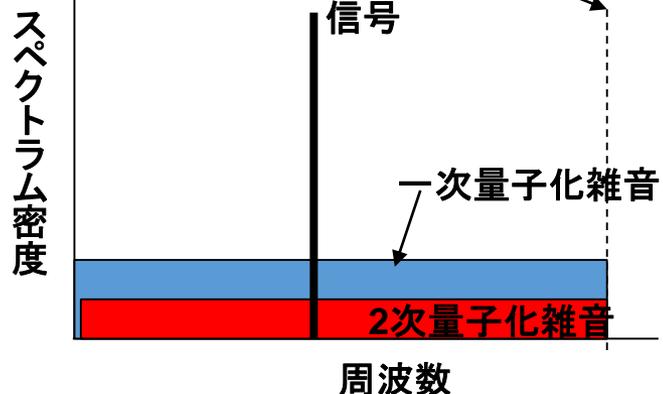
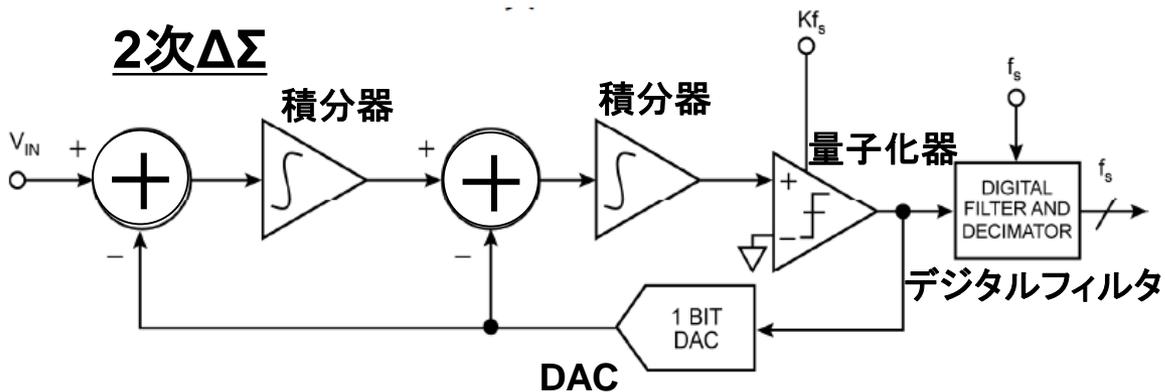
一次ΔΣ



デルタシグマ量子化雑音



2次ΔΣ

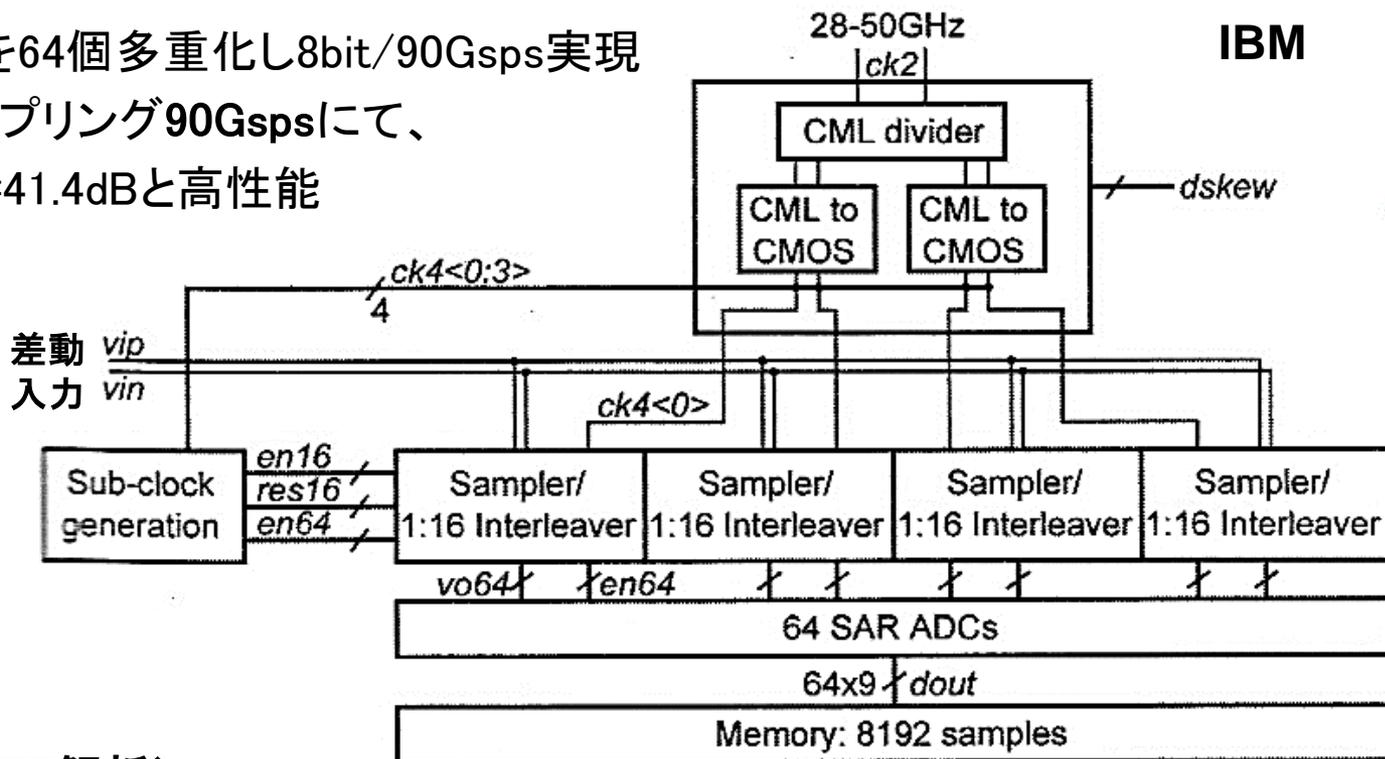


高次デルタシグマのほうが
帯域内(パスバンド)の
量子化雑音を低くできる

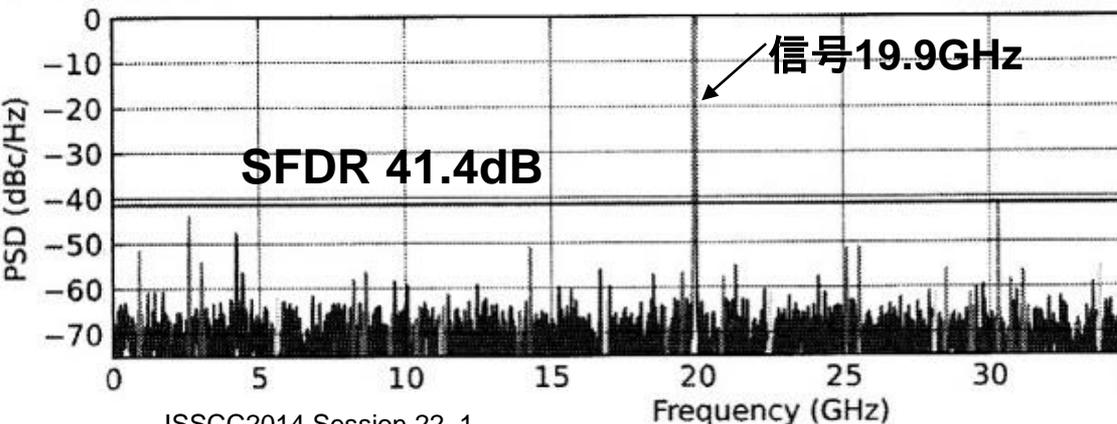
8bit/90Gbps CMOS ADC:64個のADCを多重化

IBM

- ・64個のSAR方式ADを64個多重化し8bit/90Gbps実現
- ・入力 f_{in} 19.9GHz, サンプルング90Gbpsにて、
SNDR=33dB, SFDR=41.4dBと高性能
- ・電源電圧: 1.2V
- ・消費電力: 667mW
- ・プロセス: 32nmSOI
- ・エリア: 470x960 μm



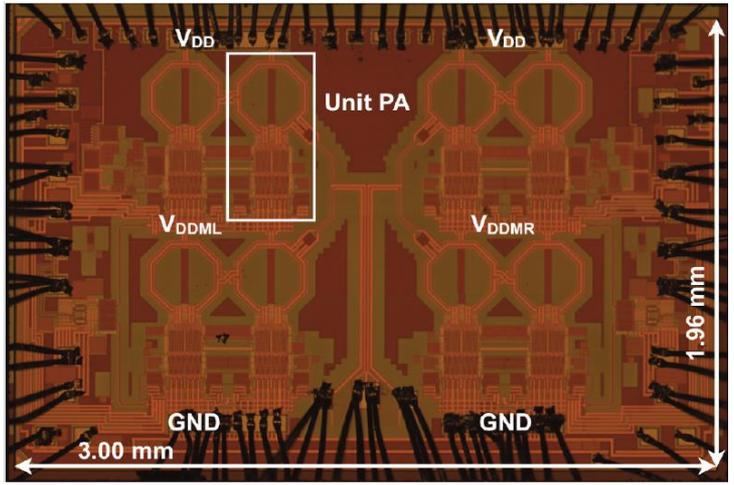
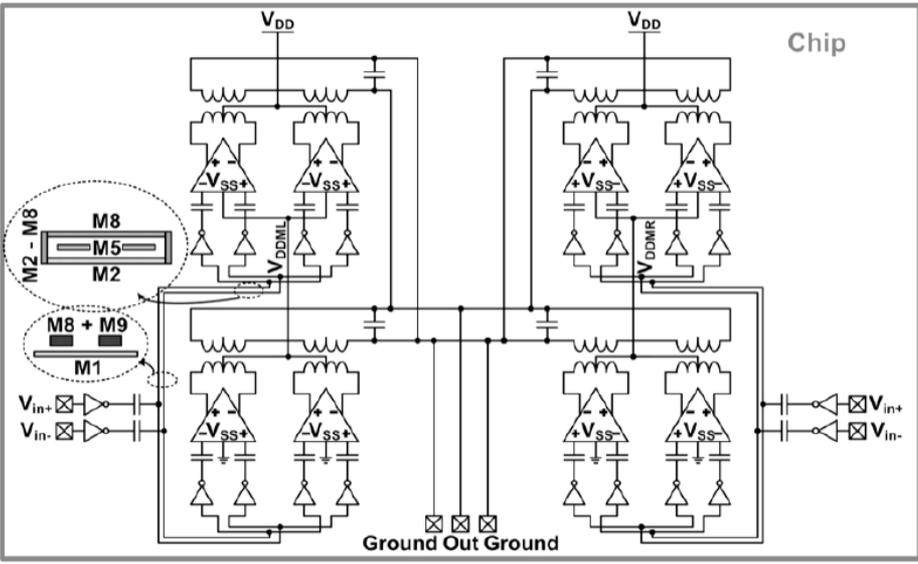
ダイナミック特性 (FFT解析)



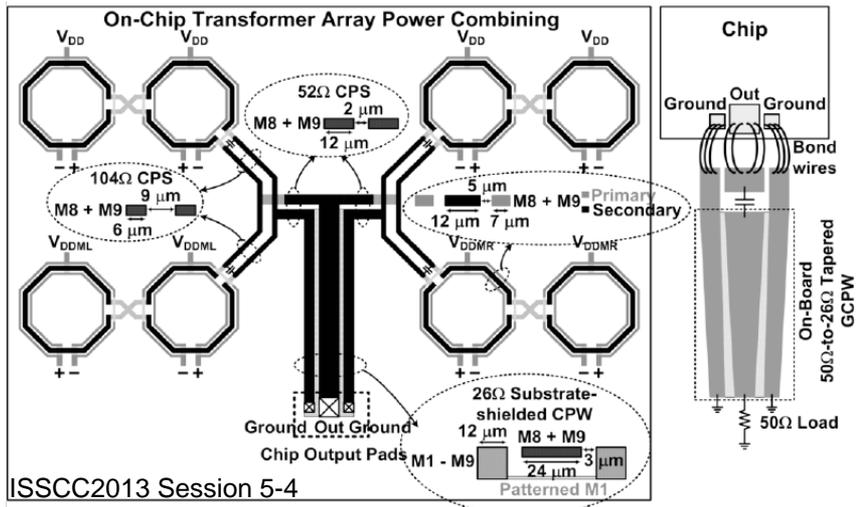
5.3GHz 高出力RF CMOSパワーアンプ

- ・65nmLogic CMOS(1P9M)で5.3GHz,帯域幅1.9GHz、RF出力**30.3dBm** (V_{dd}=6.35V)実現
- ・シリアル-パラレルトランス技術とスタックトランジスタ技術で実現

Stanford



オンチップトランスアレイ使用し電力合成



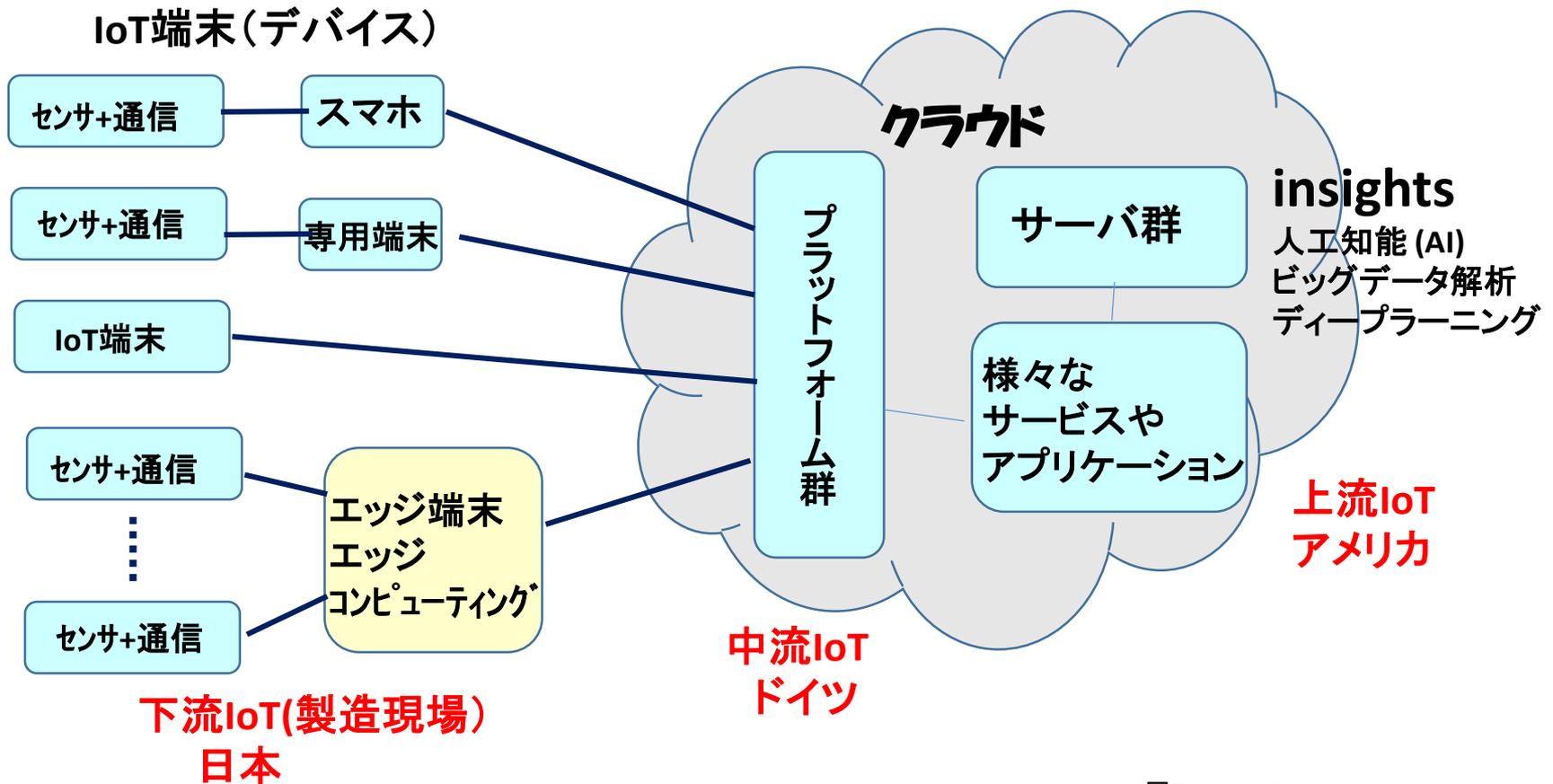
車載レーダとしてkeyとなるミリ波 (77GHz)レーダ回路もCMOS化。

最近のSoCアプリケーションを見る

IoT技術要素

IoTの要素技術:

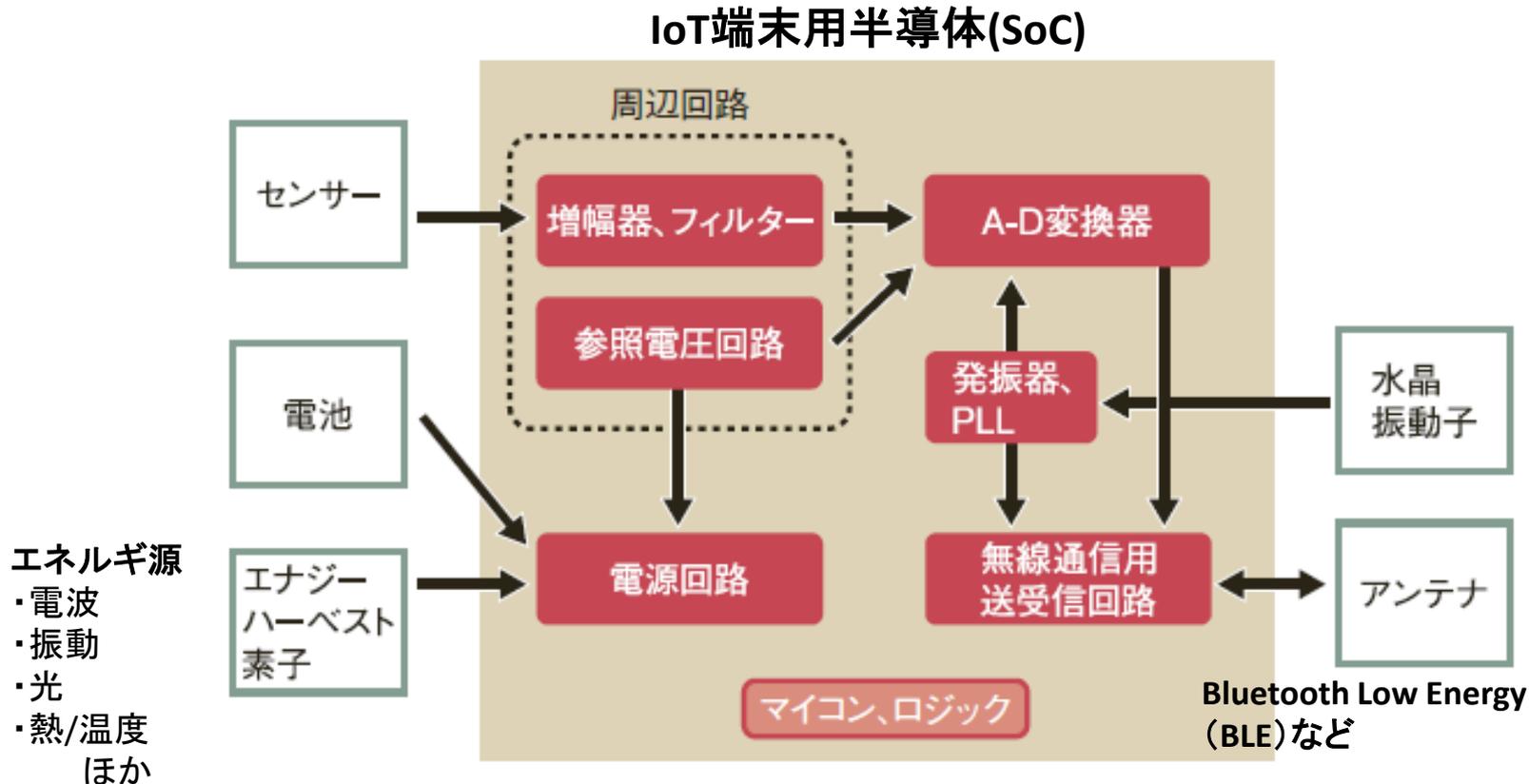
- ・IoT端末側: 多様なセンサ、低消費電力無線通信 & コンピュータ機能
- ・クラウド側: プラットフォーム、ビッグデータ解析コンピュータ機能、
様々なサービス & アプリケーション



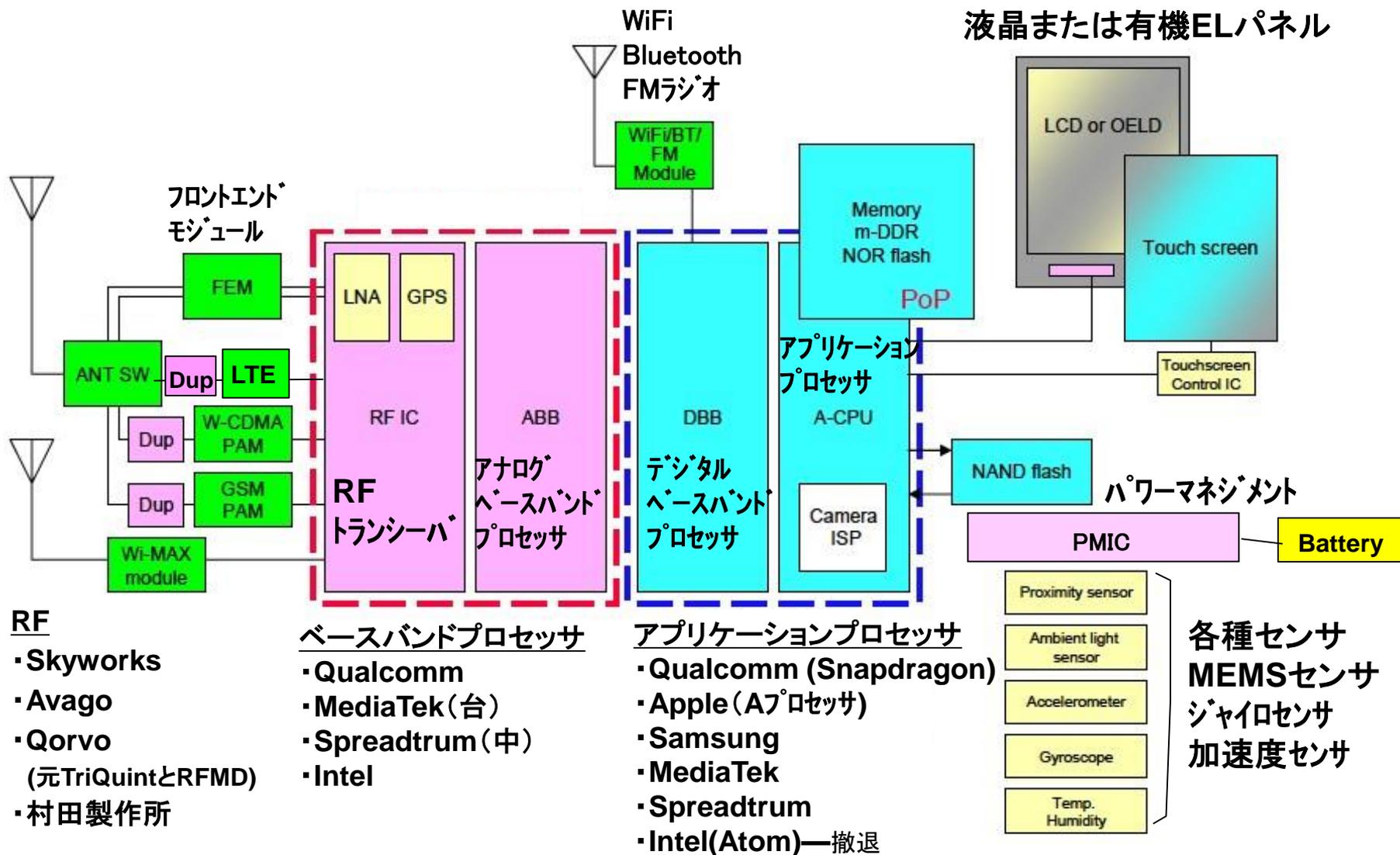
IoT端末用半導体

IoT端末用半導体SoC

- ・SoC(アナログ回路+マイコン+通信機能搭載)は、低消費電力/低価格が重要
- ・電源は電池、エネルギー(エナジー)ハーベスト。電池なしで振動、電波、光などを電源とする
- ・ボタン電池1個で1年以上の稼働が求められる



スマートフォンの構成



Samsung Galaxy Note 7

2016年8月発売

Galaxy Note 7は素晴らしい高性能端末、との評価だった

5.7インチ有機EL曲面スクリーン

防水防塵強化

USB-C充電ポート

虹彩認証

大容量バッテリー

カメラ撮影性能の向上

表面強化ガラスCorning「Gorilla Glass 5」

S Penの新機能と性能向上

microSDカードスロット

など

しかし、バッテリー爆発多発で250万台全量リコールし生産販売停止へ。損害は数千億円規模

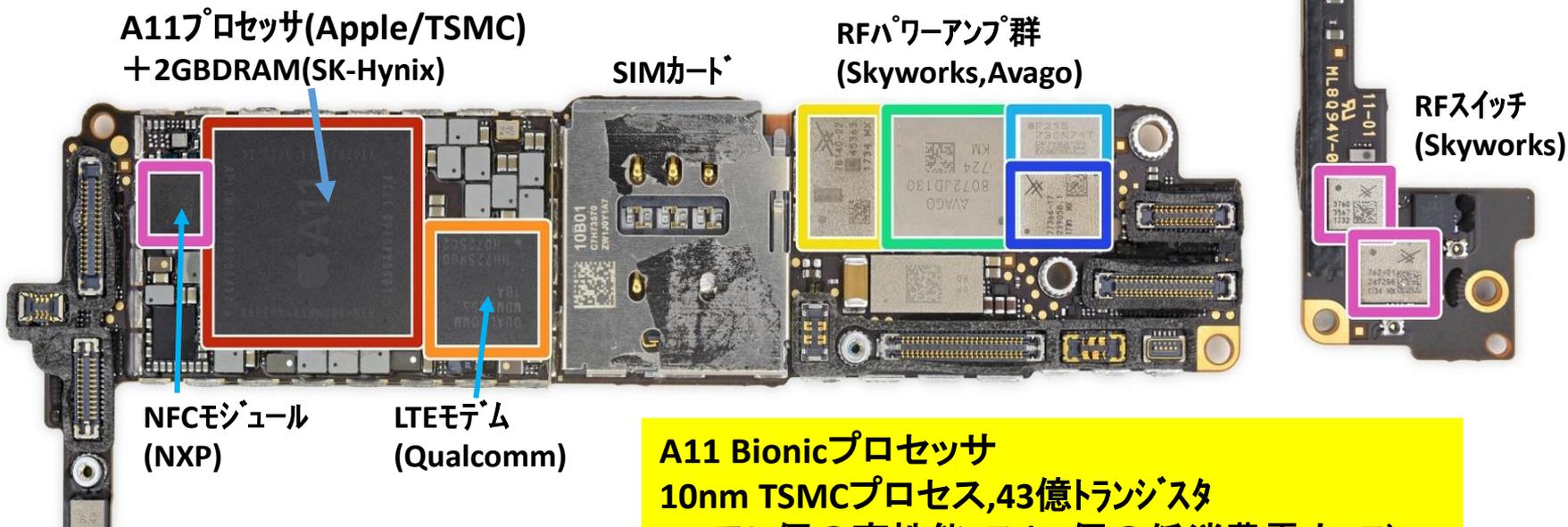
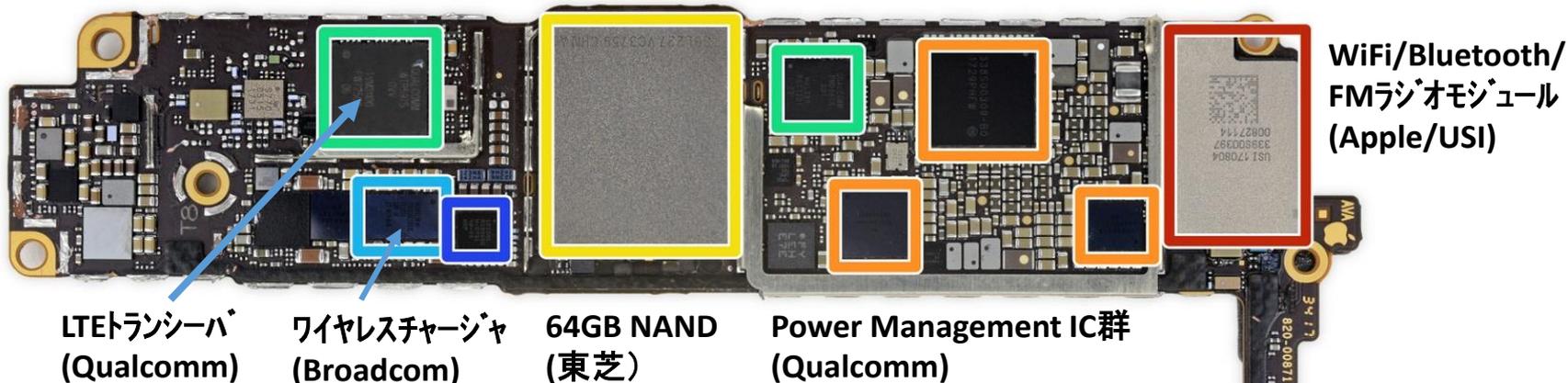


問題の小型化した大容量リチウムイオンバッテリー

iPhone8回路基板

2017.9.22

日本製半導体はNANDとイメージセンサ程度だが、超小型部品(コネクタやチップ部品)は日本製が多い



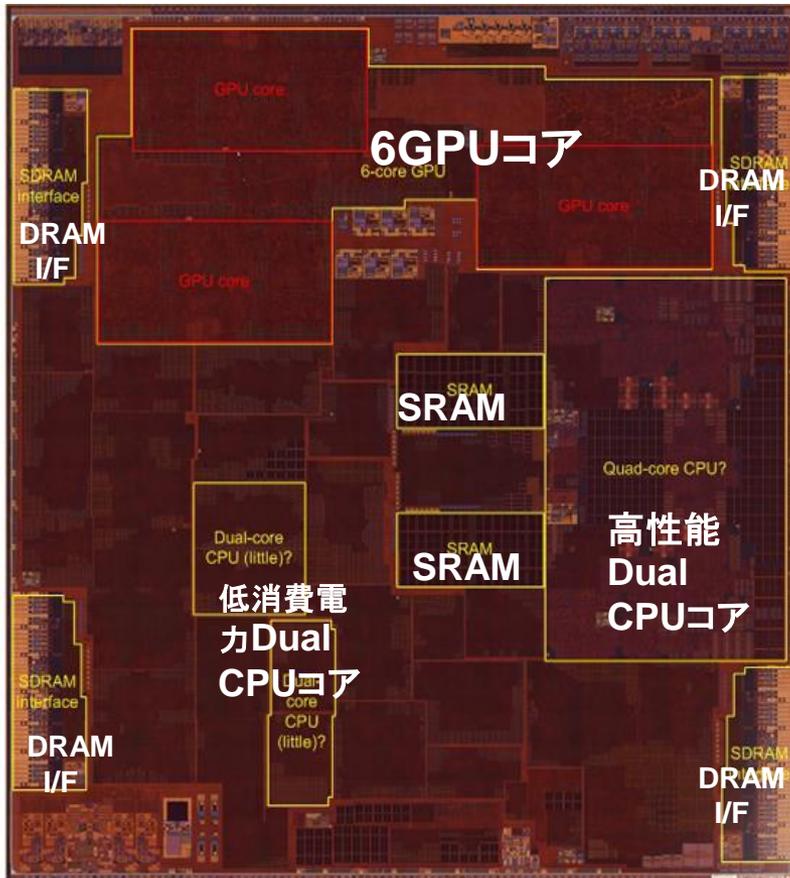
A11 Bionicプロセッサ
10nm TSMCプロセス,43億トランジスタ
6コア(2個の高性能コア+6個の低消費電力コア)

A10 FusionおよびA11Bionicプロセッサ

A10 Fusionプロセッサ

iPhone7

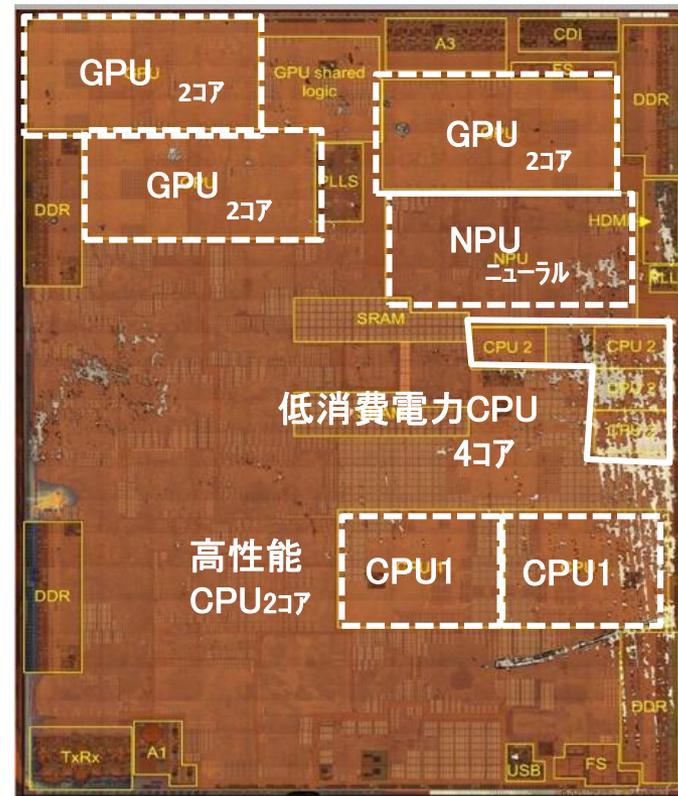
- ・16nmFinFET,TSMCプロセス
- ・ダイサイズ: 125mm² 約11.2 x 11.2mm
- ・33億トランジスタ
- ・4コアCPU(高性能2コア+低消費電力2コア)
- ・6コアGPU



A11 Bionicプロセッサ

iPhone8

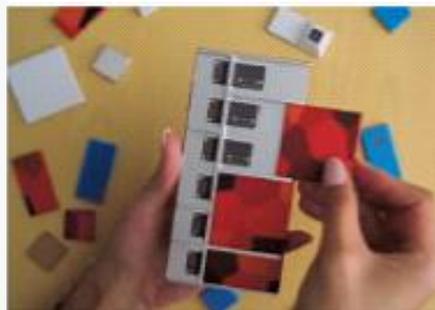
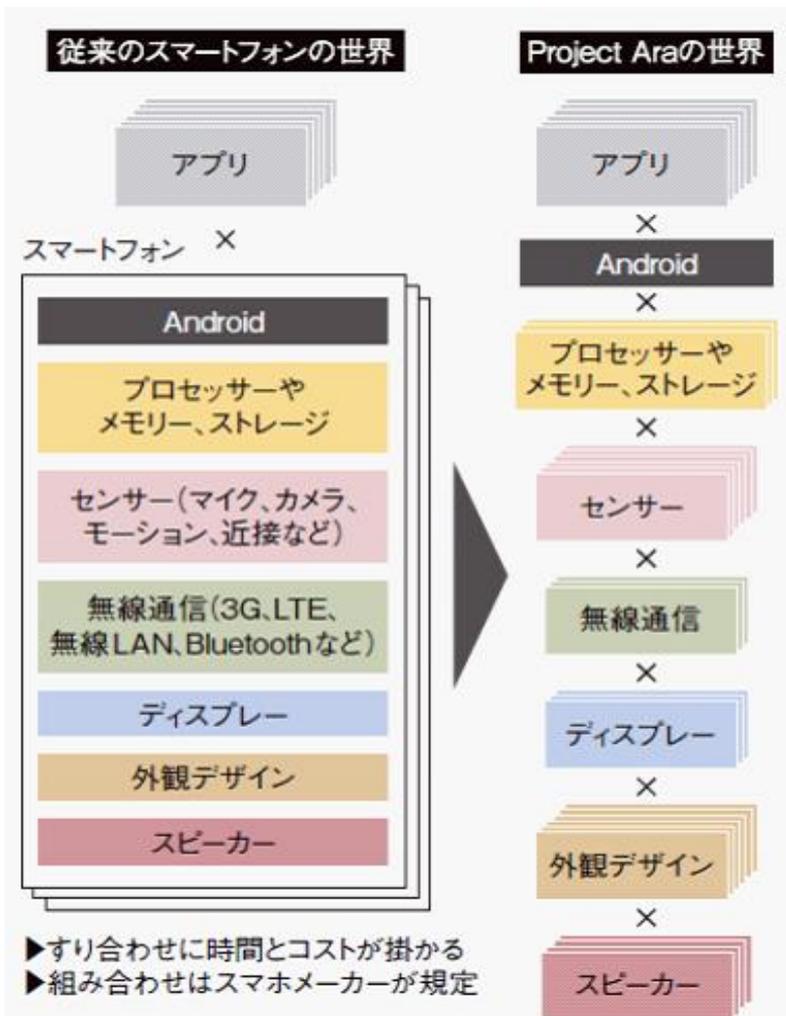
- ・10nmFinFET TSMCプロセス
- ・ダイサイズ: 約88 mm²
- ・43億トランジスタ
- ・6コアCPU(高性能2コア+低消費電力4コア)
- ・6コアGPU
- ・ニューラルプロセッサ



LEGOスマホ: Google Project Ara

あたかもLEGO(レゴ)ブロックのように部品を組み替えて、所望のスマホを実現

Googleは2016年9月プロジェクト中断、メンバはFacebookに移り継続模様



2016年5月発表によると、ディスプレイ・プロセッサ・RAMは交換不可能とした

専用端末に最適

- ・ゲーム機
- ・ヘルスケア端末
- ・店舗管理用端末
- ・運送業務用端末
- ・危険検知端末
- ・HEMSコントローラなど

デリバリ時期: 1年以上の遅れ
当初2015年1月予定が
2016年4Qに開発者向け
2017年一般販売としたが
結局中止

メガネ型ウェアラブル端末: Google Glass

リチウムポリマー電池「2.1Wh」(約570mAh)

↓
Liイオン
2次電池

筐体

一般用としてはプラバシー問題などで挫折しかが、IoT/産業用として注目

フレーム

ディスプレイ
解像度は640×360ピクセル

LCOS

タッチセンサー

InvenSenseの9軸センサー
(3軸加速度センサー
+3軸ジャイロセンサー
+3軸デジタルコンパス)
「MPU-9150」

メイン基板

接続用の基板

- ・Texas Instruments製
プロセッサ「OMAP4430」、
- ・SanDiskのフラッシュメモリ
- ・エルピーダメモリのDRAM



ヘッドマウントディスプレイHMD:PlayStation VR

2016.10

注目のVR,ARディスプレイ端末

内部は複雑な構造

- ・有機ELディスプレイ
1920 x 1080画素
- ・視野角 100度
- ・リフレッシュ 120Hz
- ・6軸ジャリロセンサ搭載
- ・重量610g



スマートウォッチ

Apple Watch 2015.4

電子回路をモジュール化

各種センサ搭載

ワイヤレス充電



加速度センサ
心拍センサ
赤外線/白色
LED
GPS

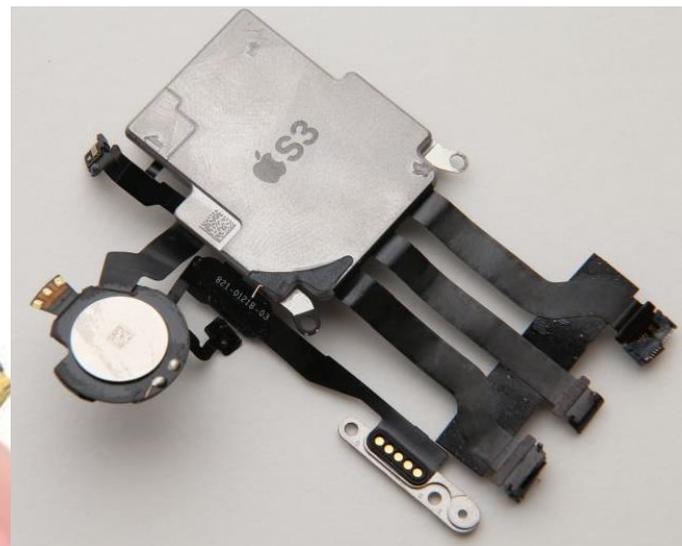


Apple Watch Series3 2017.9

サイズや外観は既存のApple Watchとほぼ同じだが、スマホ使用の**高速通信技術LTEを内蔵**。スマホ介さず直接通信可能。プロセッサも性能向上



内部は非常に複雑

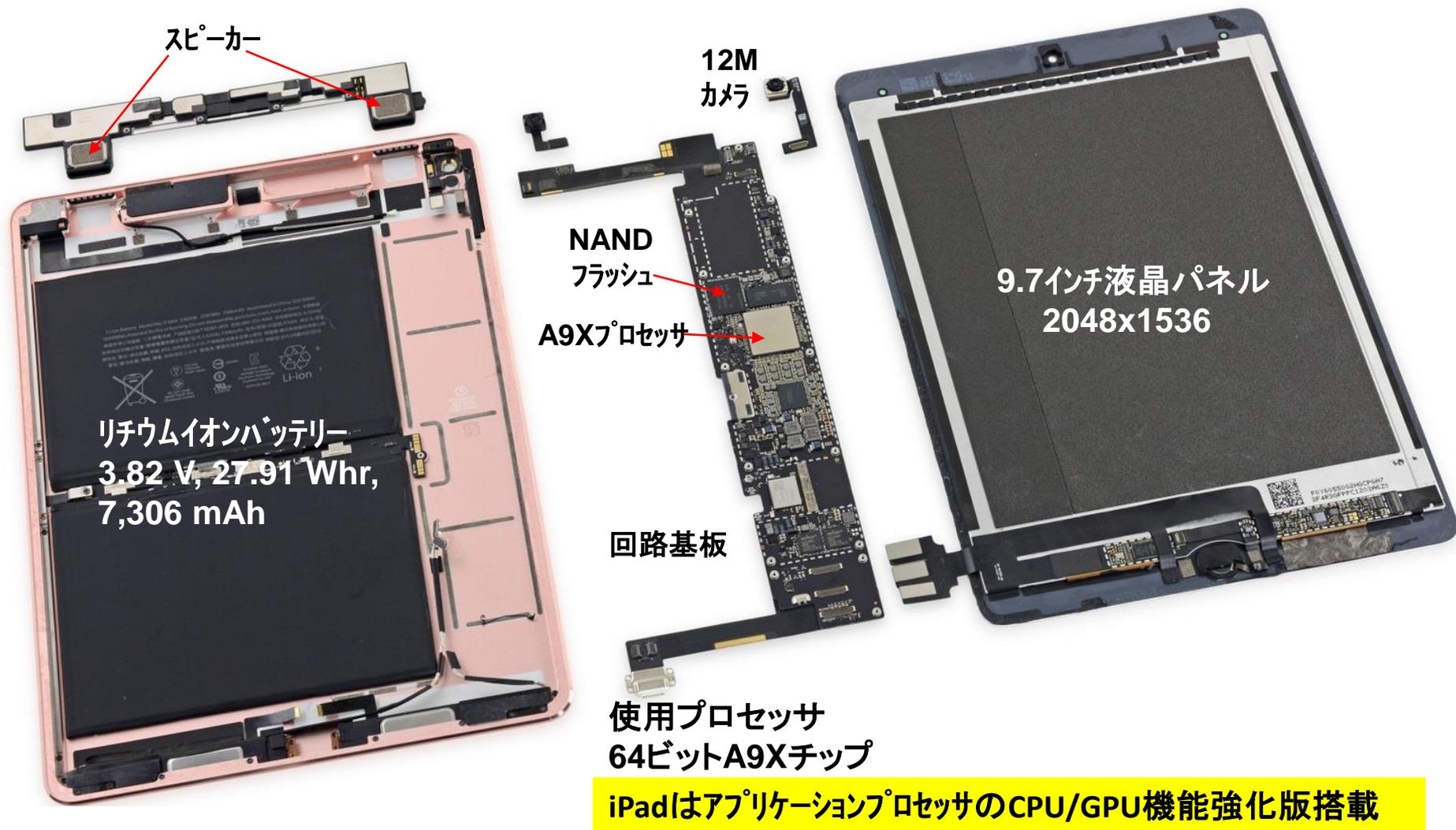


分解写真iFixit

タブレット Apple iPad Pro 9.7

2016.3.31

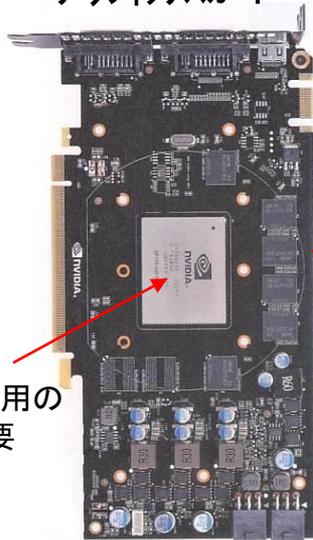
タブレットの電子回路や使用部品は、ほぼスマホと同じ



デスクトップ・パソコン

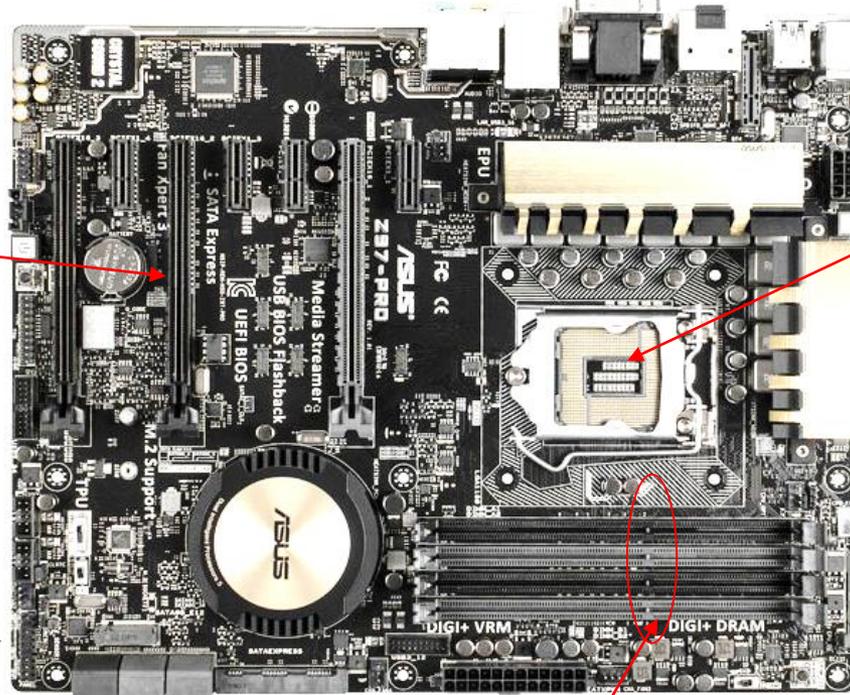
テレビと同様にパソコン製造するのに高い技術は不要。部品をつなげるだけ。
マザーボードの詳細設計データはIntelから提供。台湾企業の製造が多い

グラフィックスカード



グラフィックス LSIにも専用のファンが必要

マザーボード(これは台湾が製造)



マイクロプロセッサ(MPU)



消費電力130Wのマイクロプロセッサを冷却するヒートシンク



電源ユニット(~1KW)



ハードディスク(HDD)



DIMM (DRAMモジュール)

ノートパソコン: Apple Retina MacBook 2016

2016.4

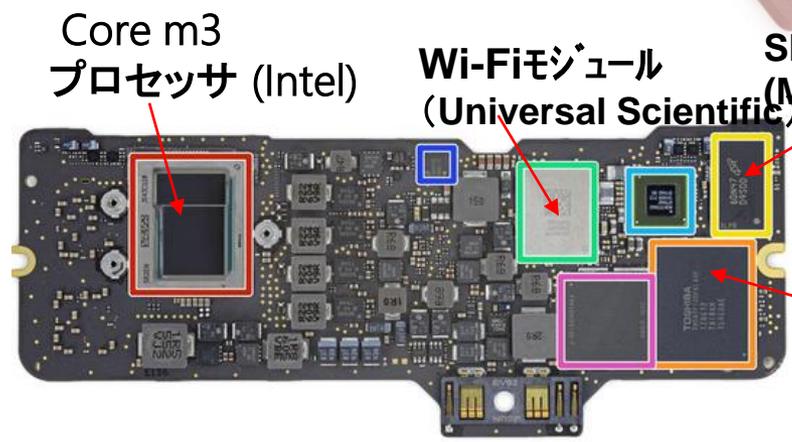
Appleの製品は内部も極めて美しい。
見えない所にも手をぬかない。
Jobsのこだわりが今でも息づいている



回路基板

7.56 V, 41.41 Wh
リチウムイオンバッテリー

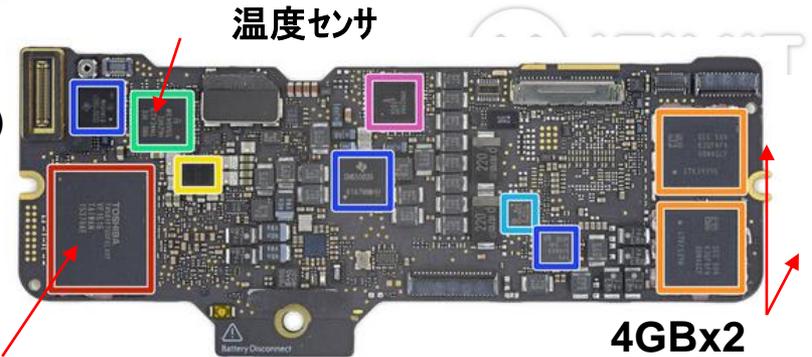
12インチ2304 ×
1440 (226 ppi) IPS
Retinaディスプレイ



Core m3
プロセッサ (Intel)

Wi-Fiモジュール
(Universal Scientific)

SDRAM
(Micron)



温度センサ

128GBx2
NAND(東芝)

4GBx2
DRAM
(Samsung)

パソコン Apple MacPro

残念ながら円筒型
Mac Proは終了



驚きの円柱形デザイン、しかし冷却構造として理想的。上部に大きなファンがあり下部から空気を取り込む。円柱形の本体は、アルミ材をくり抜いている。すごいコストをかけている。美しいの一言・・・Jobs流

本体



大型ファン

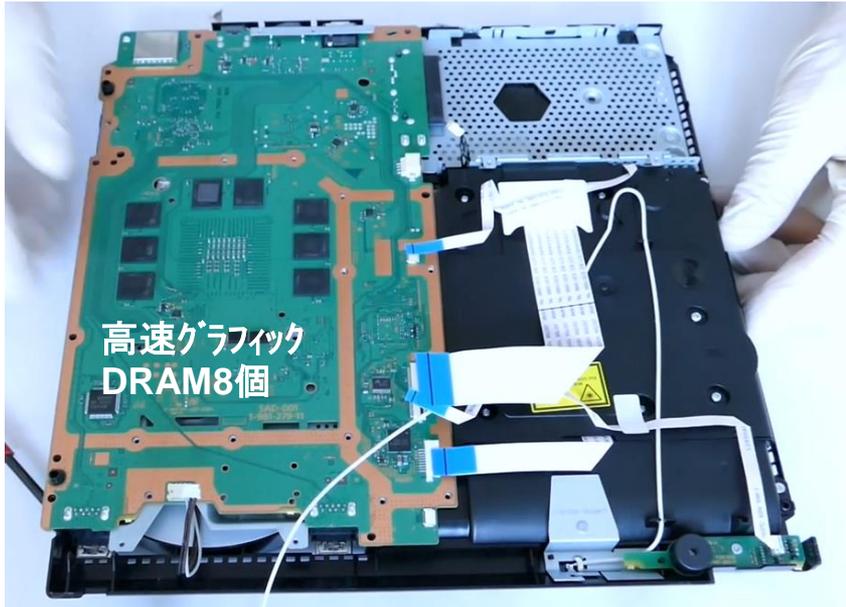
風の流れ

3枚の垂直基板

2013年12月

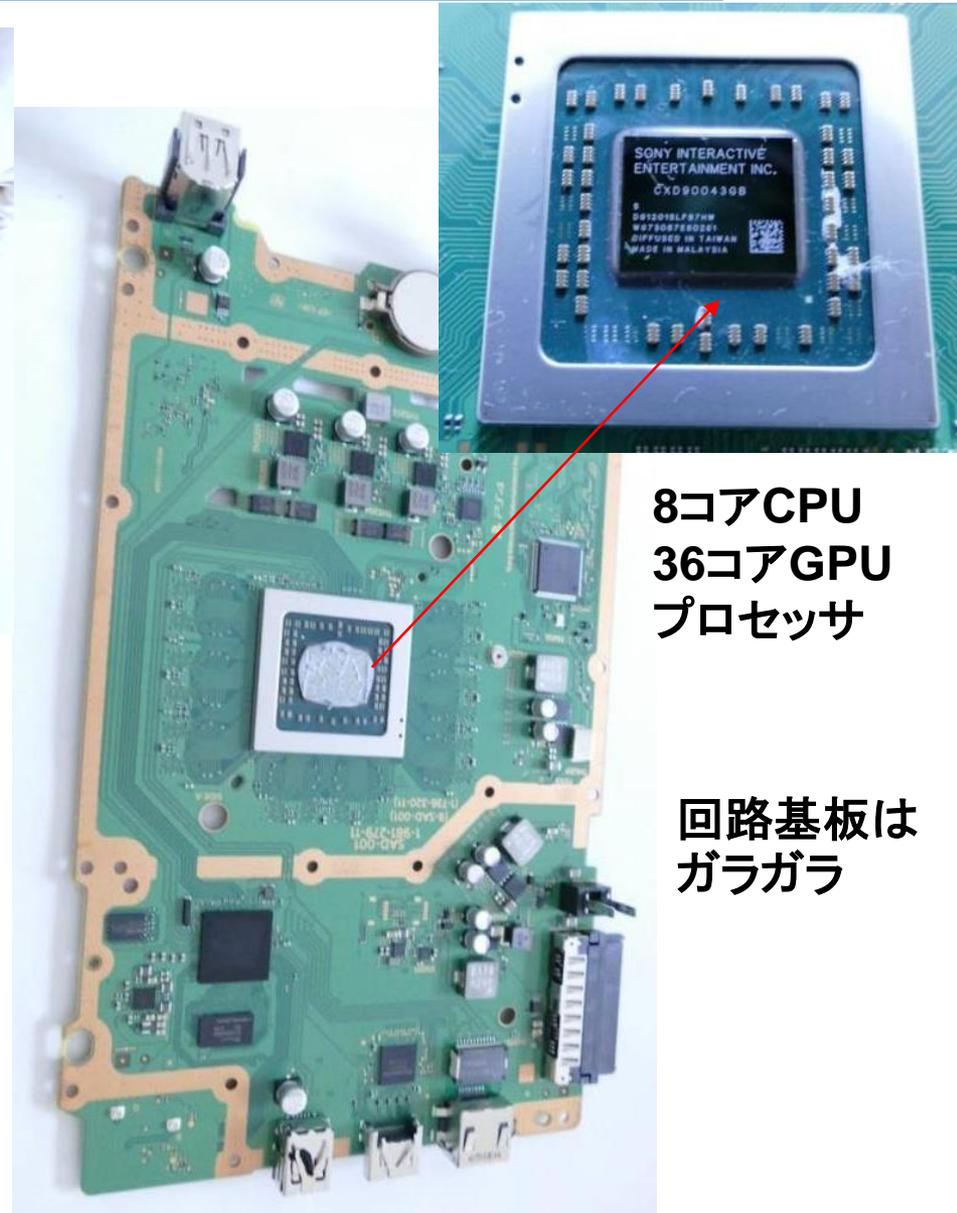
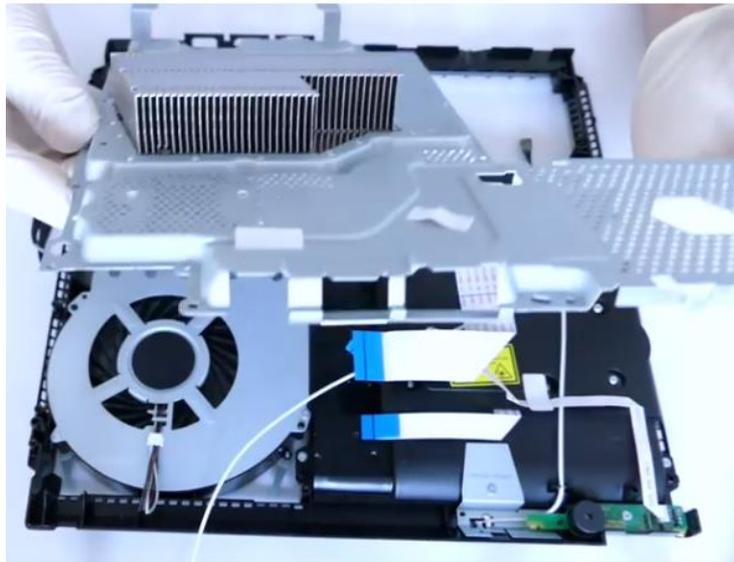
家庭用ゲーム機: PS4 Slim

2016年9月15日発売
29,980円(500GB)



高速グラフィック
DRAM8個

強力な冷却構造



8コアCPU
36コアGPU
プロセッサ

回路基板は
ガラガラ

Nintendo Switch

任天堂ゲーム機DNAを受け継ぎ、先端技術を追わず。
ただし内部作りは興味深い

販売価格4万円に対し、
製造原価約257米ドル



本体

左右にジョイコン2個
ジョイコンと本体は
Bluetoothで通信



強力な冷却機構
(ヒートパイプ+ファン)

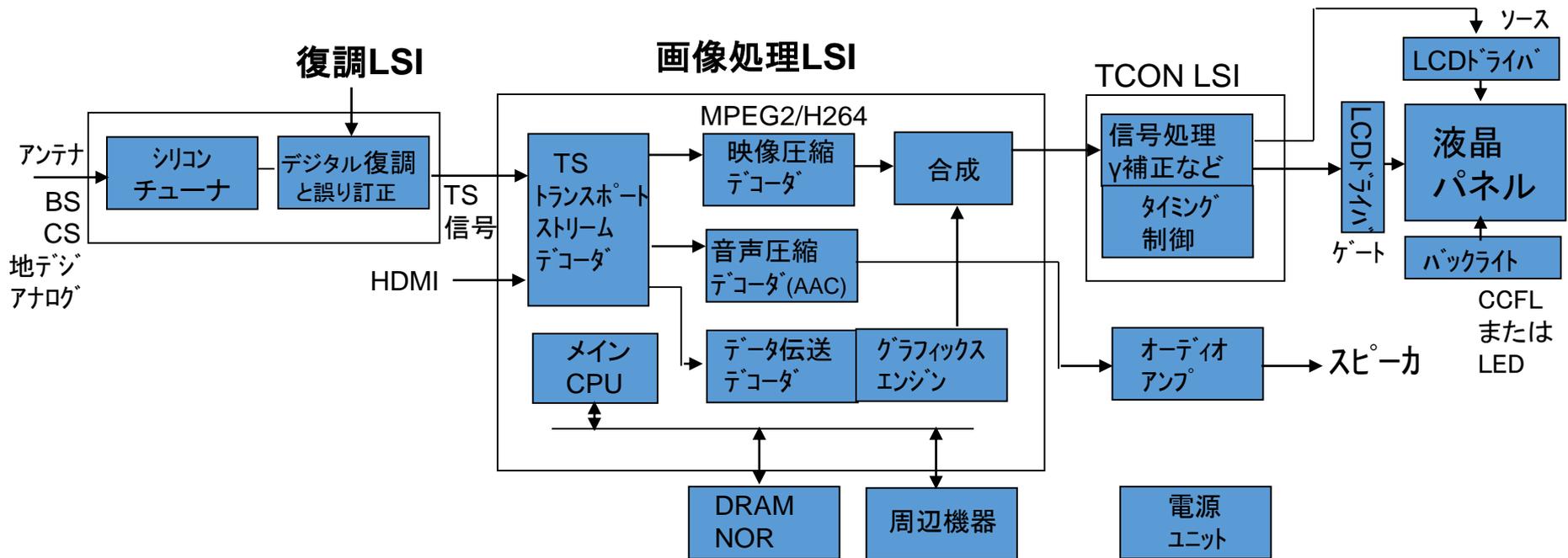


デジタルテレビの構成

デジタルテレビでKeyとなるLSIは2つ。

- ① 復調LSI: 各規格に従ったデジタル変調信号の復調と誤り訂正
- ② 画像処理LSI: 圧縮された映像、音声データのデコードと様々な画像処理

TCON(タイミングコントローラ)LSI: 液晶パネルの特性にあわせた映像データの補正



TS信号: 圧縮された画像データ、音声データおよび文字データが時分割多重化された信号

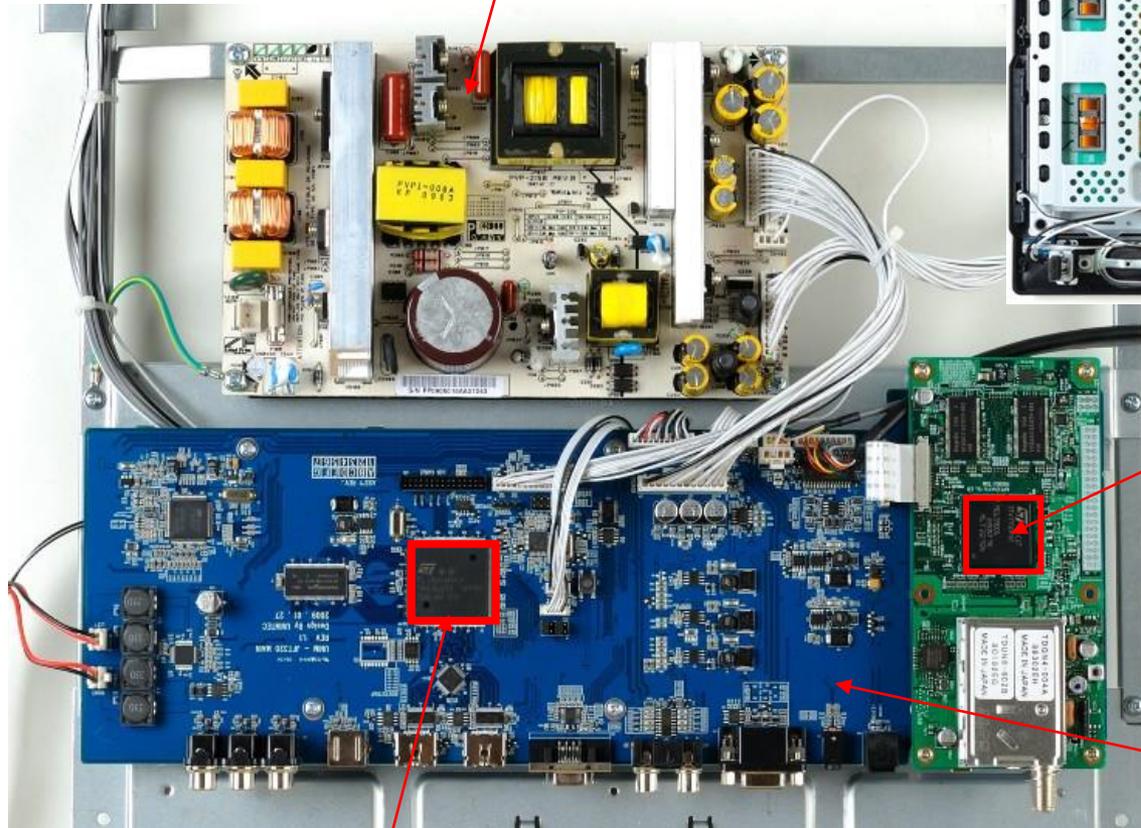
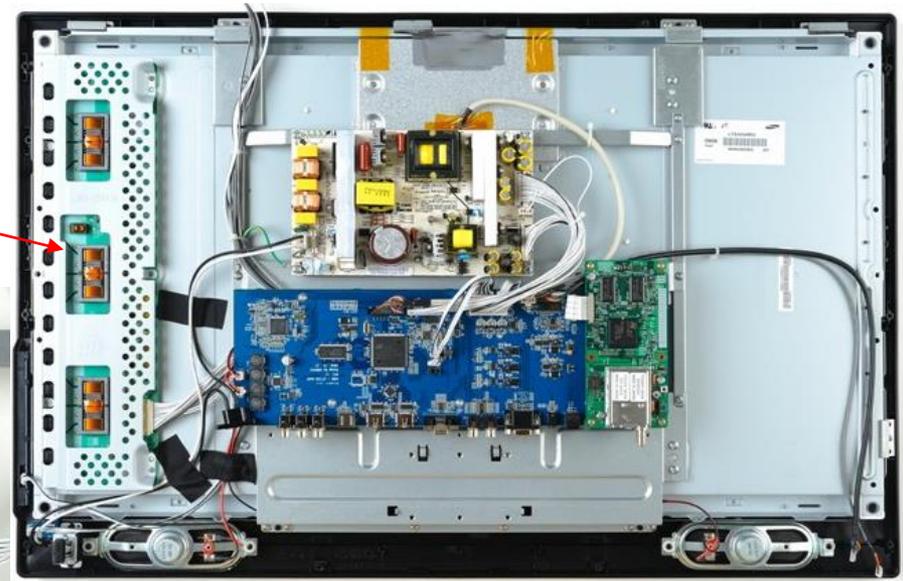
デジタルテレビの内部

液晶テレビを開発するのに技術不要

台湾MediaTekが、レファレンスボード化して、
半導体と周辺回路およびソフトウェアを
一括して提供。

汎用電源ユニット

バックライト照明
インバータ基板



復調LSI

液晶テレビで重要な機能は
2つのLSIに納められています。
このLSIの開発には、
数学の知識が極めて重要。

半導体メーカーが提供する信号処理基板
(レファレンスボードそのまま使用)

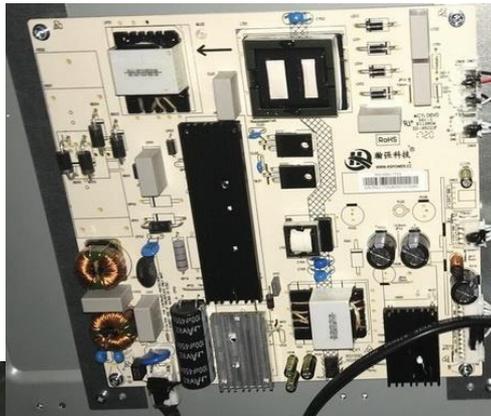
画像処理LSI

テレビ 4Kテレビ作るのも技術は不要 驚きの54,800円、50型4K液晶テレビ

2017年6月
ドン・キホーテ

市販4K液晶パネルや3枚の回路基板モジュール(ソフト付き)を使い中国EMSで製造
ただしハイエンド製品でキーとなる超解像、HDR技術対応には高い技術力(ソフト)が必要

電源基板
(汎用品)

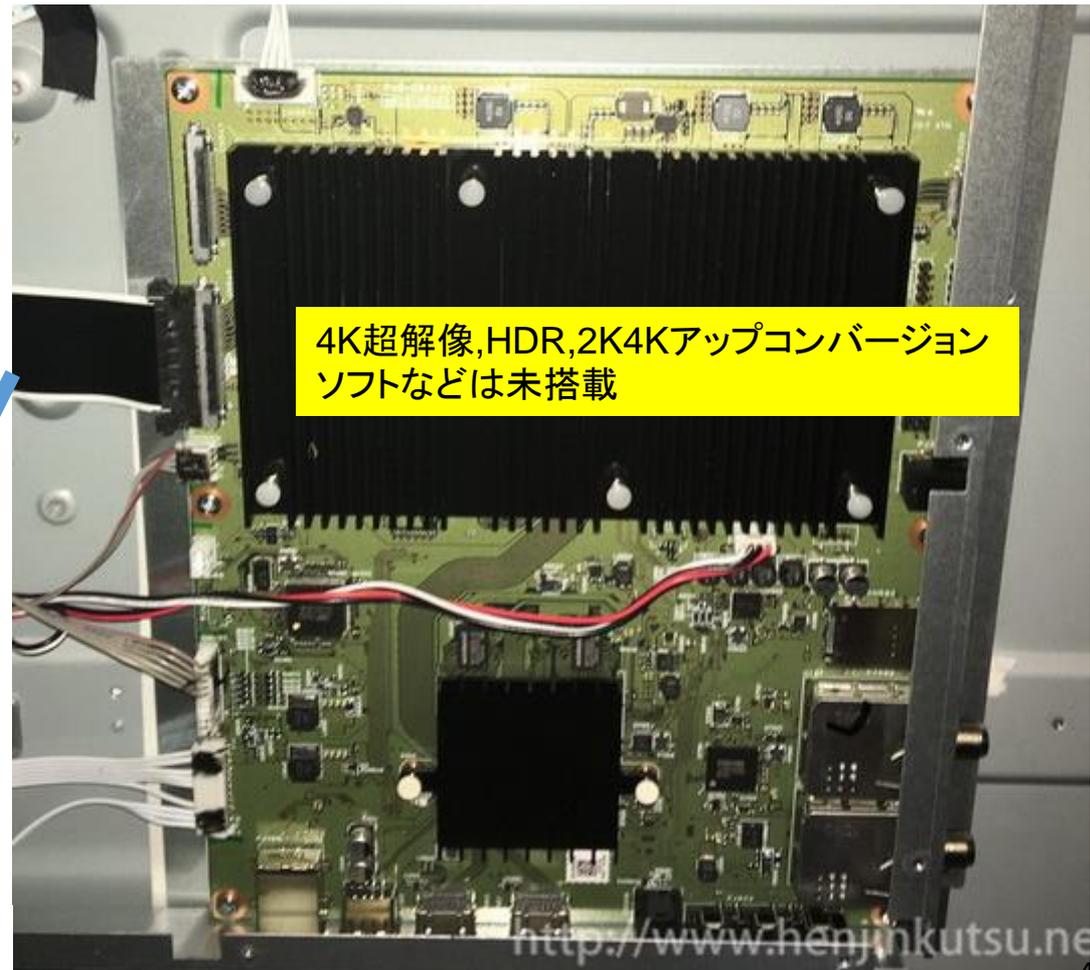


パネル接続



LCDパネル制御基板(パネルメーカーが提供)

映像処理基板(東芝映像ソリューション製)

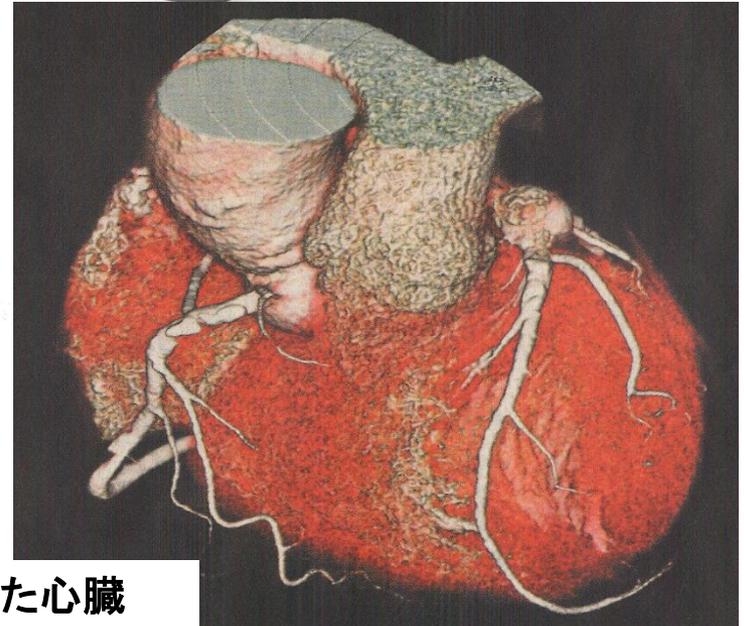
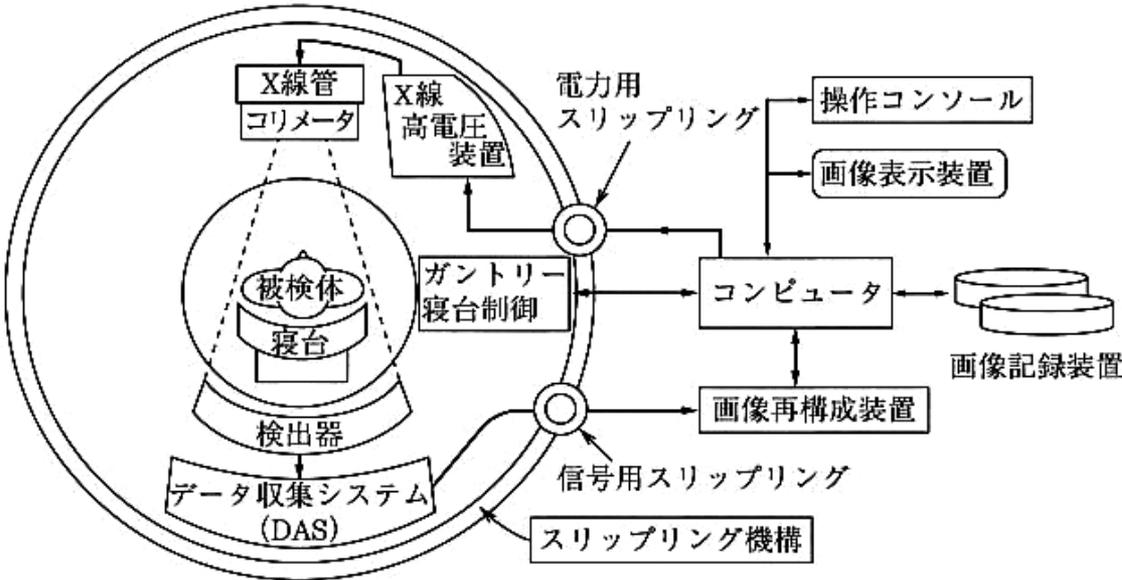


4K超解像,HDR,2K4Kアップコンバージョン
ソフトなどは未搭載

X線CT診断装置

X線CT(Computed Tomography):X線を用い体を透過する
X線量(吸収の度合い)から体の中を見る装置

高度なエレクトロニクス技術(センサ、アナログ、デジタル、
デジタル信号処理、制御技術など)の融合された製品

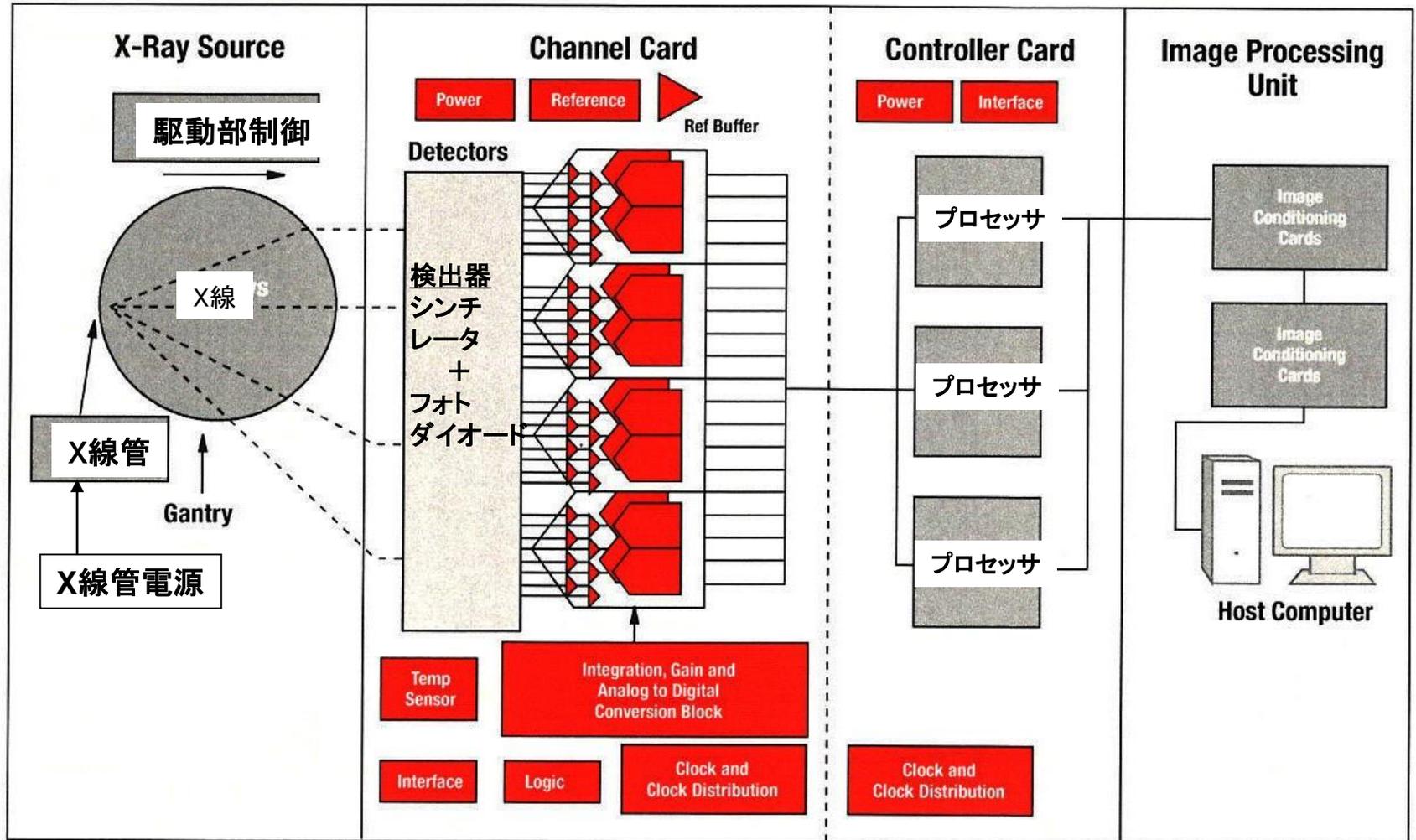


X線CT装置が撮像した心臓

X線CT装置:エレクトロニクス構成

現在最大320列

2次元X線検出器は、チャンネル方向に約1000個、スライス方向に64列とすると
 フォトダイオード素子数64,000個以上このフォトダイオード出力をI-V変換して
 マルチプレクサで切替て、複数のADC (16~18bit/250K~1Msps)でデジタル化



超音波診断装置

超音波(2MHz~15MHz)を使用して体内を非侵襲で
画像化する装置。高度エレクトロニクス技術が必須



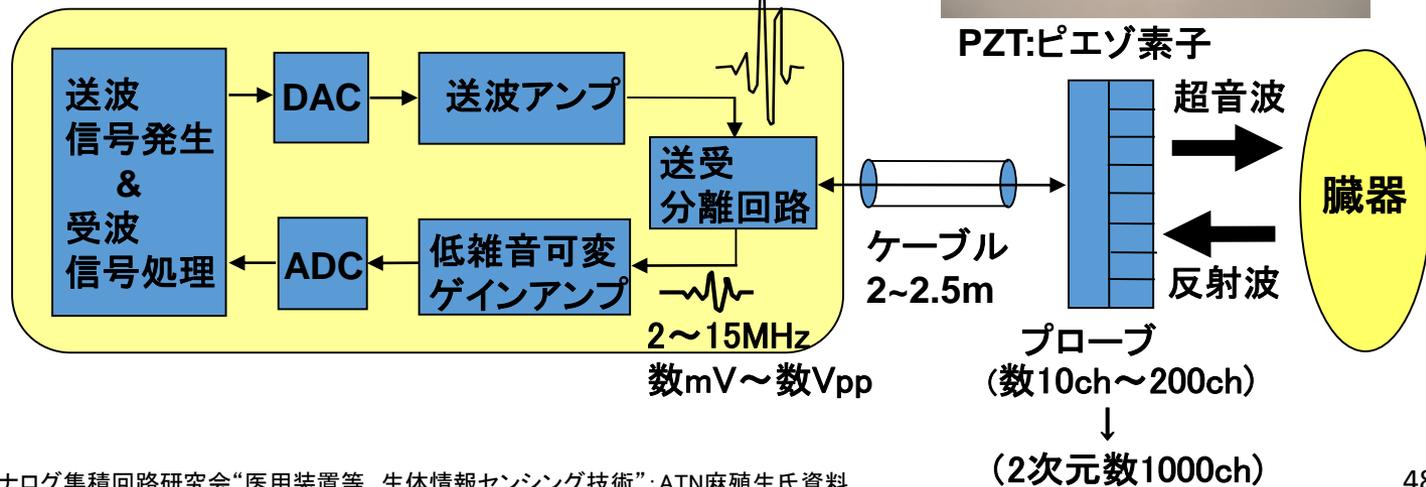
超音波診断装置
で撮られた胎児像



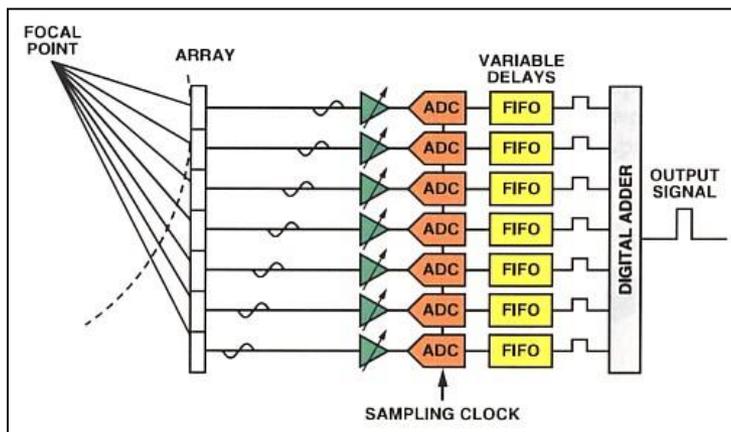
超音波診断
装置本体



プローブ



超音波診断装置の電気系構成



Beam former

センサアレイからの信号の位相(ディレイ)を各Ch毎に制御して、焦点をコントロールする(送信および受信)

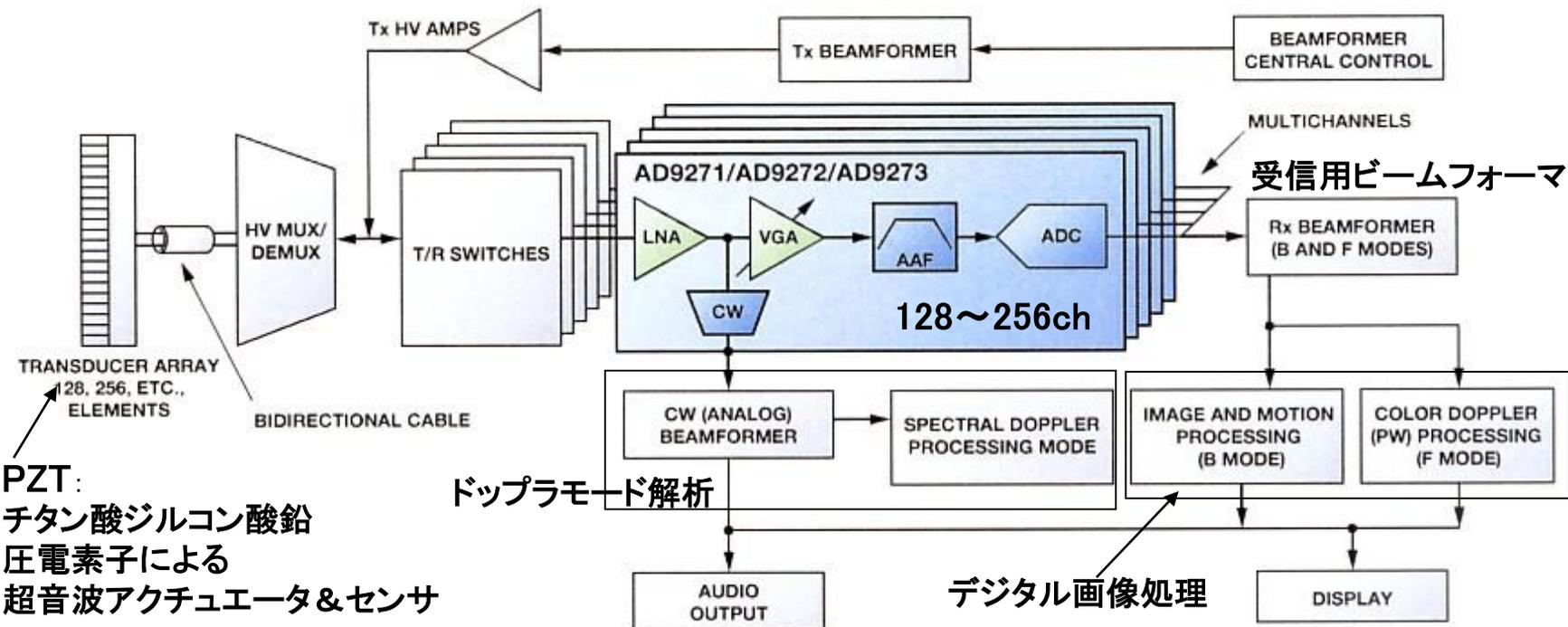
LNA:多数の低雑音アンプ必要

ADコンバータ:12ビット50Mpsps

チャンネル数:64~256ch (ハイエンド品)

16~64ch (ポータブル品)

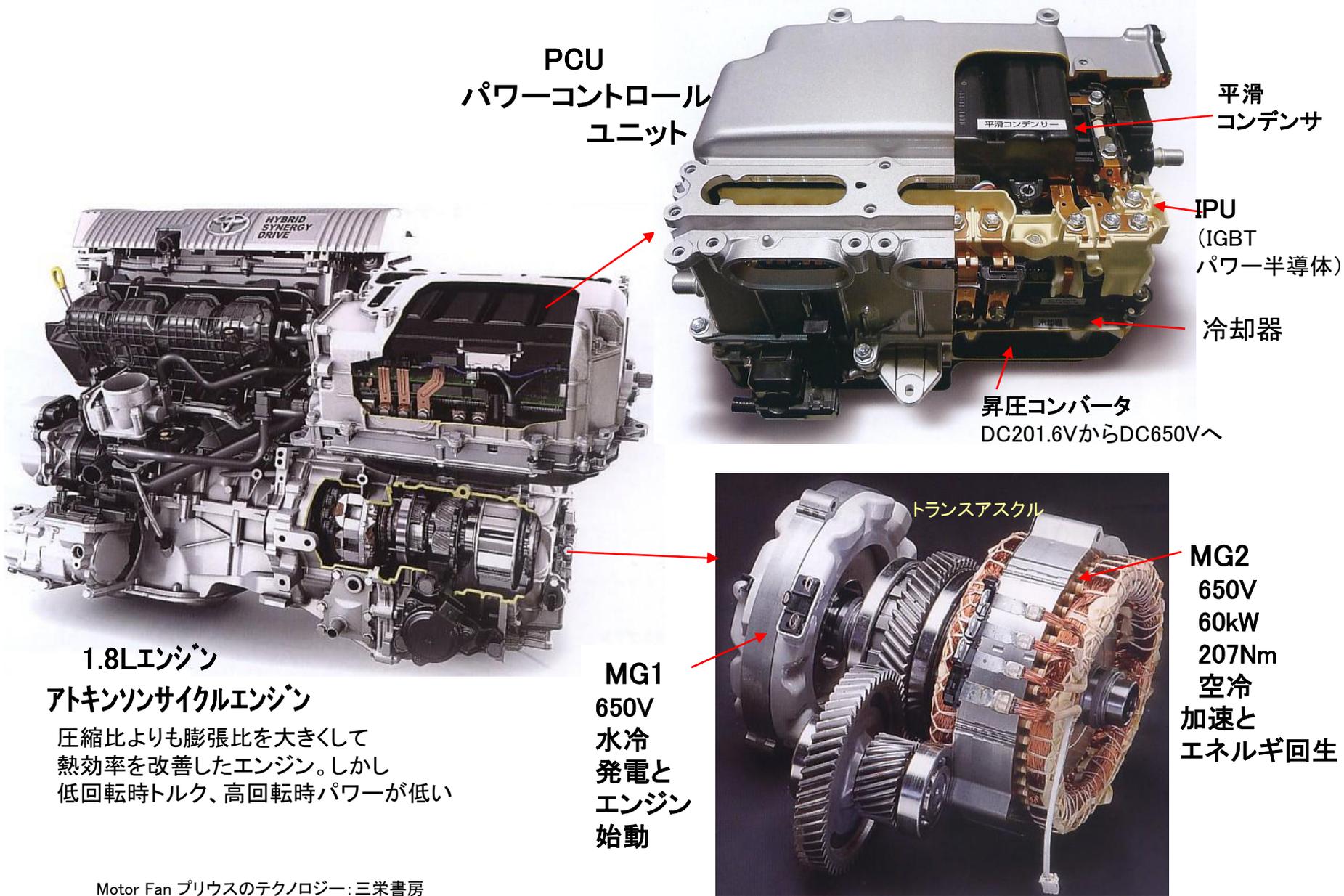
送信用ビームフォーマ



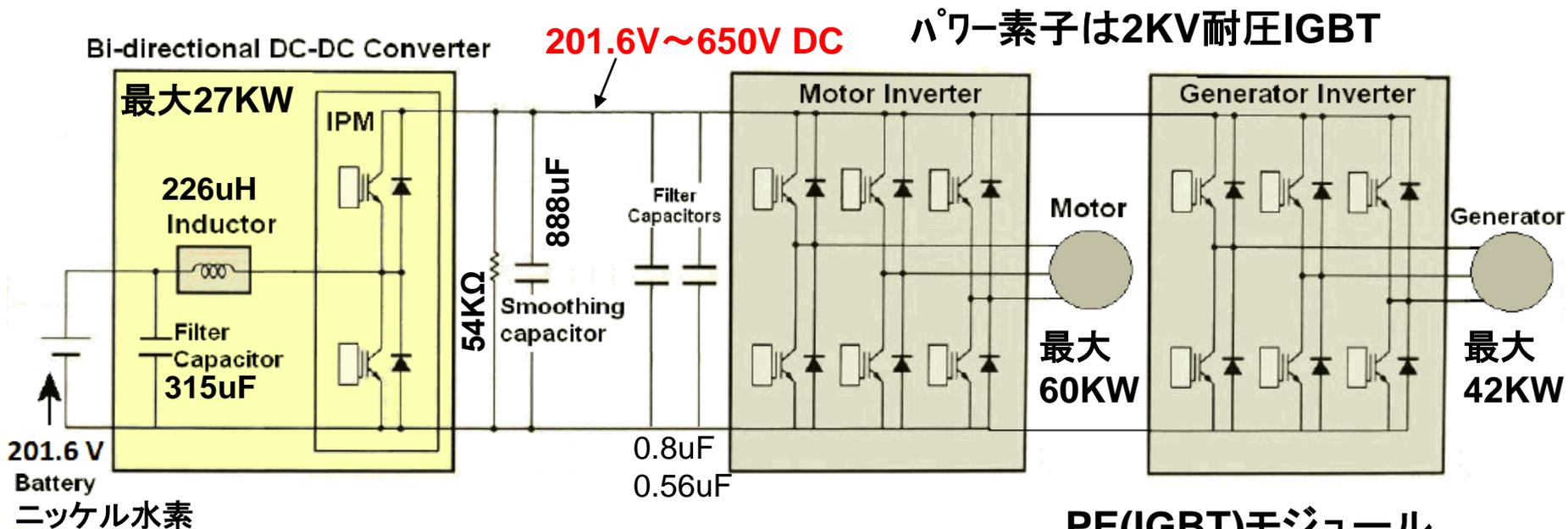
PZT:
チタン酸ジルコン酸鉛
圧電素子による
超音波アクチュエータ&センサ

アナログデバイスAD9271資料から

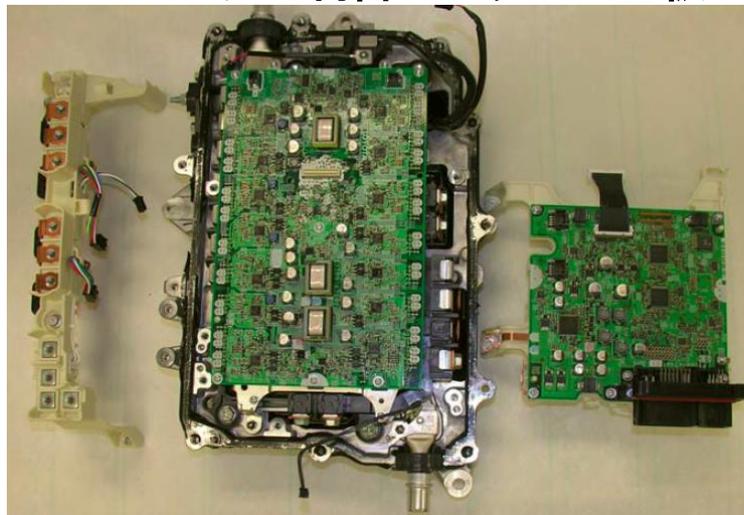
プリウスの主なハイブリッドユニット



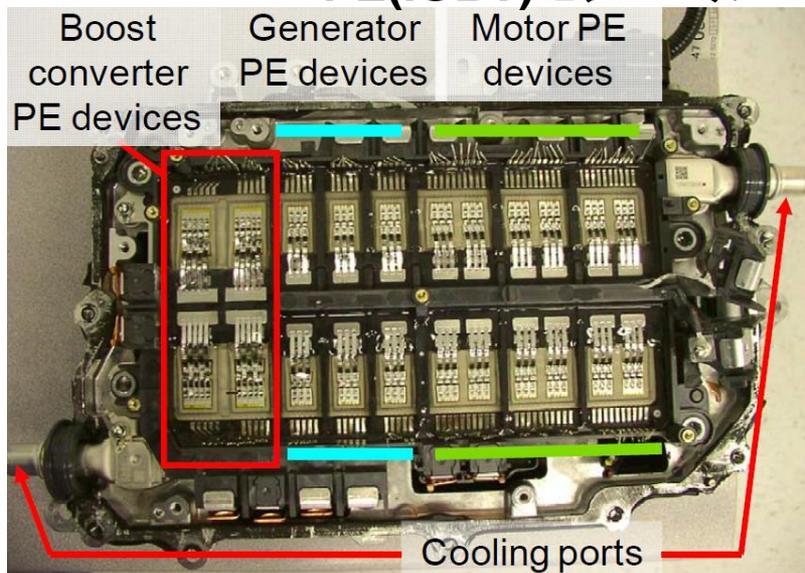
2010年型プリウスPCU(Power Control Unit)



インバータの制御&ドライバ基板



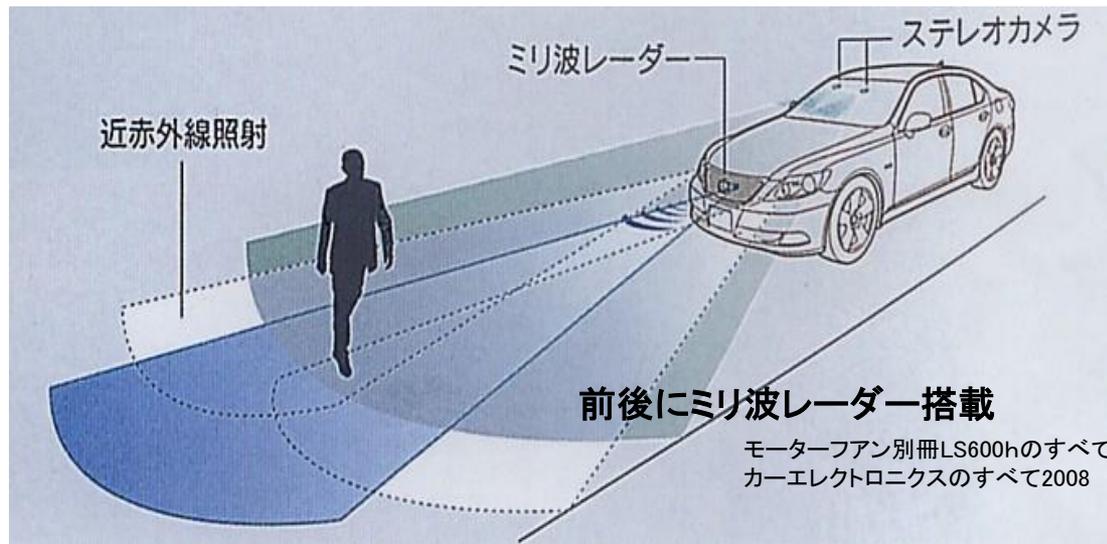
PE(IGBT)モジュール



自動運転車はIoTデバイス

ミリ波レーダー、赤外線レーザー、カメラ(単眼やステレオカメラ)および画像処理技術により、周囲の車だけではなく、標識や白線、自転車、歩行者を検知する。

自動運転には各種センサ以外に、**AI人工知能技術が不可欠**



Google Car自動運転車



<http://gigazine.net/news/20160203-google-self-driving-simulation/>

