

2017年版

第5回 半導体製造プロセス

1)半導体製造プロセスの概要

製造プロセス概観

設計工程、マスク製作、ウェハ製造工程

前工程(トランジスタ工程、配線工程)

後工程(ダイシング、実装、試験)

2)SEM断面写真に見る最近のデバイス例

3)主な半導体製造装置

マスク描画、光露光、イオン注入、成膜、エッチング、

洗浄、ダイシング、試験装置

4)次期露光装置EUV概要と動向

2017.10.31

東京電機大学非常勤講師

群馬大学非常勤講師

中谷 隆之

半導体製造プロセス

半導体は、最先端の技術を駆使して非常に複雑な工程を経て作られる。
最先端の半導体工場ひとつを作るのに、数千億円かかる。



半導体の製造プロセス概要

1) LSI設計

CAD (EDA) ツールを用いて回路設計し
原版マスクを作成

2) シリコンウェハ製造

シリコンを精製して、インゴット
を作り、スライスしてウェハを
作成する工程

3) LSI製造(右図プロセス)

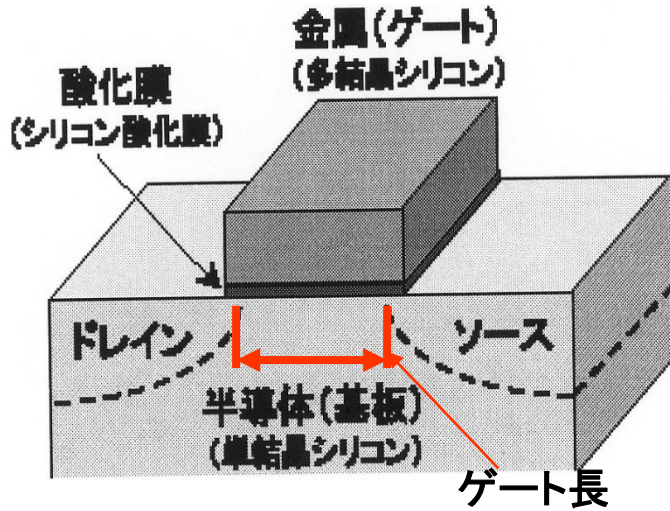
シリコンウェハ上に多数のLSIを
作り込む**前工程は、300~400**
もの多数のプロセス・ステップから
なっている。

後工程は、前工程により完成した
ウェハを試験し、切り離して
それぞれをパッケージに
搭載して最終検査までの工程

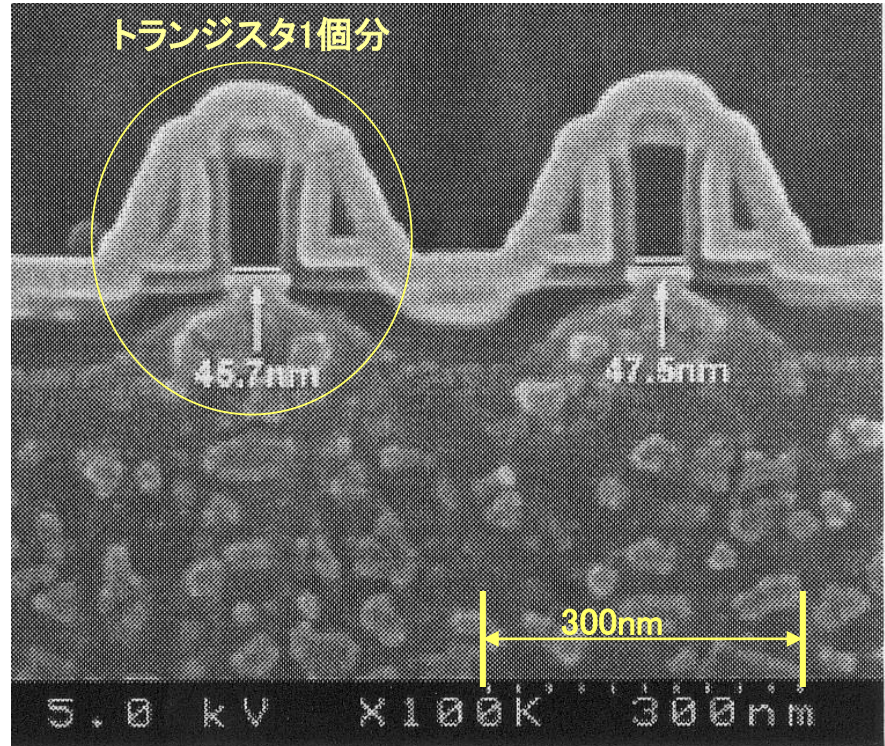
前工程	拡散工程 (ウェハ工程)	フロントエンド: FEOL (下地工程) (トランジスタ工程)	成膜 露光(フォトリソグラフィ) エッチング 不純物添加
		バックエンド: BEOL (上地工程) (配線工程)	熱処理 CMP(化学機械的研磨) 洗浄
	G/W工程(ウェハプローブ試験)		↓ ウェハ特性チェック
後工程	組立工程		↓ ダイシング
			↓ マウント
			↓ ボンディング
			↓ 封入
	仕上げ工程		↓ メッキ
			↓ リード成型
	選別・BT工程(試験工程)		↓ 特性チェック
			↓ バーン・イン
			↓ 特性チェック
	検査工程(信頼性試験工程)		↓ 入庫検査
			↓ 信頼性試験
			↓ 出荷検査
			↓ 出荷
Note G/W: Good Wafer, BT: バーンインテスト			

トランジスタ工程: FEOL front-end of line

MOSTランジスタの基本構造

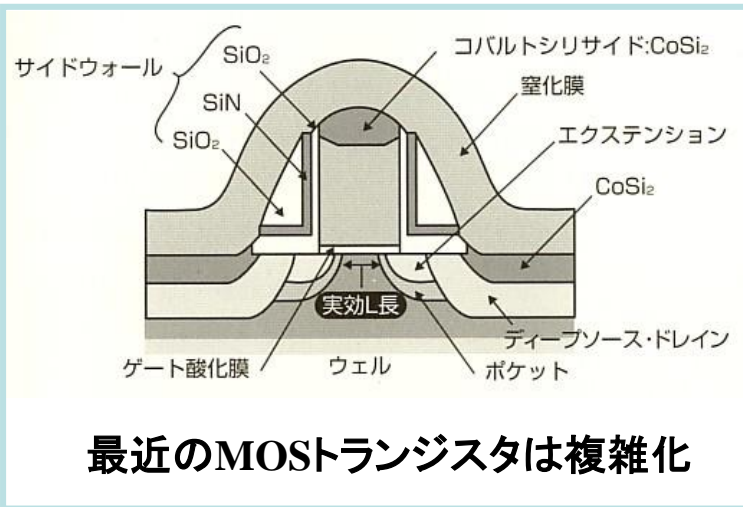


LSIの断面観察: 電子顕微鏡写真



SONY PSX用チップ: 90nmプロセス(ゲート長45nm)

Chipworks社データ 2004.1



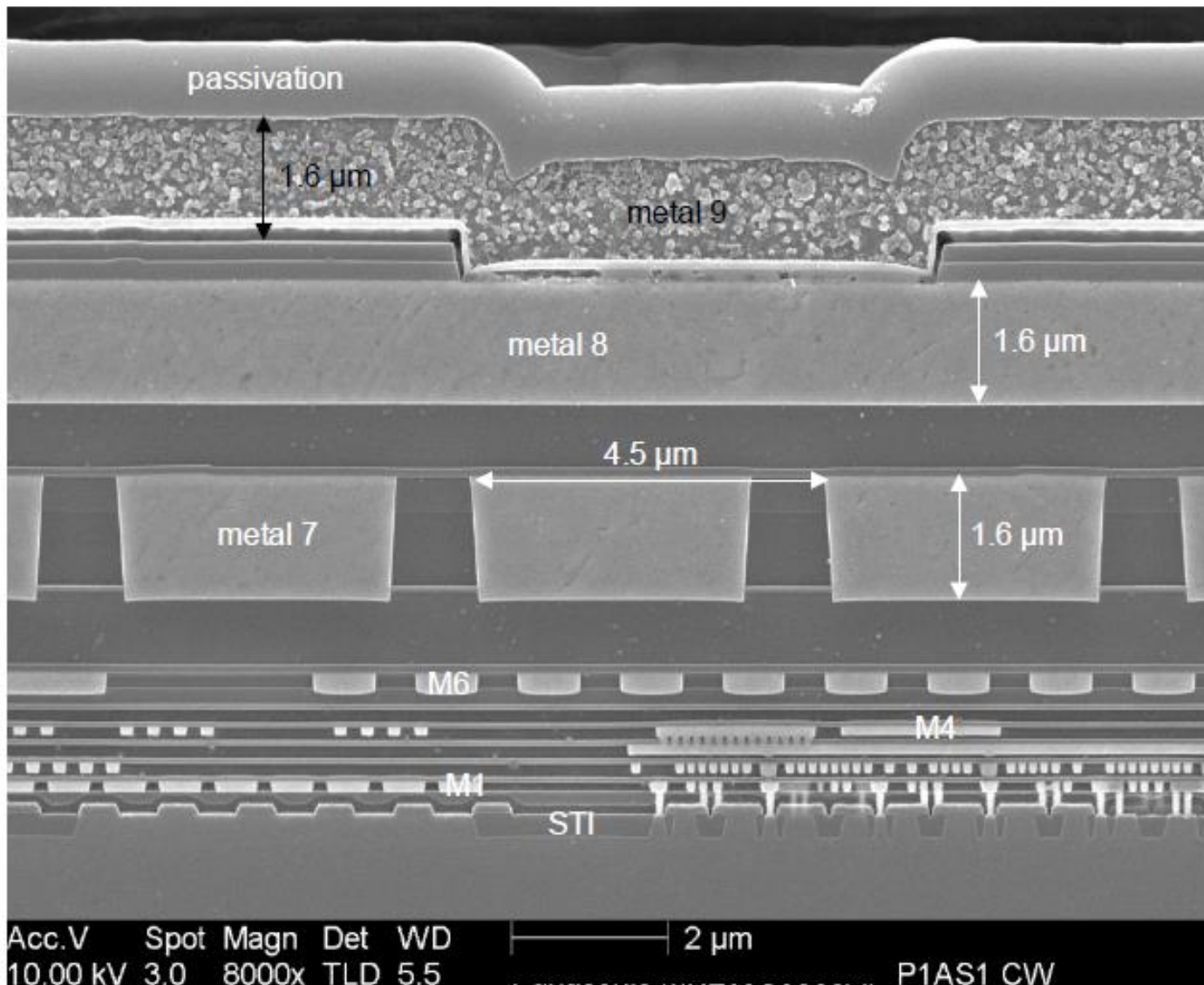
最近のMOSTランジスタは複雑化

配線工程 : BEOL back-end of line

45nm SOC M1~M9層銅配線(Cuメタル)

表面の約10μmニトリンレジスタと配線層が形成

約10μm



パシベーション

M9層

M8層

M7層

M6層

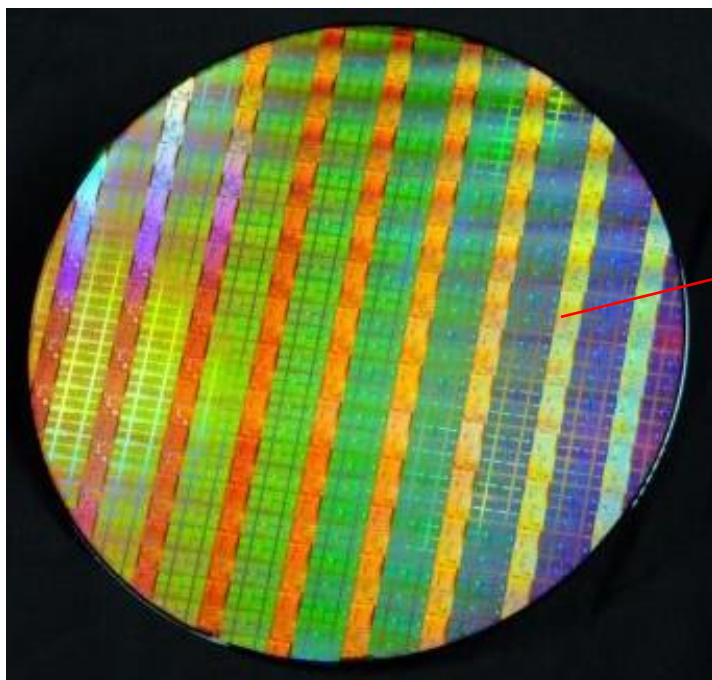
M4層

トランジスタ

Si基板

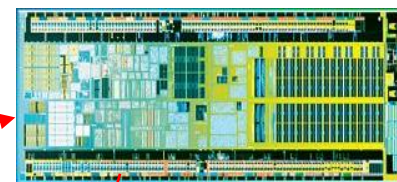
ウェハ上に一括して作られたチップを切り出し実装しテスト

半導体はシリコンウェハ(直径300mm)上に
複雑な前工程を経て、数百チップ一括して作られる

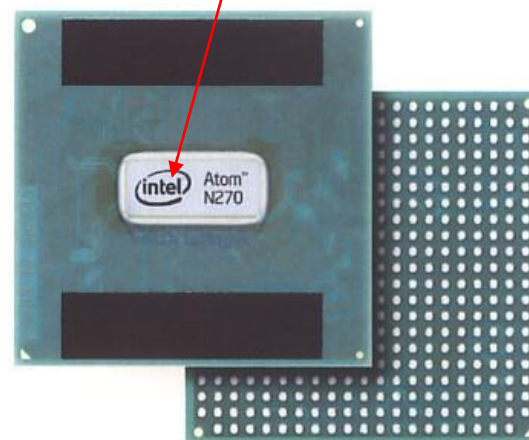


完成したウェハから
1チップずつ切り出す

LSIチップ



チップをパッケージに
実装する。



半導体テストシステムで全数試験して良品のみ出荷

LSI設計フロー概要

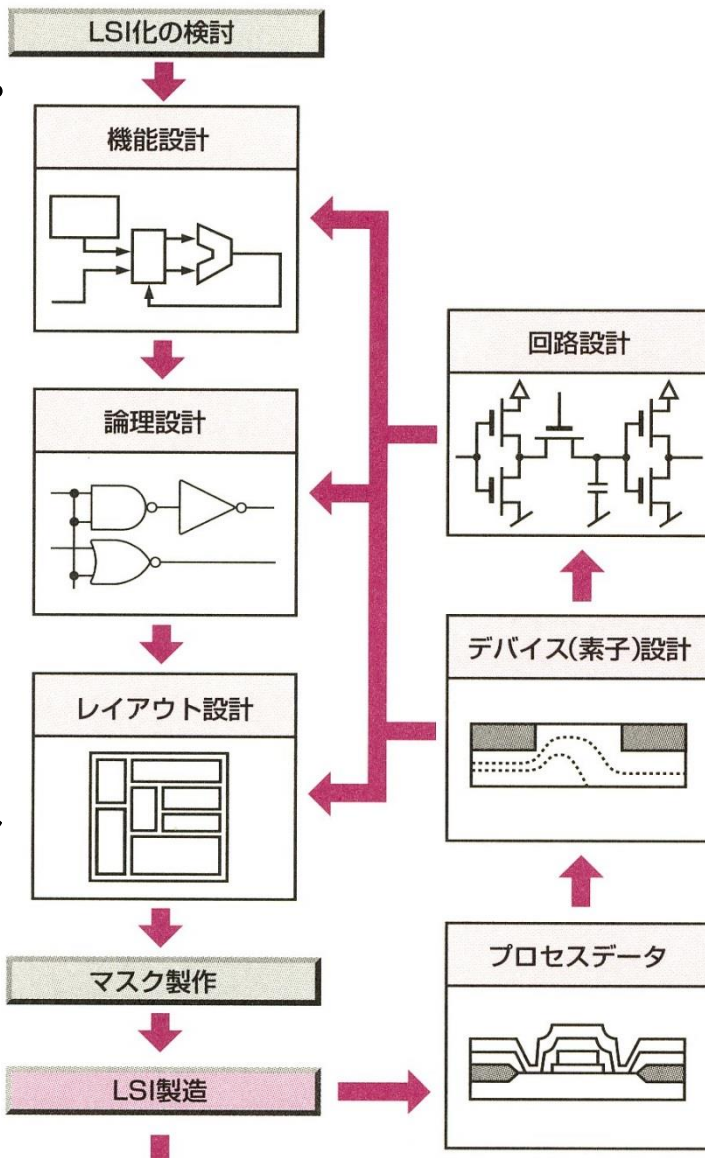
LSI設計はほとんどCAD
(EDA)ツールにより行われる。

HDL言語設計
(ハードウェア記述言語)
最近ではC言語設計も増加
シミュレーションで検証

論理合成ソフトにて、
言語記述されたものが
論理回路に変換される。
シミュレーションで検証

トランジスタレベルから
デバイスレベルに変換され
レイアウトに落とされる。
シミュレーションで検証。

最終的に20-30枚の
マスク(原版)作成



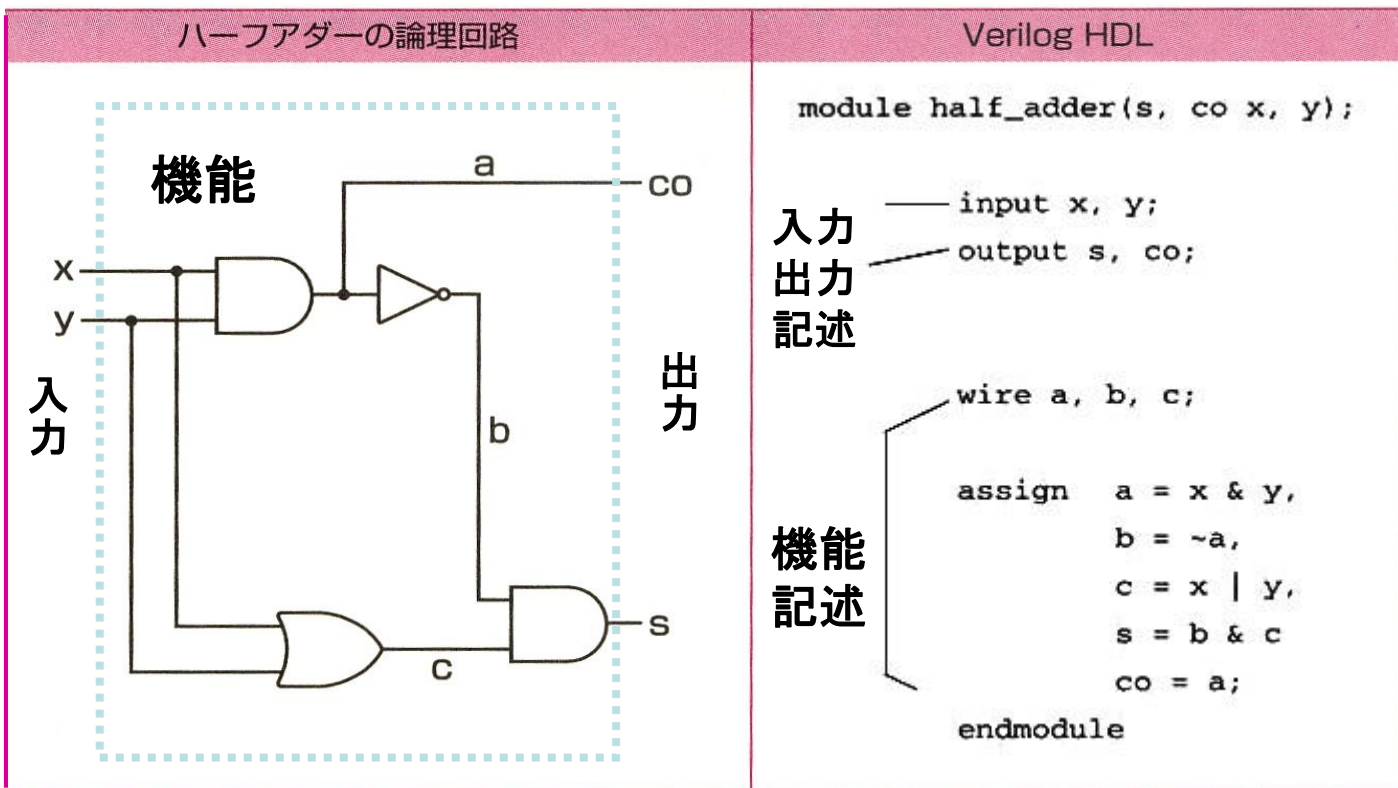
論理機能の電氣的仕様
を満足させる回路構成
(使用半導体プロセスに
よるトランジスタ構成など)
を詳細に決定。

試作(TEGなど)して
データ所得し
設計データへフィードバック
TEG: Test Element Group

LSIの設計：言語設計

LSIの大規模化や機能(IP)再利用化により、言語設計が必須となった。
一般的に使用されるHDLには Verilog HDL と VHDL がある。

システムを記述するハードウェア記述言語 (VerilogHDLの例)

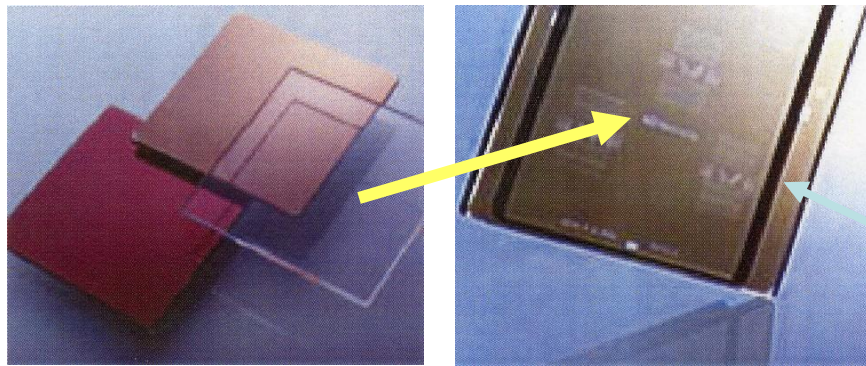


回路図記述

言語(HDL)記述

LSIの設計: マスク製作

フォトマスク(マスクまたはレチクルとも言う)は、パターン露光用の原版。



描画前フォトマスク 描画済フォトマスク
(マスク blanks: 約150x150x6.4厚mm)

パターンレイアウトにより20-30層の
フォトマスクを作成。

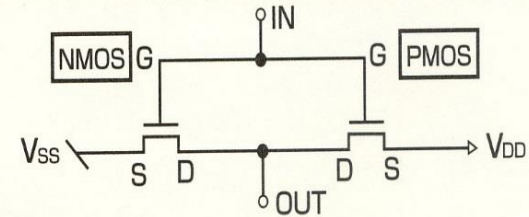
フォトマスクは、石英ガラスに金属クロムが
80nmの厚みで塗布されたものを、マスク描画
EB露光装置にて露光。

マスクはx4サイズの**原版**となる。

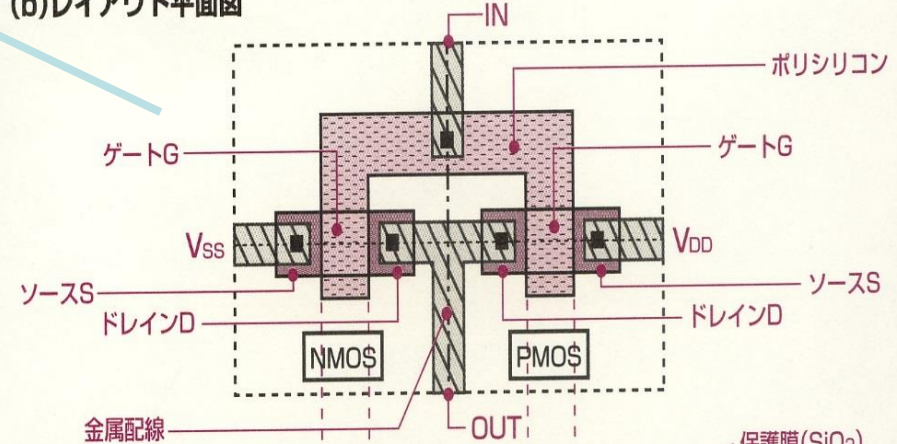
最近の先端LSIでは、マスクセット1式が数億円
に達する。

仮想CMOSインバータの断面図とパターン・レイアウト

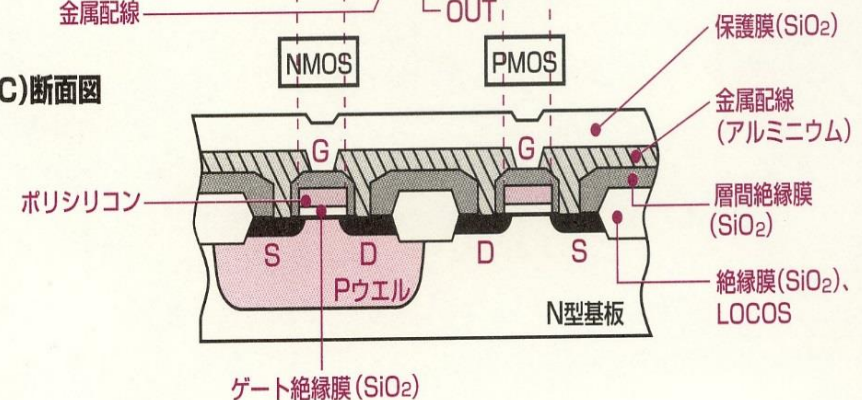
(a)シンボル



(b)レイアウト平面図



(c)断面図



シリコンウェハ製造工程

シリコウエーハ製造工程

1トンの金属シリコンを作るのに、1,500万Wの電力必要(ポーキサイトからAIを作るのとほぼ同じ電力)

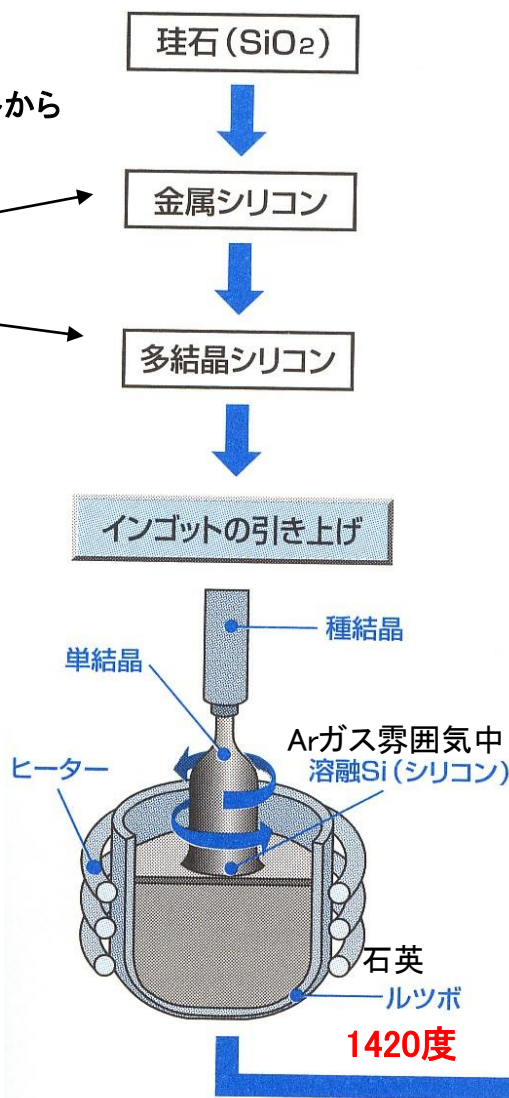
98~99%純度

99.9...9%
イレブンナイン純度
(9が11個並ぶ純度)

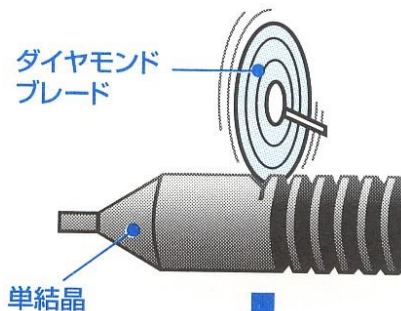
多結晶シリコンから、結晶引き上げにて単結晶シリコンのインゴットを製造。

多結晶シリコン:
結晶方位がバラバラ

単結晶シリコン:
結晶方位が揃っている

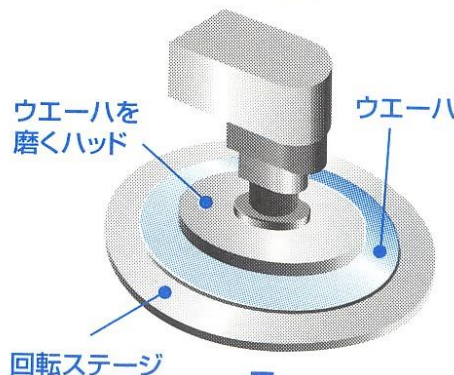


インゴットの切断



厚さ725 μmに
スライス

ウエーハの研磨

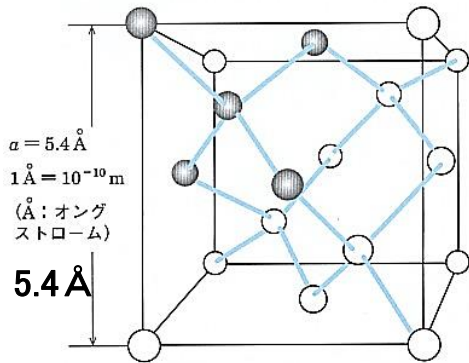
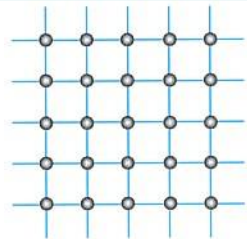


Wafer上に基準マーク
(ノッチ、オリフラ)
Waferの位置&結晶方位合せ用

細かい研磨剤による
機械的作用と
研磨溶液による
化学的反応にて研磨

シリコンウエーハ

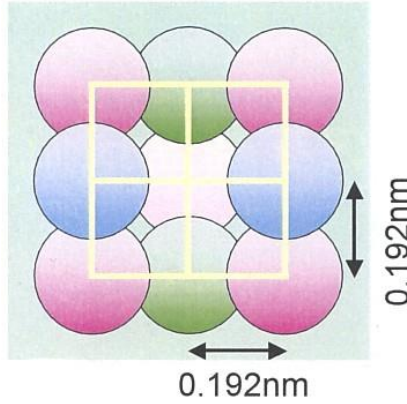
半導体で使われるSi結晶面



灰色の球は結晶の規則性を表す最も基本的な構造で、基本格子と呼ばれる。

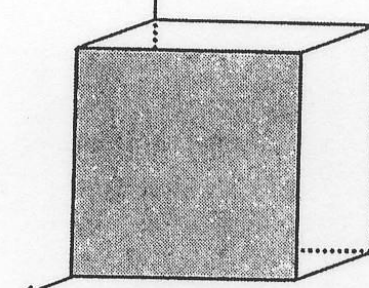
Si単結晶構造:ダイヤモンド構造

(100) 真上から

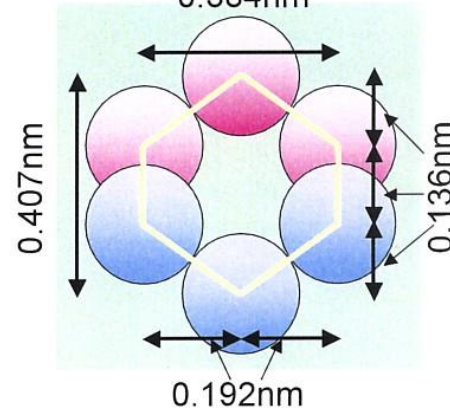


現状半導体作られる面

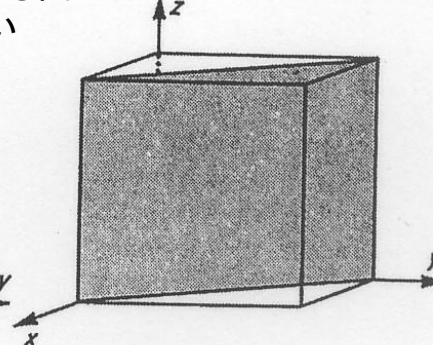
↑ z Holeの移動度悪い



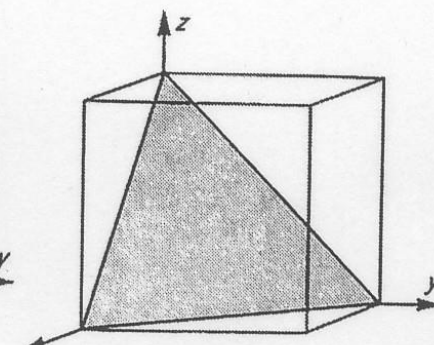
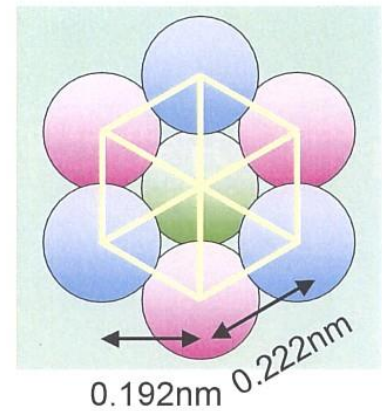
(110) 真上から



Holeの移動度が良い



(111) 真上から



— 単位格子 (立方体)
 (この構造が3次元的に規則正しく積み重なっている)

結晶方位面

半導体製造では主に(100)面が使用される。

シリコンウェハの大口徑化



シリコン・インゴットとウェハ

生産性向上(コスト低減)のため、ウェハを大口徑化してチップ取れ数を増大してLSI製造コストの低減が図られてきている。

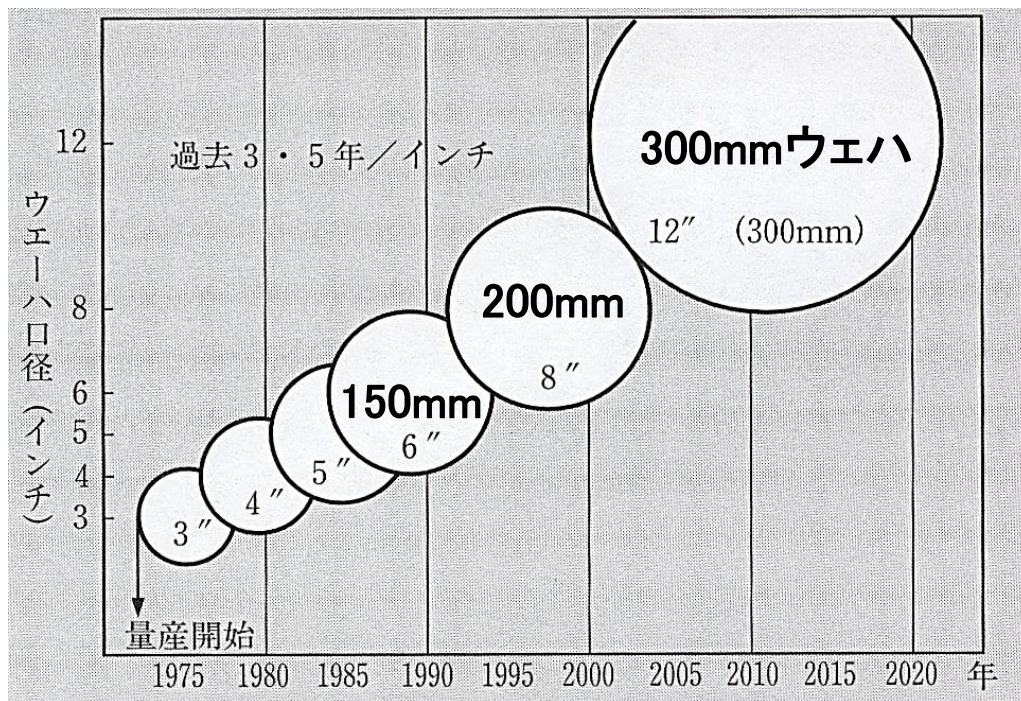
300mmウェハでのチップ取れ数例

- ・NANDフラッシュ: 約 500個
- ・DRAM : 約 1000-1200個

300mmの次は450mmウェハ。
量産開始は当初予定より大幅に遅れ
現状、2020年代前半との予測

シリコンウェハ口径とチップ取れ数

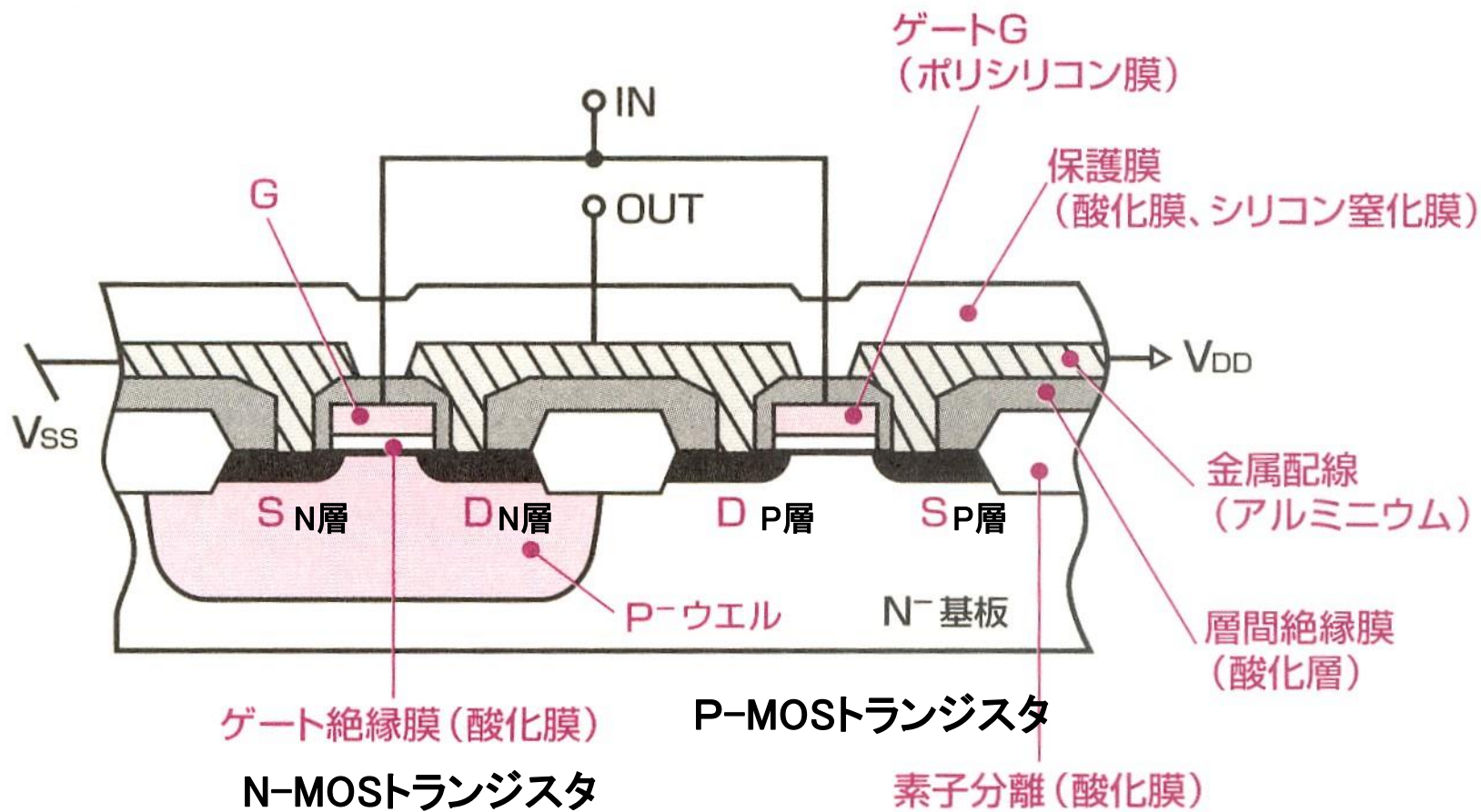
		取れ数	
		200mmウェーハ	300mmウェーハ
チップサイズ	13×13mm	160個	380個 (2.4倍)
	10×10mm	280個	650個 (2.3倍)
	7×7mm	580個	1360個 (2.3倍)
	4×4mm	1860個	4260個 (2.3倍)



ウェハの大口徑化

これを前工程プロセスで作る

トランジスタや配線層はシリコン基板表面上の数 μm に作られる。



LSIの断面模式図

前工程:トランジスタ工程

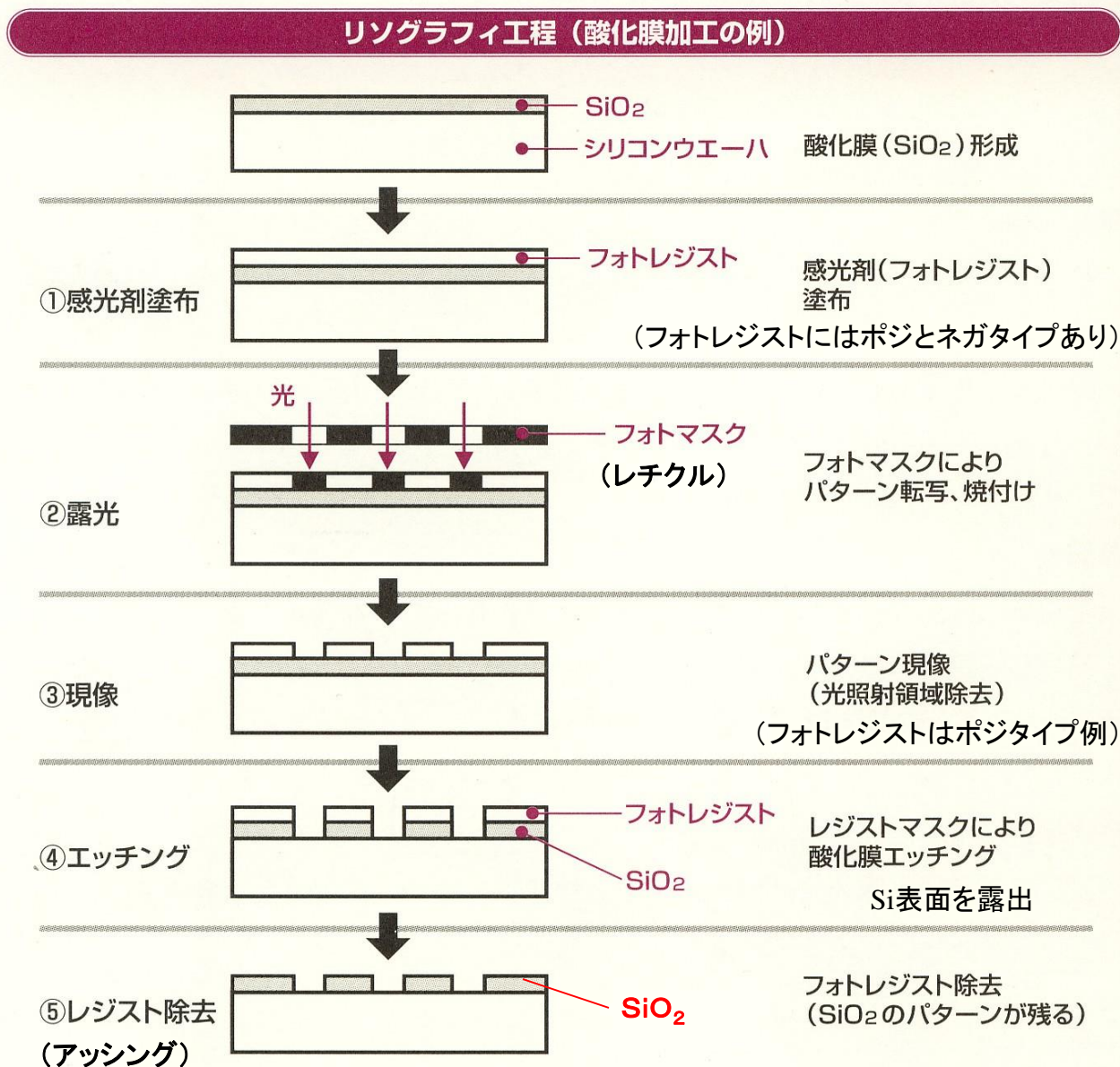
写真の焼付/現像と同じ

露光工程 vs 写真

- ・マスク:撮影済フィルム
- ・ウェハ:印画紙
- ・レジスト:感光剤
- ・露光:暗室での焼付け
- ・現像:現像

に相当。

x4サイズの原版(フォトマスク)を用い、トランジスタのN層(またはP層)や配線層を作り込む部分のシリコン表面を露出させる。それ以外の部分は酸化膜(SiO_2)により覆われている。



前工程：トランジスタ工程

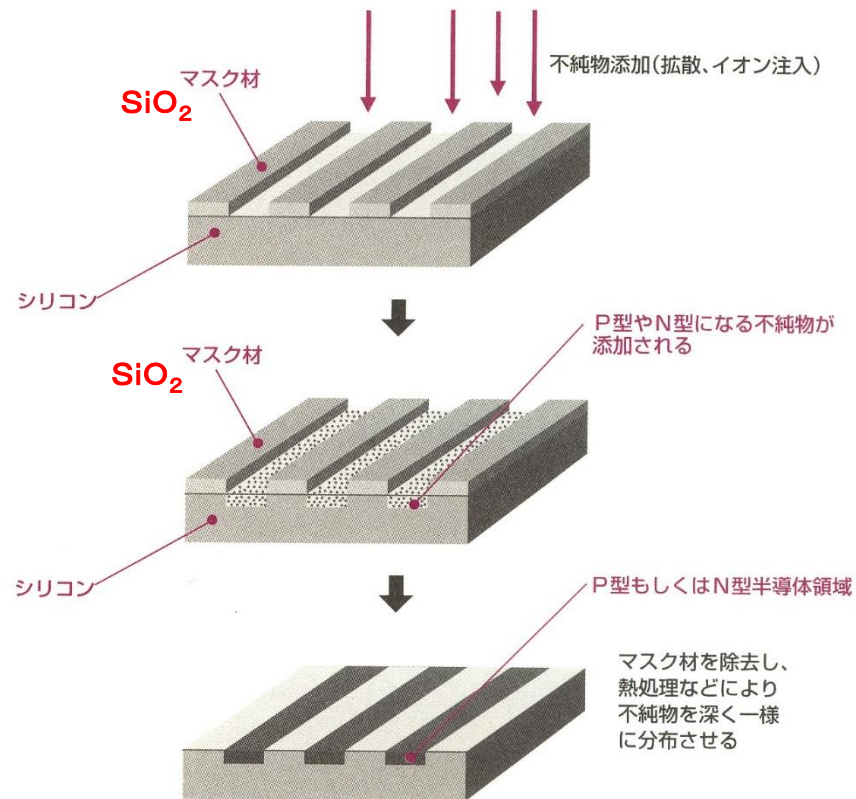
シリコン表面が露出した所に、
N層(またはP層)を作る不純物を
熱拡散やイオン注入にて
不純物添加する。

不純物は、シリコン露出した窓から
内部に拡散浸透している。

拡散終わったら、マスク材(SiO_2 膜)
を除去し洗浄する。

新たに膜付(酸化膜や金属膜)を
生成し、新たなフォトマスクにより露光
し、この不純物添加工程を繰り返す。

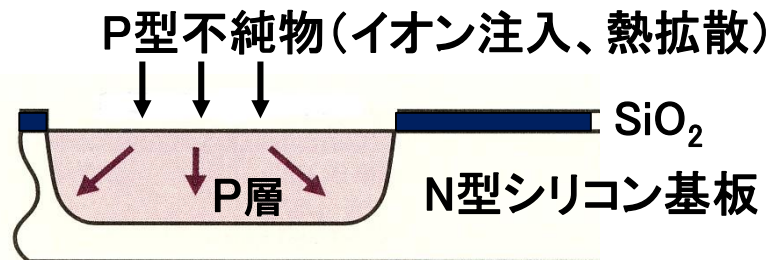
不純物添加・拡散工程



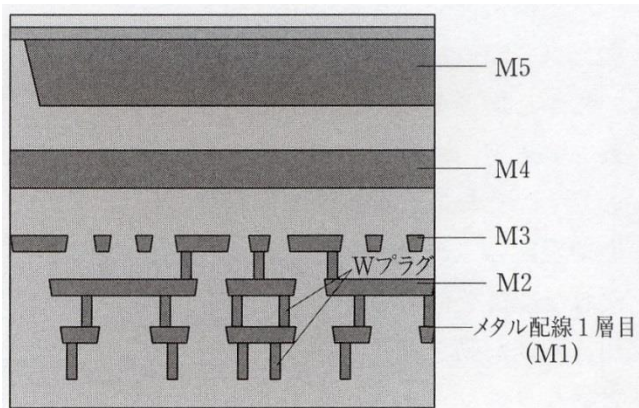
不純物ソース例

N型: V属 リン(P), ヒ素(As)、
アンチモン(Sb)

P型: III属 ボロン(B)



配線プロセス



メタル配線構造(メタル配線 5層例)

エッチング法(従来方法)

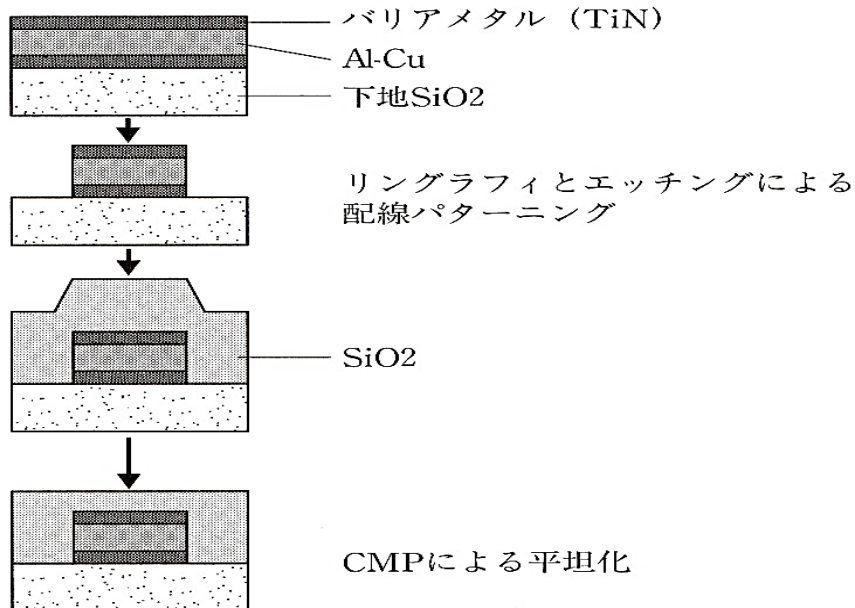
金属薄膜を形成してフォトリソグラフィとエッチングにて配線パターンを形成

ダマシン法

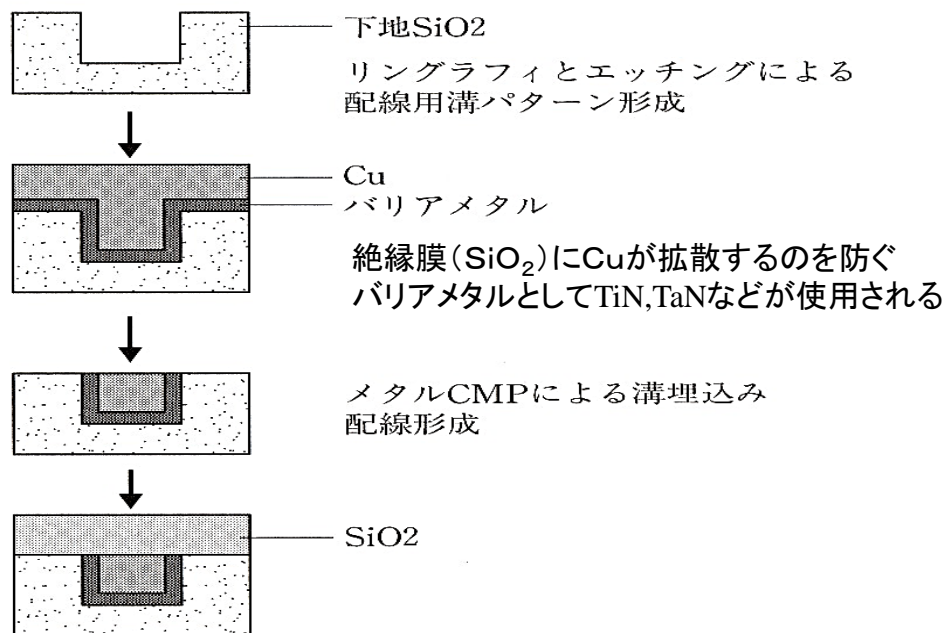
下地の絶縁膜中に“配線溝パターン”を形成した後、全面に金属薄膜を付け、CMP装置で表面を平坦に研磨する。ダマシン法では、表面の平坦性確保と高信頼性が得られる。

またCu(銅配線)加工に必須な技術。Cuはエッチング加工が難しい材料の為。

(a)エッチング法

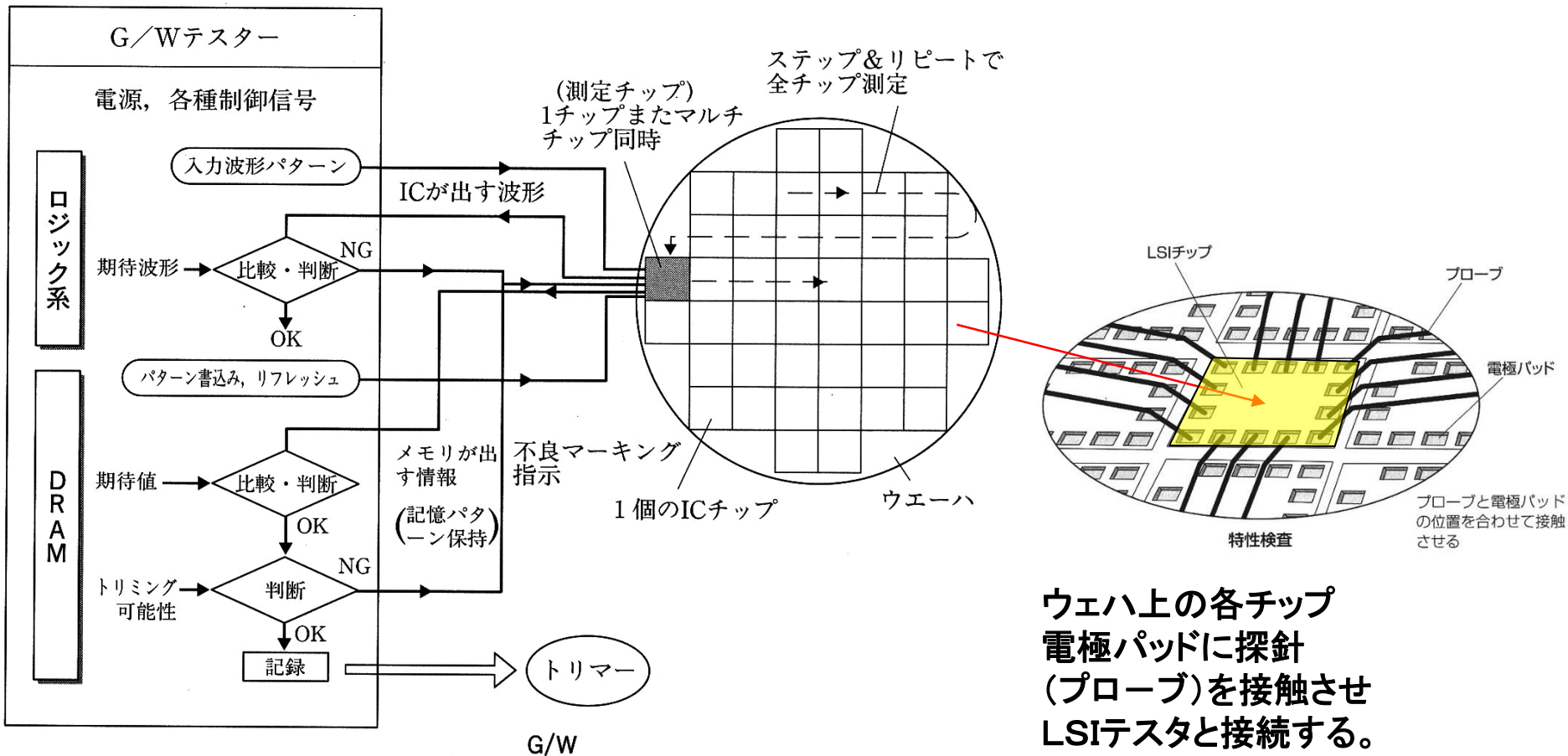


(b)ダマシン法



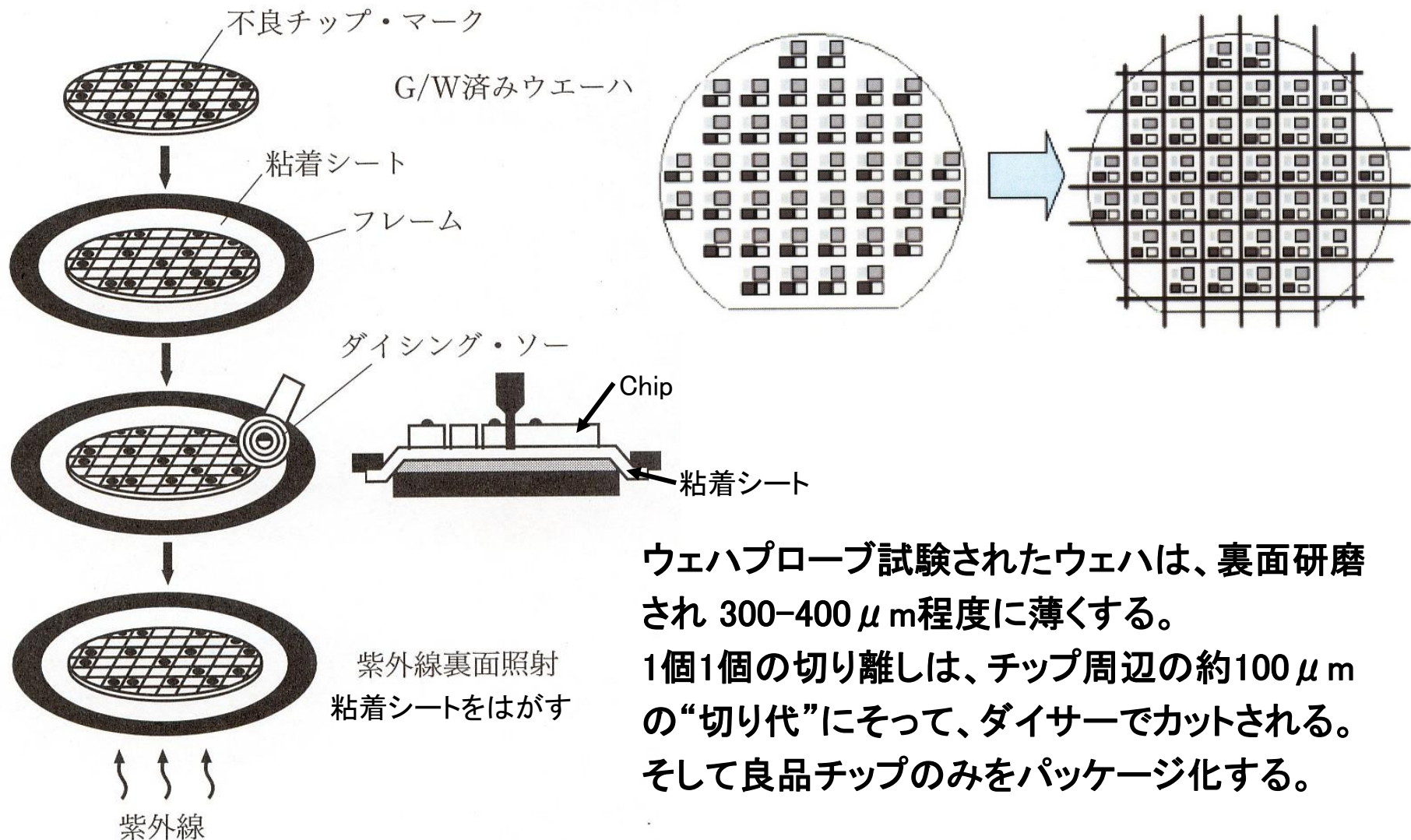
ウェハ・プローブ試験

LSIテスタとプローバ装置を用い、チップに切り出す前のウェハ段階で各LSIチップを試験し良否判定を行う。良品チップのみを次工程に流す。



ウェハ上の各チップ
電極パッドに探針
(プローブ)を接触させ
LSIテスタと接続する。

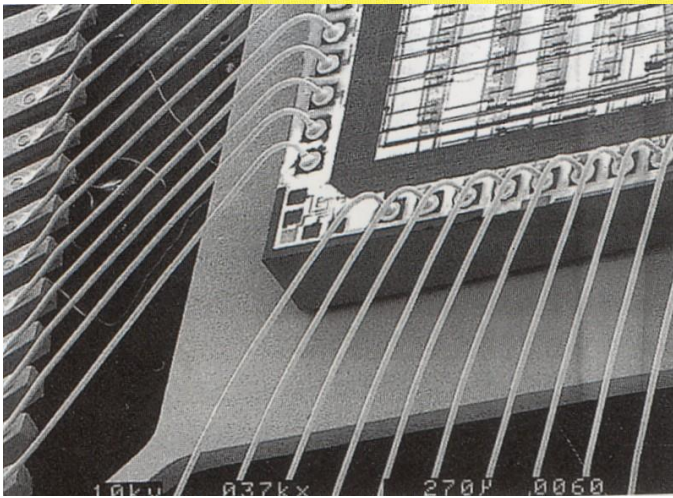
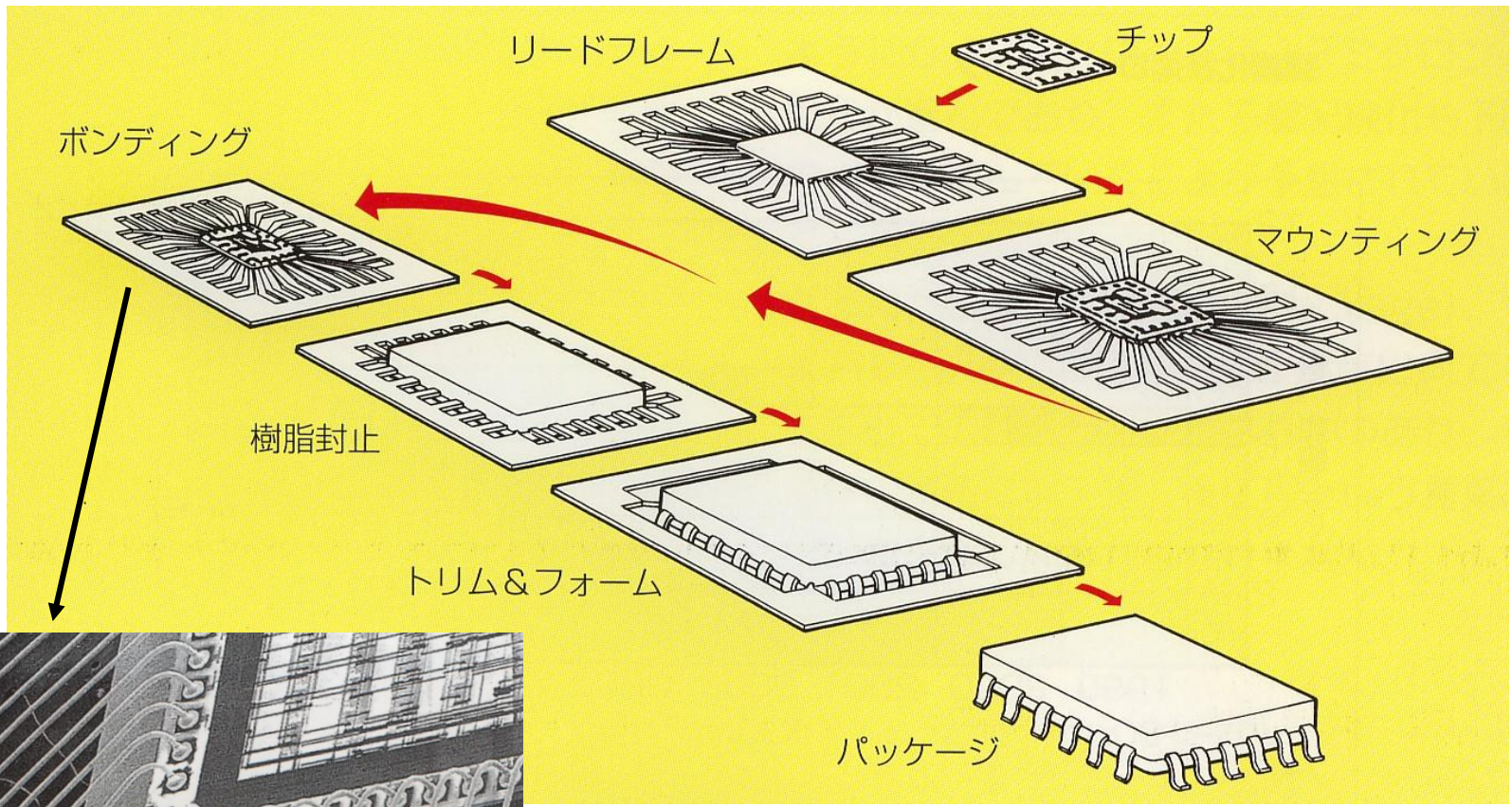
ダイシング



ウェハプローブ試験されたウェハは、裏面研磨され 300-400 μm 程度に薄くする。
1個1個の切り離しは、チップ周辺の約100 μm の“切り代”にそって、ダイサーでカットされる。そして良品チップのみをパッケージ化する。

ダイシング工程

実装とボンディング

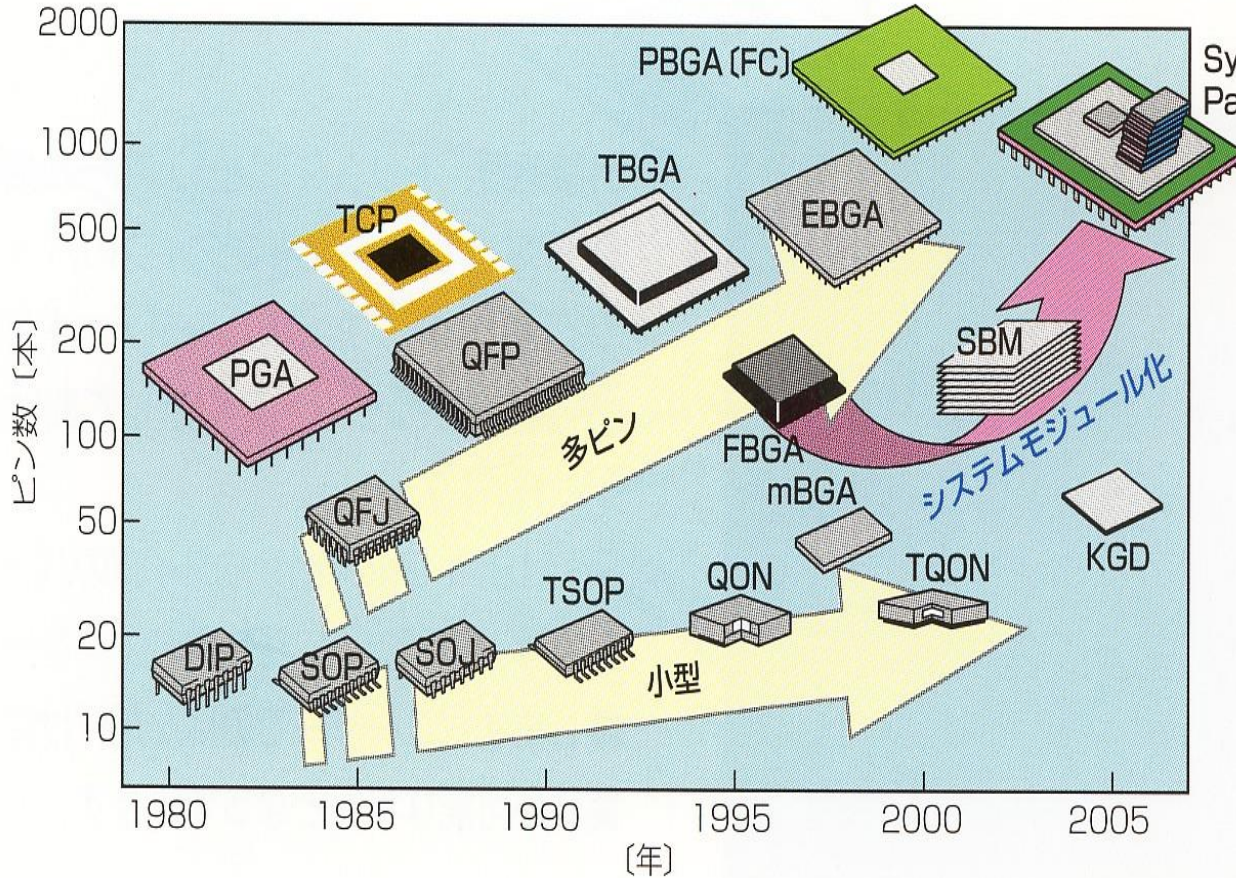


パッケージへの実装

LSI上のパッドとパッケージ・リードフレーム間を AuまたはCu 細線でワイヤボンディング接続

パッケージ

パッケージ(実装)は小型化と多ピン化進展



Intelマイクロプロセッサ



ピン数
1155~
2011ピン

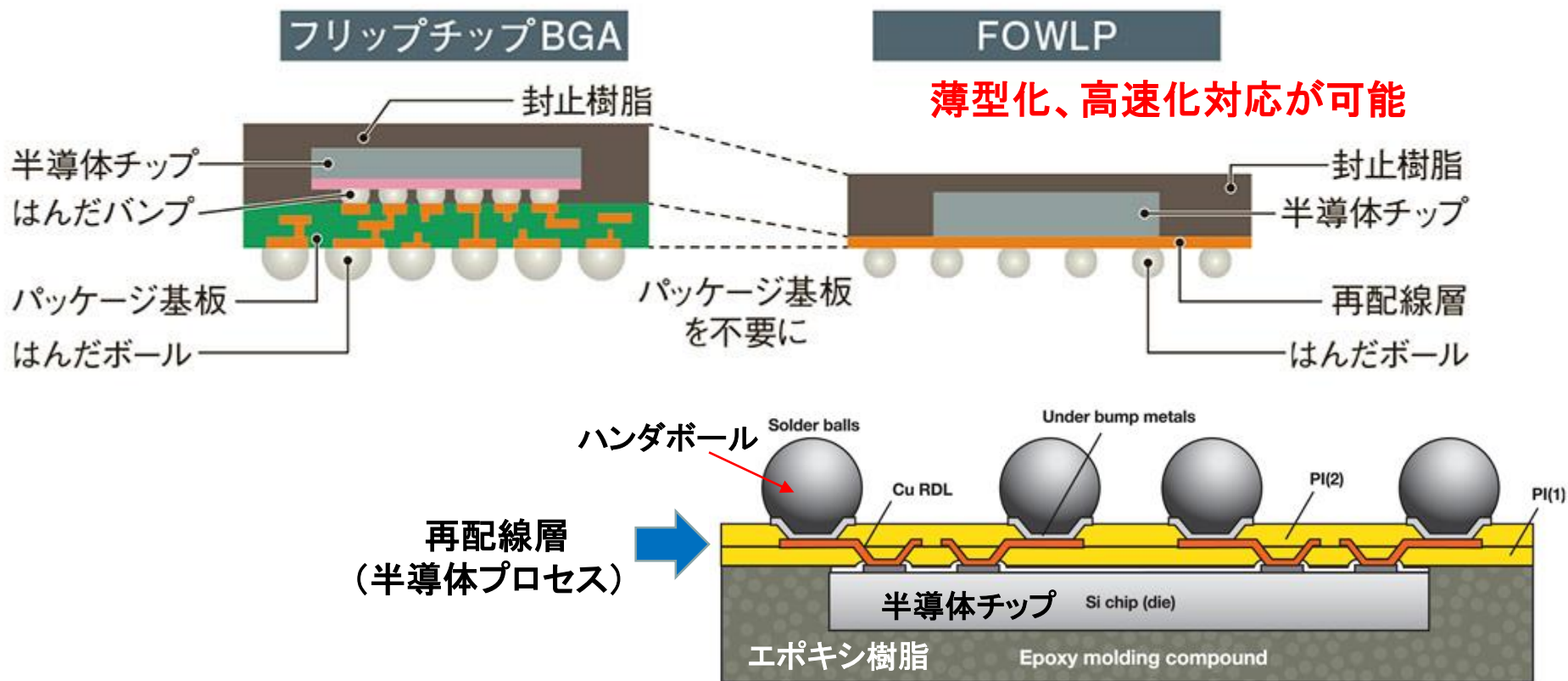
ピン挿入型(DIP) から 表面実装型(QFP他)へ



FOWLP (Fan-out Wafer Level Package)

AppleがA10プロセッサで採用 (iPhone7)

従来のフリップチップBGAに置き換わる実装方式として、「FOWLP」が注目を集めている。大きな違いはパッケージ基板がないこと。代わりにチップの端子から配線を引き出す再配線層を半導体工程で作成し、外部端子につなげる。パッケージ基板がないため、「パッケージが薄い」、「配線長が短く伝送が速い」、「パッケージ基板の分、コストが安い」といった特性を実現できる

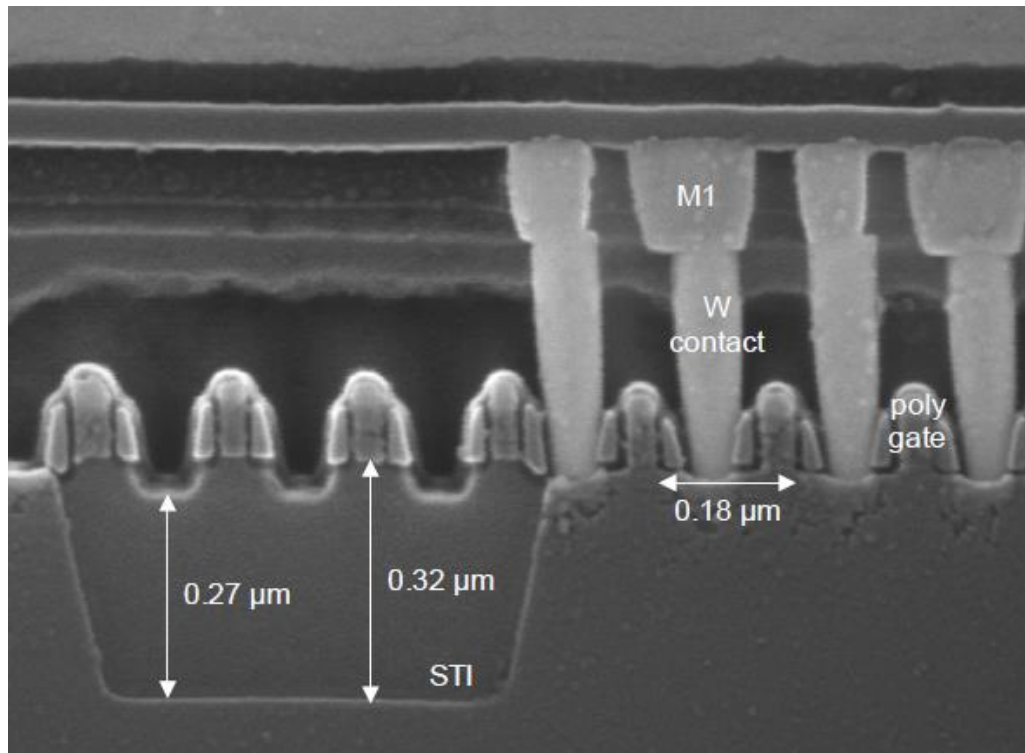


<http://electronicdesign.com/boards/package-interconnects-can-make-or-break-performance>

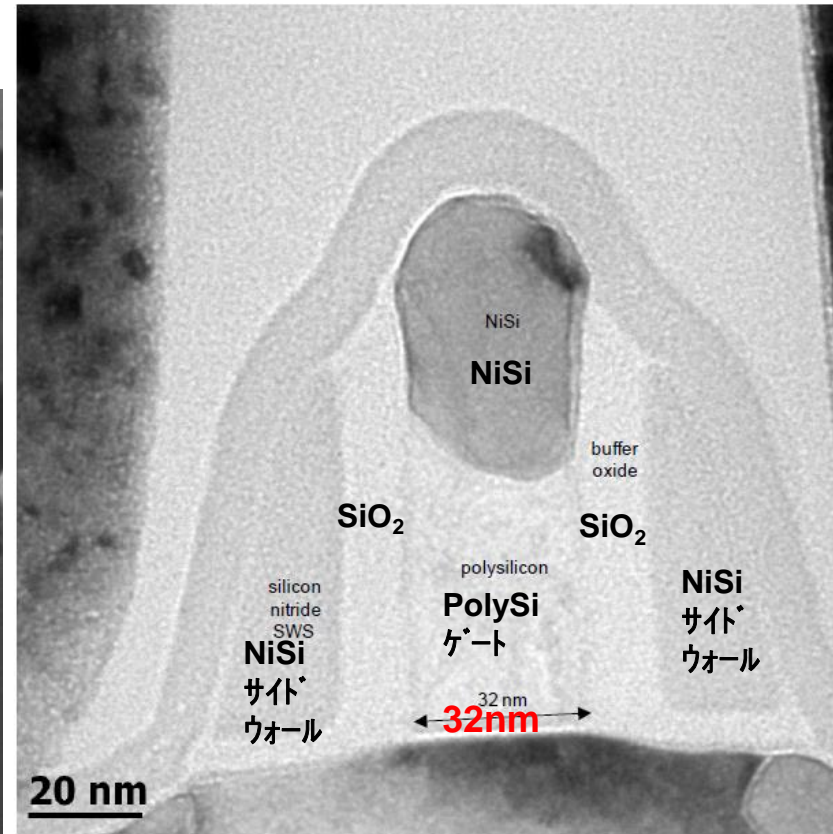
電子顕微鏡SEM断面写真に見る

45nmSoC MOSトランジスタ:歪シリコン技術

微細化したLSI断面は
非常に複雑な構造を示している。



32 nm minimum gate length MOS トランジスタ:歪シリコン技術

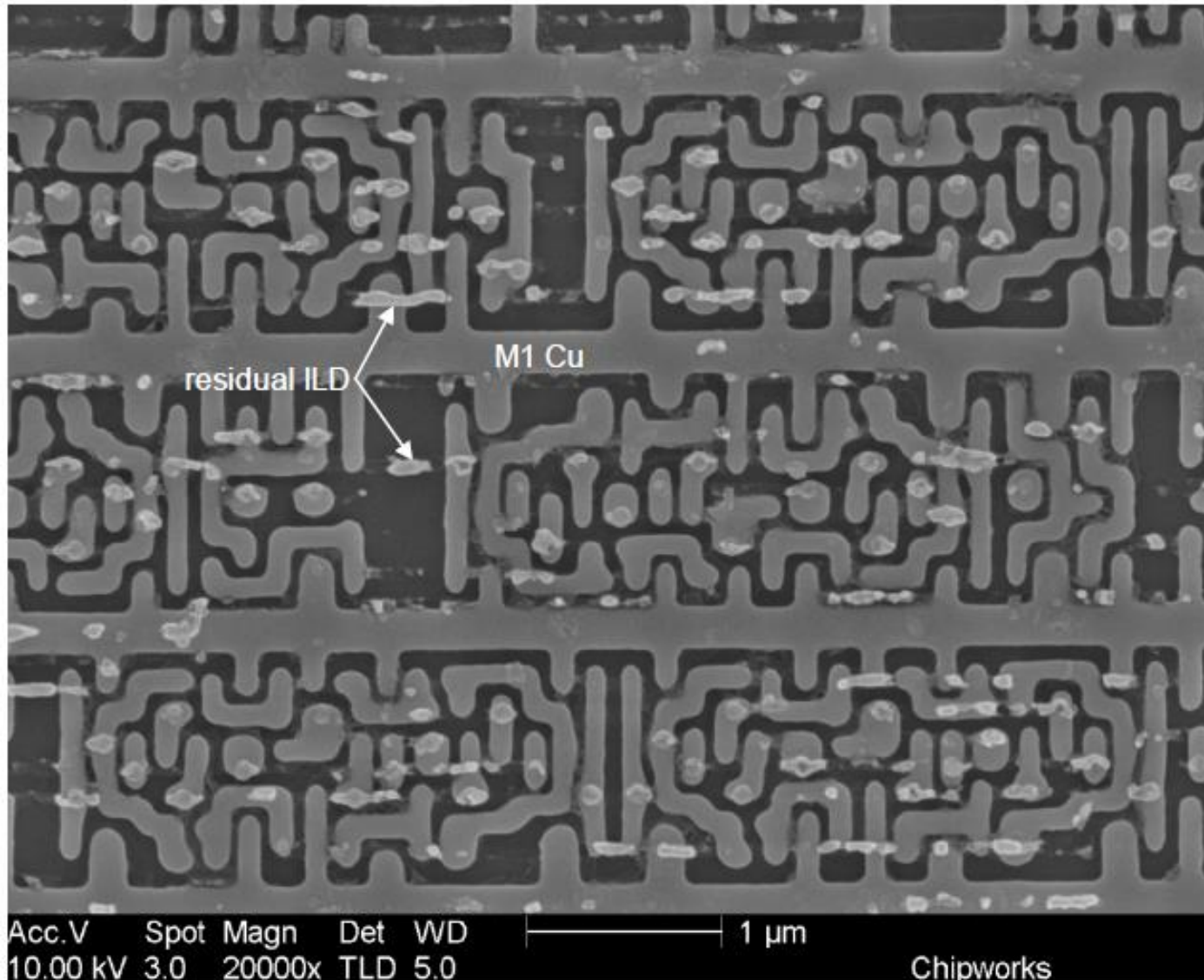


トランジスタを囲うNiSi膜がチャンネルに
歪を加え、移動度を向上

45nmSoC M1最下層配線層

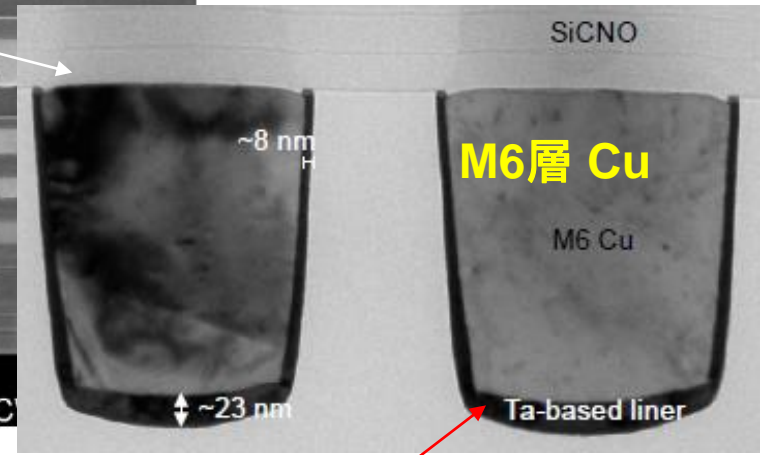
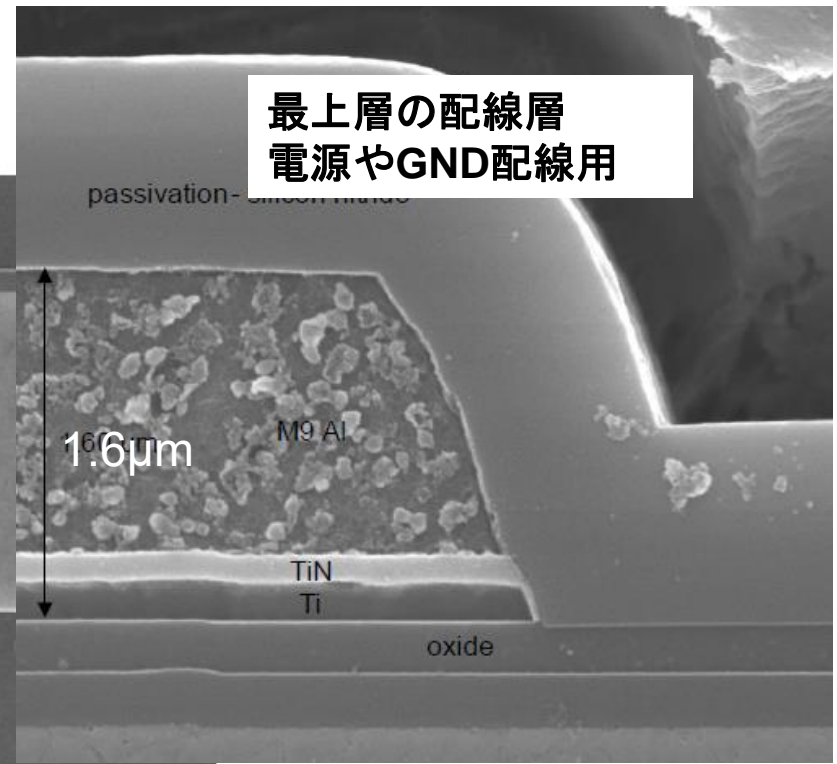
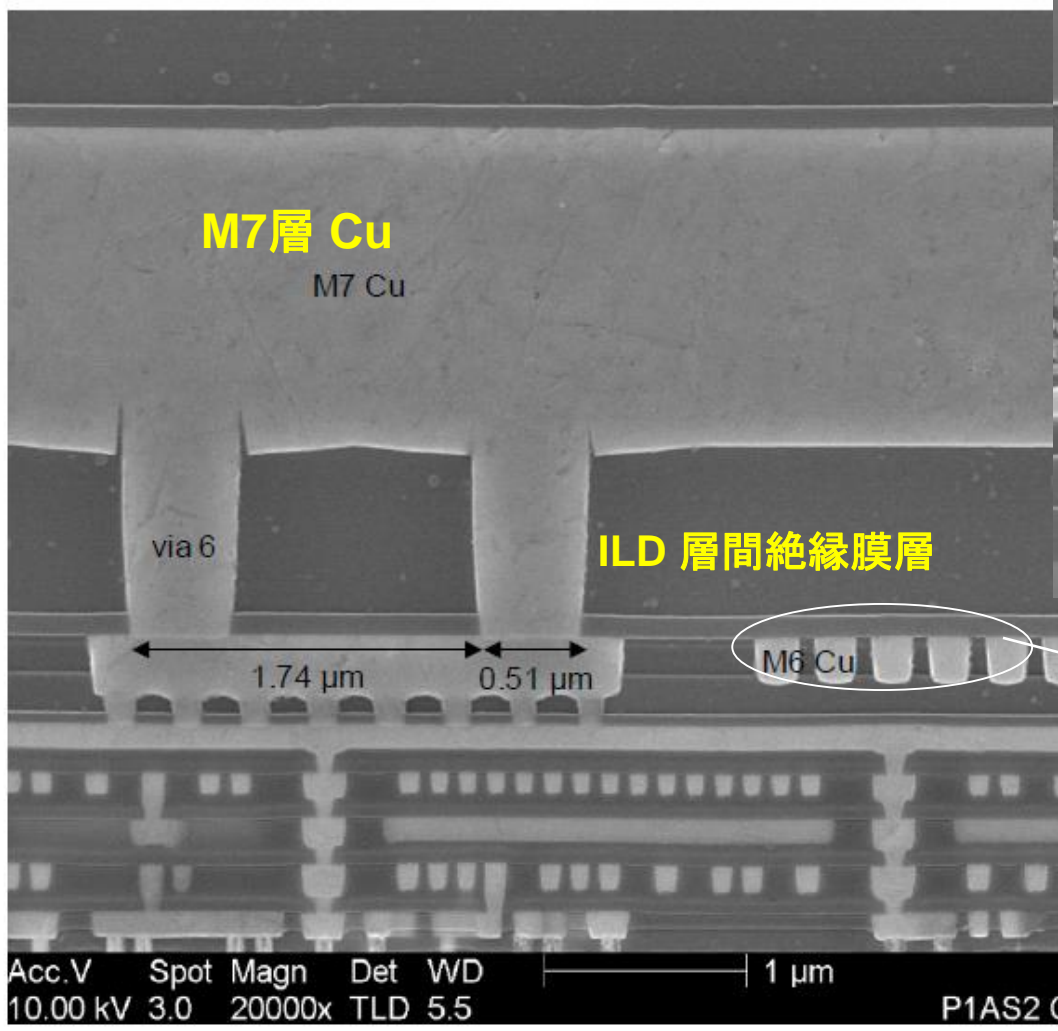
Detail of Standard Logic Cells at Metal 1

M1層は密集が最も高い



45nmSoC 配線層

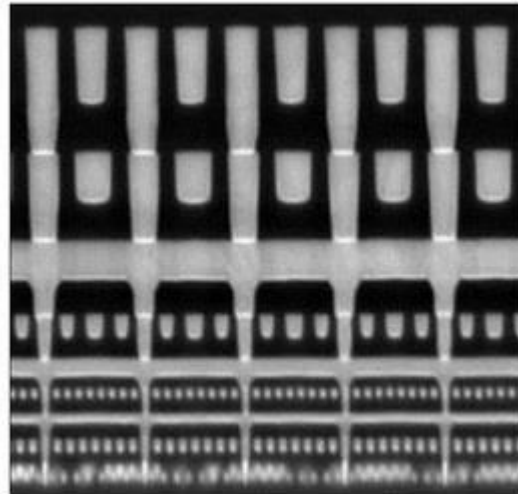
配線層も極めて複雑な構造をしている



Taベースのバリアメタル膜

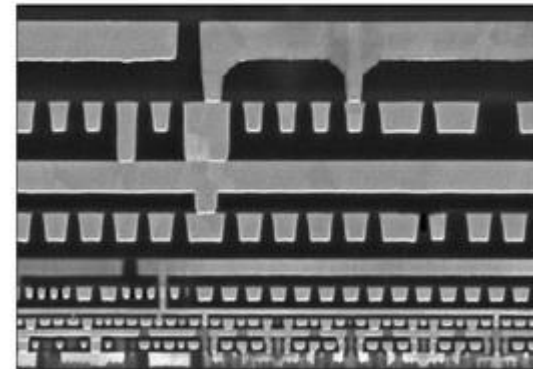
Intel 22nm/14nm FinFET

22nmプロセス



80 nm minimum pitch

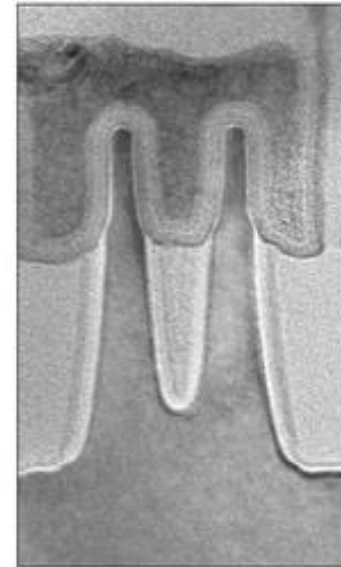
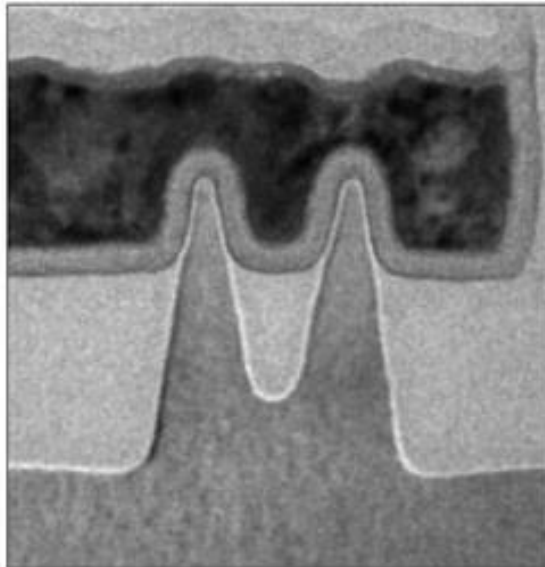
14nmプロセス



52 nm (0.65x) minimum pitch

Interconnect
配線層

FinFET
transistor

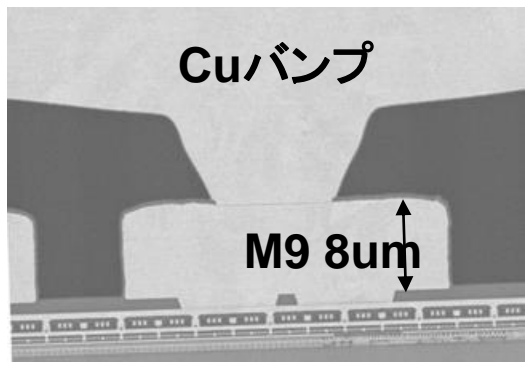


Intel MPUの配線層構造

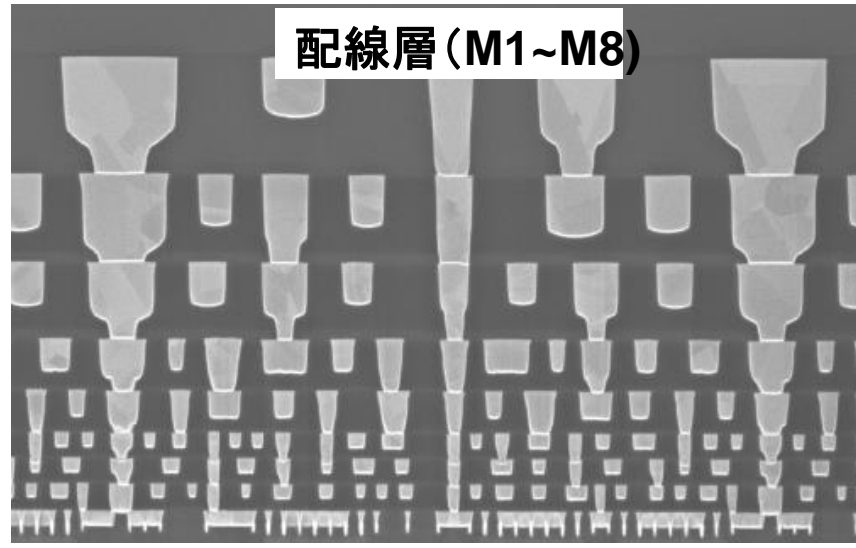
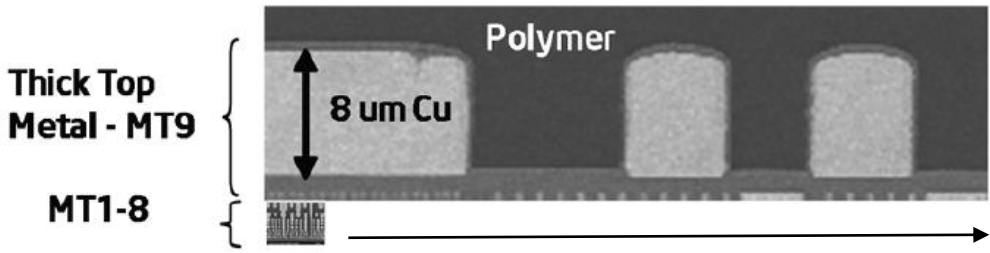
32nm デザインルール

Layer	Pitch (nm)	Thick (nm)	Aspect Ratio
Isolation	140	200	--
Contacted Gate	112.5	35	--
Metal 1	112.5	95	1.7
Metal 2	112.5	95	1.7
Metal 3	112.5	95	1.7
Metal 4	168.8	151	1.8
Metal 5	225.0	204	1.8
Metal 6	337.6	303	1.8
Metal 7	450.1	388	1.7
Metal 8	566.5	504	1.8
Metal 9	19.4um	8um	1.5

- ・メタル9層(M1~M9)銅配線
- ・メタル1~3層は、トランジスタピッチと同じ
- ・上層配線ピッチは密度と性能を最適化
- ・層間絶縁膜はlow-k ILD(低誘電率材料)
low-k誘電材料はSiCN
- ・最上層のM9メタルは**厚み8um**の銅配線
電源およびI/Oルーティング用



厚いM9メタル層
(厚み8um)



マスク描画装置：EB露光装置

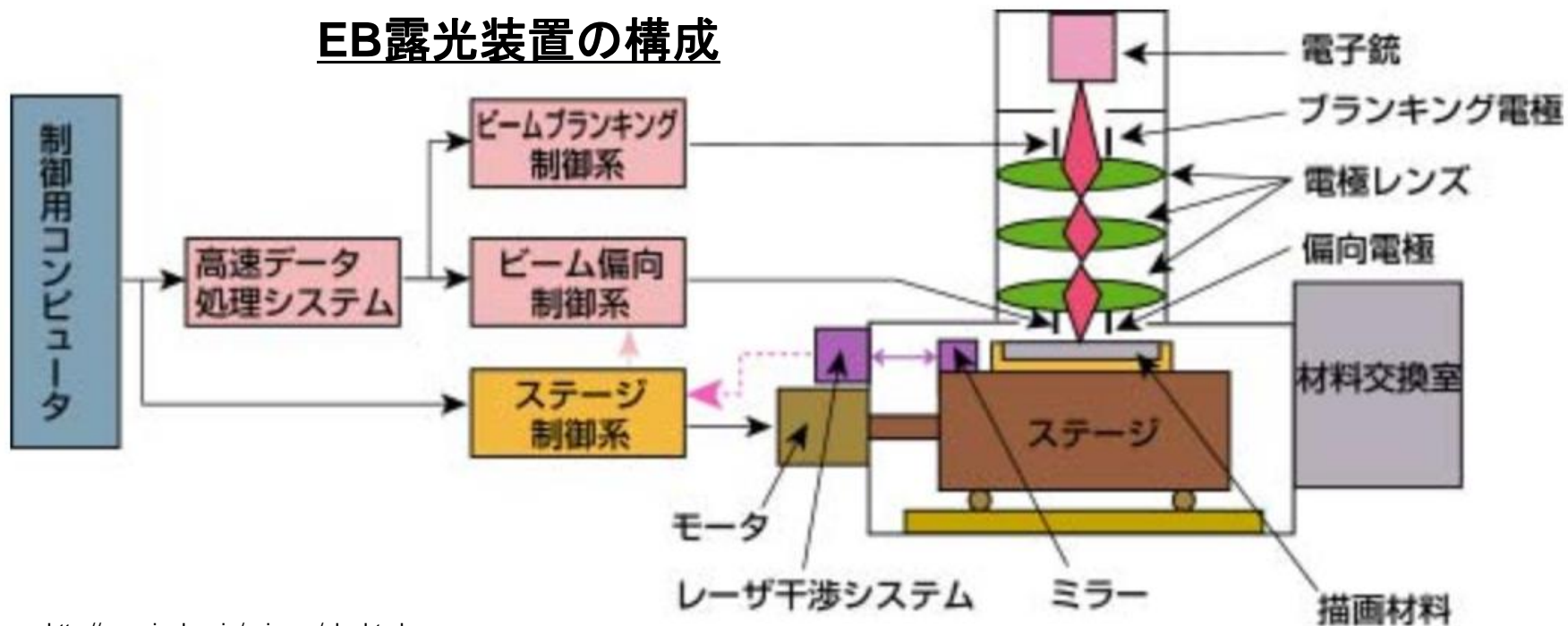
- ・EB(電子ビーム)露光装置は、電子銃で発生した電子を高電圧(50K~100kV)で加速
- ・精密な電子レンズ系とビーム偏向系(電磁または電界偏向)で電子をX,Y軸に振り、ステージ上のガラス基板塗布レジスト材にパターンを描画
- ・nmオーダーの極めて微細なパターン描画が可能。ただし、スループットは極めて遅い

マスク描画装置(EB露光装置)

EBM-9000 ニューフレアテクノロジー



EB露光装置の構成



光露光(リソグラフィ)装置

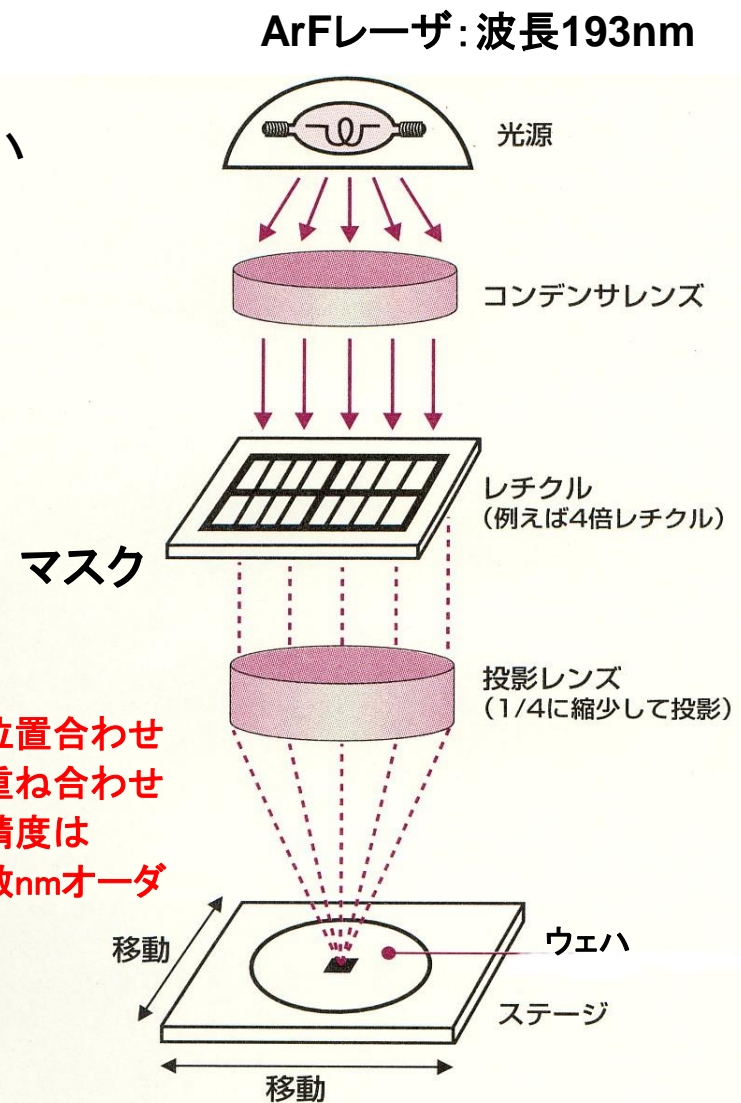
4倍寸で描画されたマスク(原版)に、レーザー光を照射し1//4の縮小投影レンズ系を介して、ステージ上のウェハ上のレジスト材を露光。光学系やステージ系などの位置あわせ精度はnmオーダーと極めて精緻。光学、機械およびエレクトロニクス、制御技術が高度に融合した芸術品

ArF液浸露光装置(スキャナ) ASML TWINSCAN NXE:1950i



1台定価 50億円、平均実売価格 約40億円

写真: ASMLホームページ

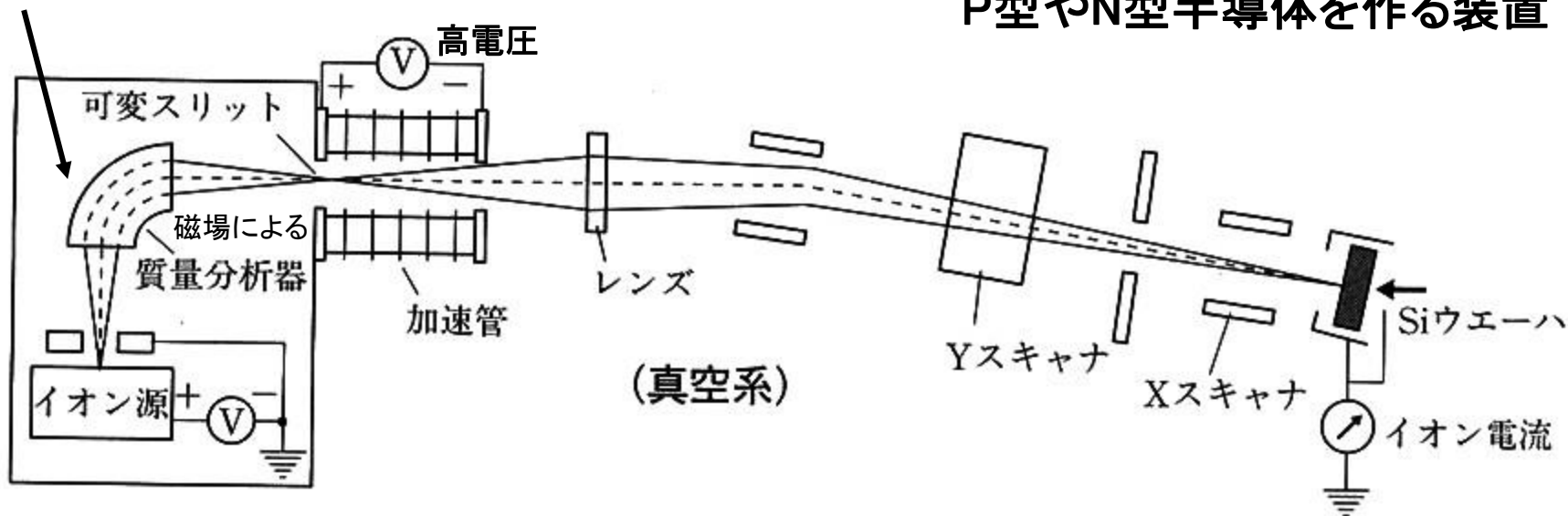


- ・ステッパ: ウェハステージのみ移動、マスクは固定
 - ・スキャナ: ウェハステージとマスクステージが同期して移動
- 処理速度: 100ウェハ/時間以上と高速

イオン注入装置

荷電粒子(何価か)の質量により曲がる角度が変わる

不純物を正確にシリコン基板に打ち込み、
P型やN型半導体を作る装置



導電型不純物と拡散用ソース (例)

導電型	導電型不純物	不純物ソース (常温での状態)
N型	リン (P)	POCl ₃ (液体), PH ₃ (気体)
	ヒ素 (As)	As ₂ O ₃ (固体), AsH ₃ (気体)
	アンチモン (Sb)	Sb ₂ O ₃ (固体)
P型	ボロン (B)	BCl ₃ (気体), B ₂ H ₆ (気体), BBr ₃ (気体), BN (固体)

不純物用ソースガスをイオン化し高電界(数KeV~MeV)で加速してウェハ表面から打ち込む。加速電圧とイオン電流を制御する事により、不純物濃度を正確に制御可能。

イオン注入装置での埋め込み深さ例:

50KeV 100keV

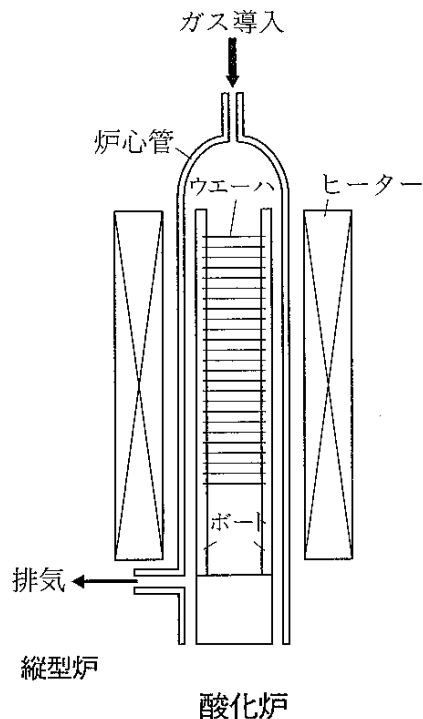
B(ボロン) 202nm 400nm

P(リン) 61nm 123nm

* 固体や液体のソースでは、蒸発器や気化器を通し、ガス状態にして炉心管へ導入。

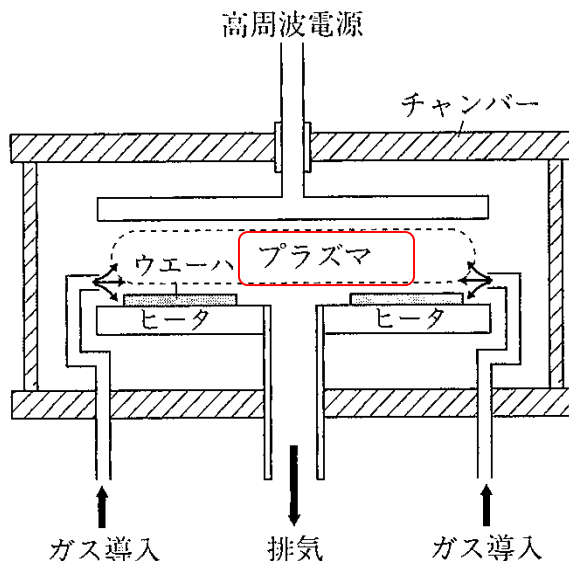
成膜装置

ウェハ上に各種金属薄膜や酸化膜(SiO₂)などを成膜する装置



熱酸化装置

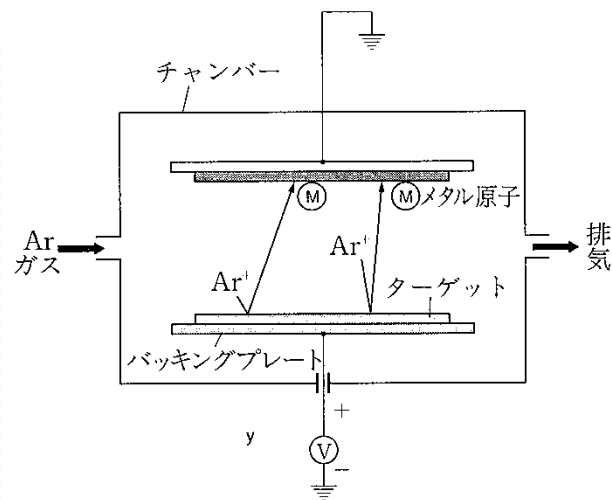
酸素ガスなどを供給し
800~1000度に加熱し
シリコン表面を酸化させ
酸化膜(SiO₂)を生成
(体積膨張伴う)



平行平板型プラズマ CVD 装置

CVD(化学的気相成長)装置

CVD:Chemical Vapor Deposition
チャンバ内に膜材料となるガスを供給し、ガスにエネルギーを与え励起し、化学触媒(分離、酸化、還元)反応を利用してウェハ上に薄膜を堆積させる。
熱CVD:400~800°C
プラズマCVD:400°C以下



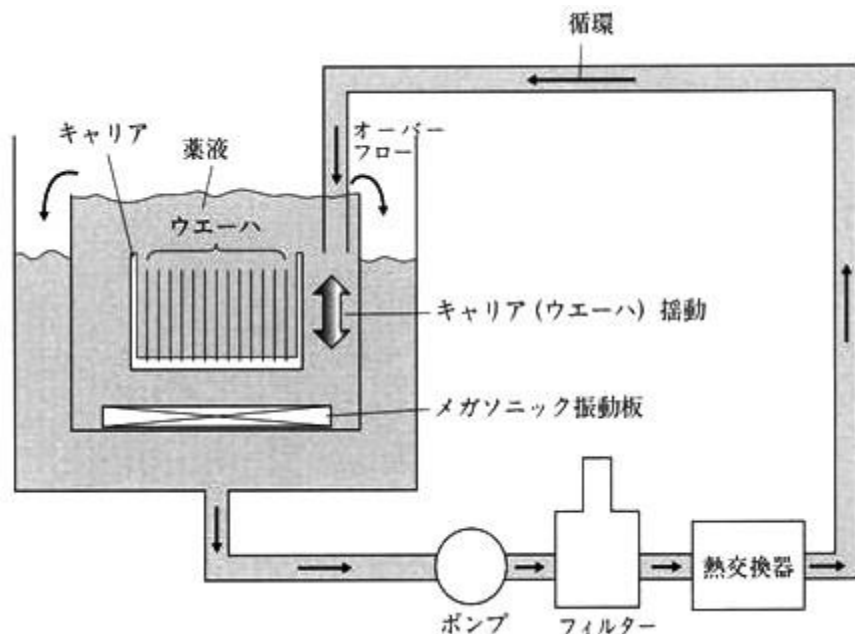
スパッタリング装置

スパッタリング装置(PVD装置)

ターゲット(材料金属)にアルゴンガスを高速でぶつけ、叩き出された金属がウェハ上に付着して薄膜が生成される。
イオンエネルギーは1KeV程度。
金属:Al,W,Ti,Coなど

エッチング装置

ウェハ上に生成した各種薄膜(酸化膜や金属膜)を一定形状に加工する装置

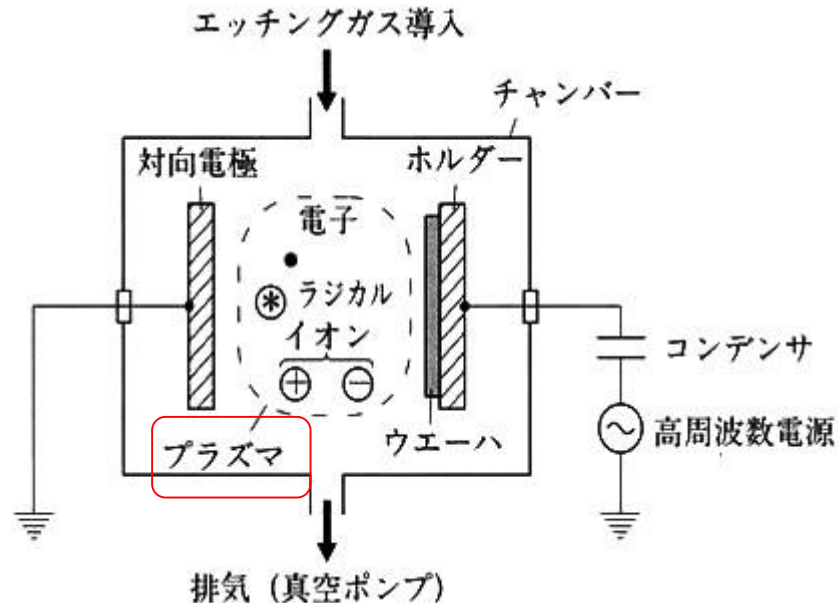


代表的薬液

フッ酸 (HF)
 希フッ酸 (DHF: $\text{HF} + \text{H}_2\text{O}$)
 バッファードフッ酸 (BHF: $\text{HF} + \text{NH}_4\text{F}$)
 熱リン酸 (H_3PO_4)
 フッ酸+ヨード入り氷酢酸 ($\text{CH}_3\text{COOH} (\text{I}_2)$)

ウェットエッチング装置

薬液にてウェハ上の各種薄膜を化学的にエッチングする。



ドライエッチング装置

励起されたエッチングガスによりウェハ上の薄膜を、物理的および化学的に反応させ揮発性生成物化して排気ガスとして除去する。

RIE(反応性イオンエッチング)

エッチングガスがプラズマで分解活性化しウェハ表面に反応。プラズマ中の電子がWafer電極にまづは飛び込む。この負に帯電したWaferに(+)イオンが引き付けられ加速され、この衝撃でエッチング反応が促進される

プラズマとは

自由に運動するプラスとマイナスの荷電粒子が共存して
電気的中性になっている物質の状態

固体・液体・気体に次ぐ物質の第4の状態といわれることもある

正負の荷電粒子とは正イオンと電子が主。
電気的中性とはほぼ同数の正イオンと電子が存在すること。

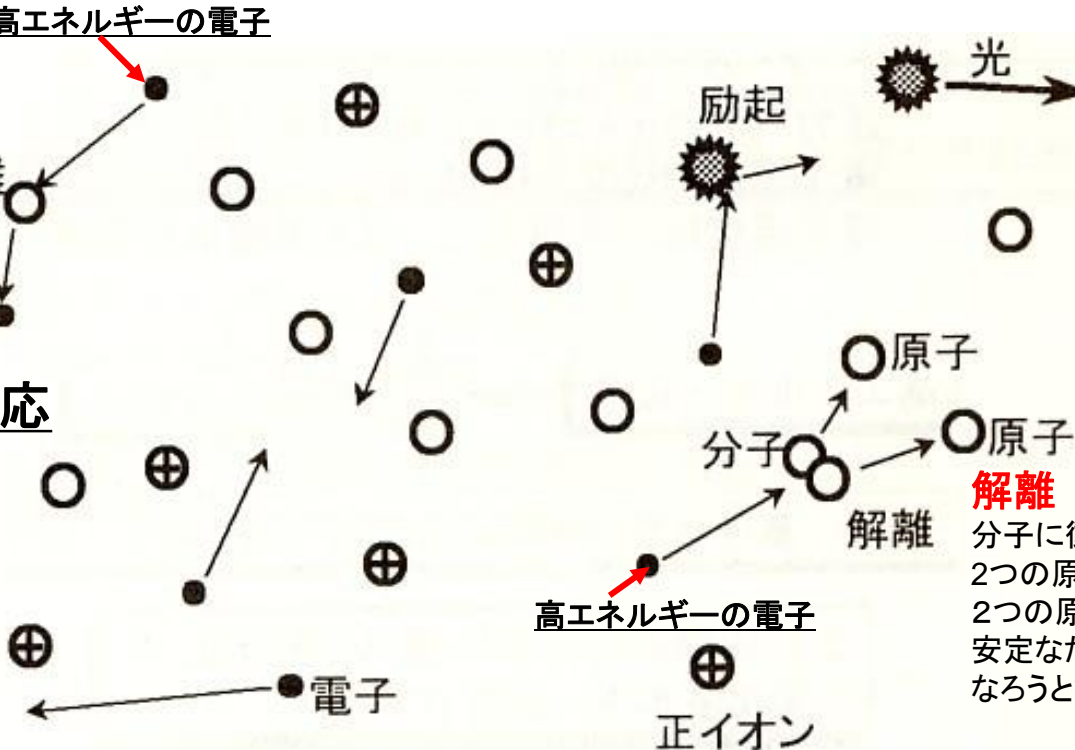
電離

原子に衝突して
原子から電子を弾き飛ばし
正イオンと電子が発生

高エネルギーの電子

電離

プラズマ中での反応



励起

原子(あるいは分子)に
衝突して原子に運動エネルギー
を与えて非常に大きな
内部エネルギーをもつ。
(励起状態)
励起状態とは電子がひとつ
上のエネルギー順位の高い
軌道に移る事による。
不安定ですぐに光を発生し
エネルギーを放出し
基底状態に戻る。

解離

分子に衝突して
2つの原子に分解。この分子は
2つの原子がくっついた状態が
安定なため、くっついて安定に
なろうとする

ドライエッチングのメカニズム

イオンシース: プラズマ中に挿入された固体の周囲に形成される空間電荷層

電子のエネルギー(速度)はイオンより桁違いに速い

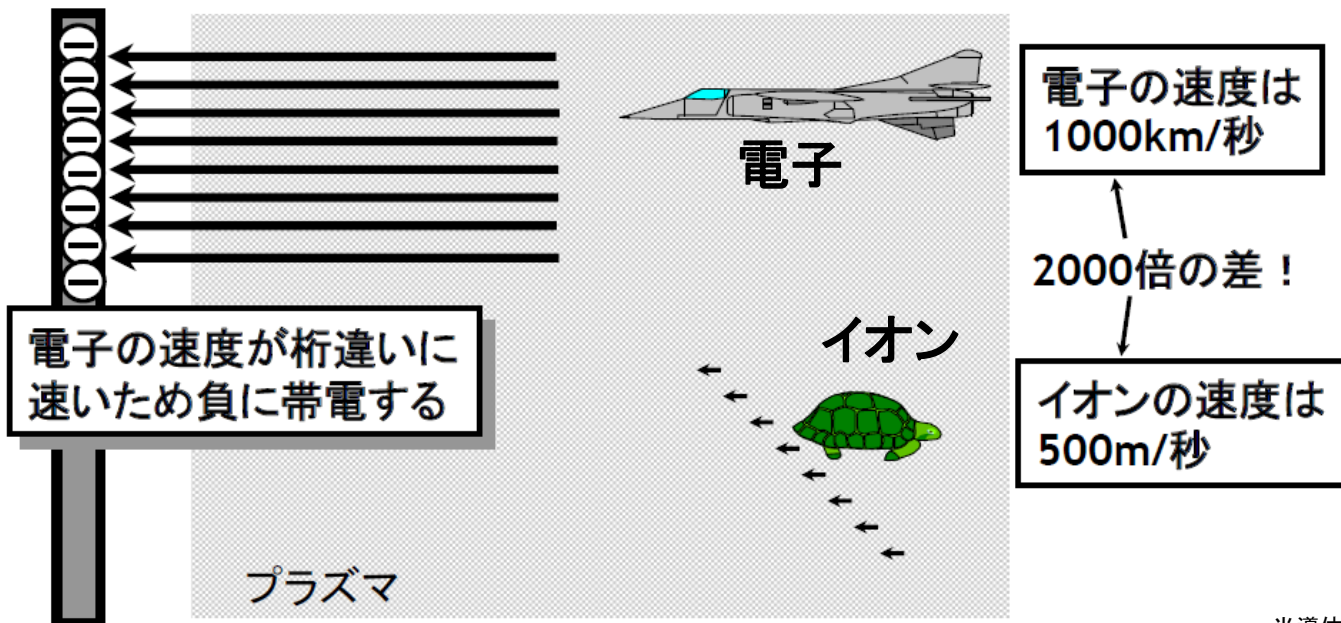
固体に流入する電子量が圧倒的に多い 固体が電子で負に帯電

固体は負に帯電しその周りにイオンの空間電荷層ができる **イオンシース(さや)**

イオンはシースで加速されて基板に衝突する!

イオンシース近傍のイオンは負に帯電した固体に引っ張られ加速して個体に衝突

Wafer



洗浄装置

LSI製造では微小なパーティクル
(ゴミ)や微量残留不純物が問題。
このため汚染の可能性のあるプロセ
スから次のプロセスの間に必ず
“洗浄”が必要となる。
洗浄にはウェット洗浄とドライ洗浄
がある。

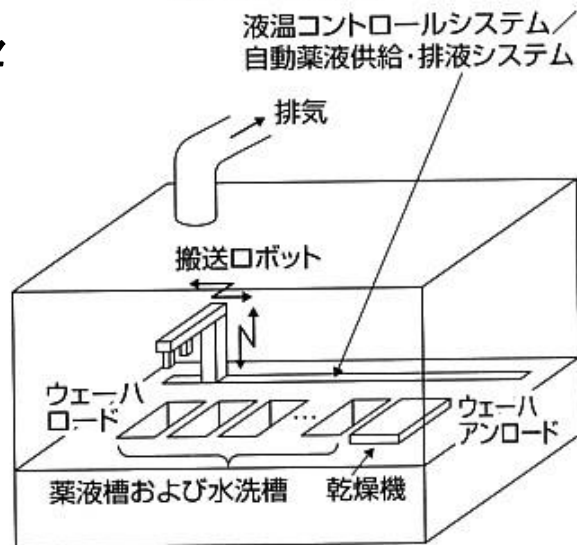
①洗浄効果の異なる複数の薬液槽に
ウェハを順番に浸漬させて洗浄する。
(バッチ式ウェット洗浄)

②一つの薬液槽に複数の薬液を順次
供給(ワンバス方式)

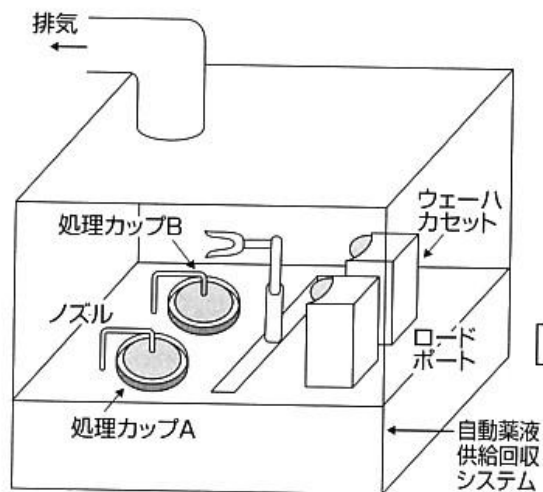
③一枚ずつ洗浄する枚様式洗浄。
1~2つのカップで複数の薬液を処理
(枚葉式ウェット洗浄)

④ドライ洗浄として紫外線を照射して
オゾンが発生させて有機物を
分解して揮発させる(紫外線洗浄)

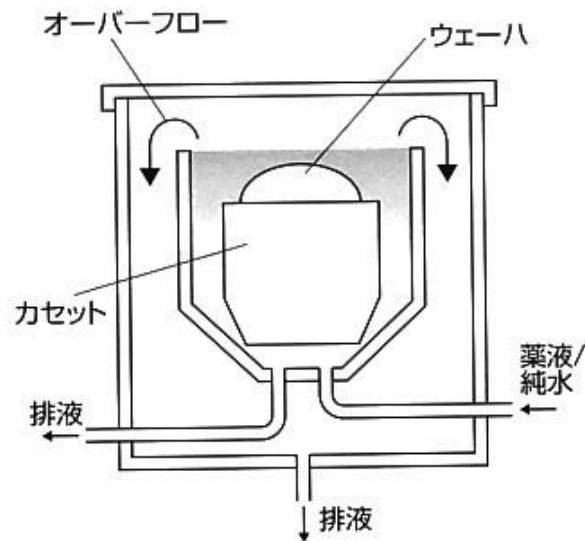
① バッチ式ウェット洗浄装置
(多槽浸漬式)



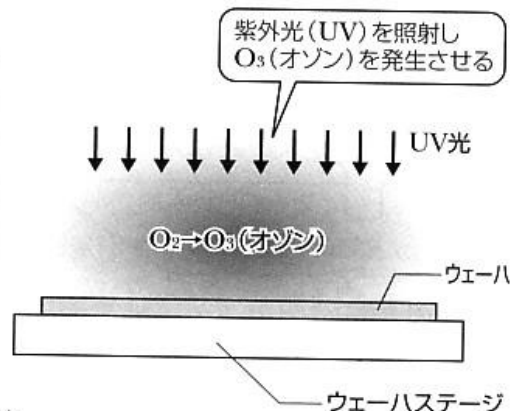
③ 枚葉式ウェット洗浄装置



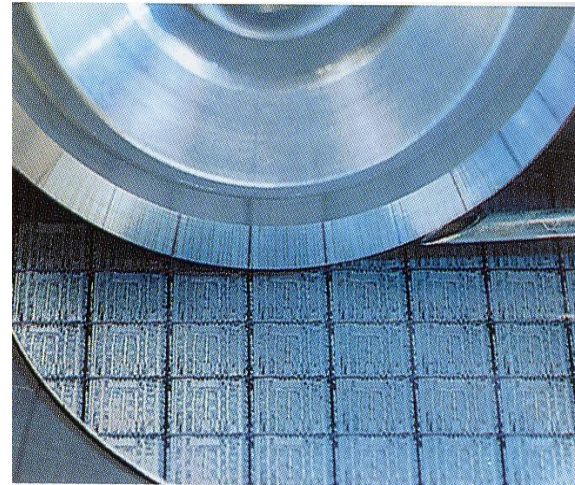
② バッチ式ウェット洗浄装置
(ワンバス方式)



④ 紫外線洗浄

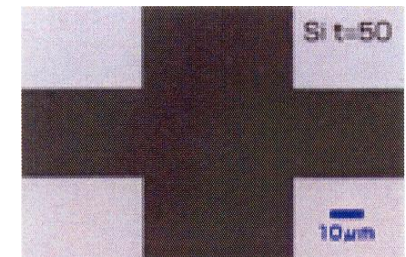


ダイシング装置



切断面

回転ブレードダイサ



切断面

レーザーダイサ

ダイシングは紫外線を照射すると変質する透明な高分子粘着シートにウェハを貼り付け、シートをフレームに固定し、回転するダイシングソーで格子状にフルカットする。

試験装置

半導体メーカーが製造する半導体は、全て半導体テストシステムで試験を行い、良品のみが出荷される。

半導体テストシステムでは、測定対象のLSIが有する全ての機能および性能の試験が必要となる。



メモリ・テストシステム
T5503

メモリテストシステム

- DRAM
- フラッシュメモリ
などを試験



SOCテスト・システム T2000

SOCテストシステム

- マイクロプロセッサ
- デジタル家電用SOC
などを試験



イメージセンサ・
テスト・システムT8571A

アナログテストシステム

- AV用アナログLSI
- 車用アナログLSI
- CCD/CMOSイメージセンサ
などを試験

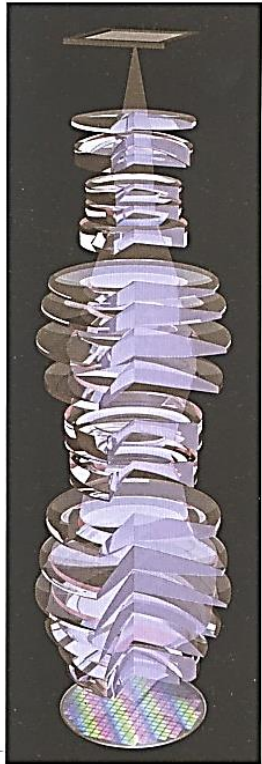
次世代半導体微細化で最もkeyとなる製造装置、 EUV露光技術動向

現在の光露光装置(ArF光源を使用した液浸露光装置)ではこれ以上に微細化対応は出来なくなっている。

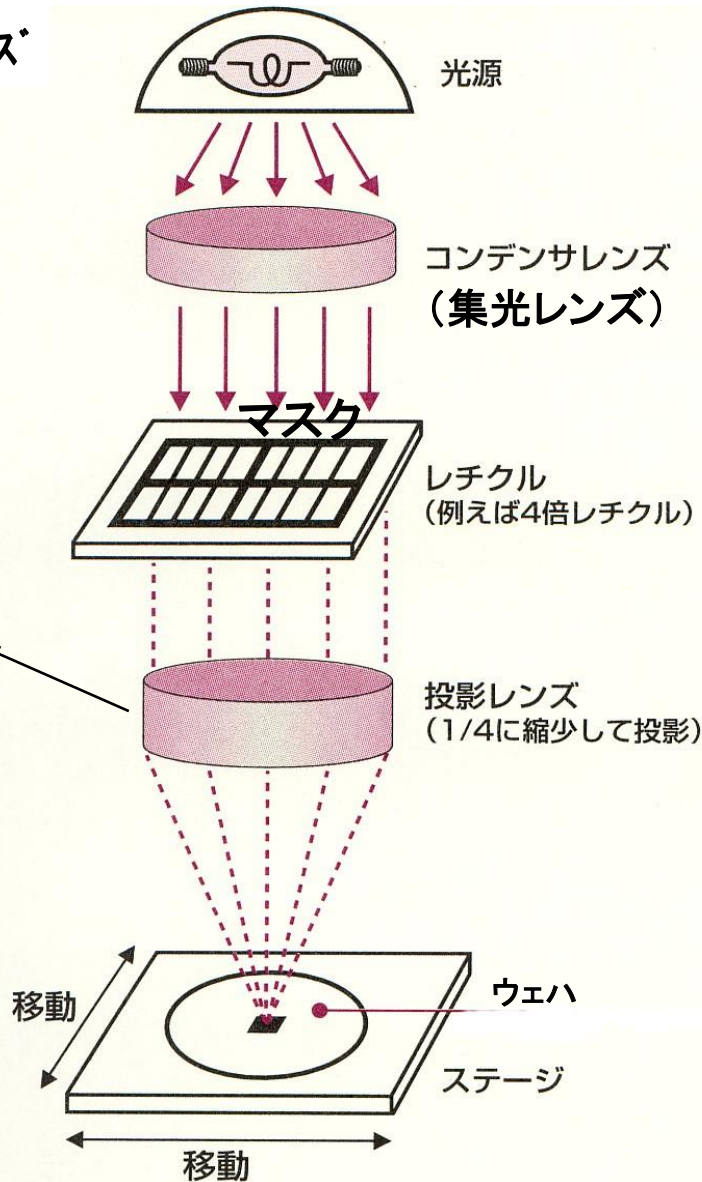
波長13.5nmのEUV(Extreme ultraviolet極端紫外線)を用いる露光装置の完成が待たれている。
しかし、技術課題が大きく完成が大幅に遅れている。

光露光装置：透過光学系

1/4縮小投影レンズ



位置合わせ
重ね合わせ
精度は
数nmオーダー



光露光装置は

微細化(高解像度化)のため、
光源の波長を短くして来た。

波長436nmのg線 > 波長365nmのi線 >
波長248nmのKrF > **波長193nmのArF**

さらに、投影レンズとウェハの間に
純水を入れ、屈折率を1.4倍高めて
解像度を高める「**液浸**」技術も搭載

解像度決めるレイリーの式

$$\text{解像度} = k \frac{\lambda (\text{波長})}{\text{NA} (\text{開口数})}$$

$$\text{NA} = n \sin \theta$$

k: プロセス係数

n: 媒質の屈折率

空気 n = 1

水 n = 1.44

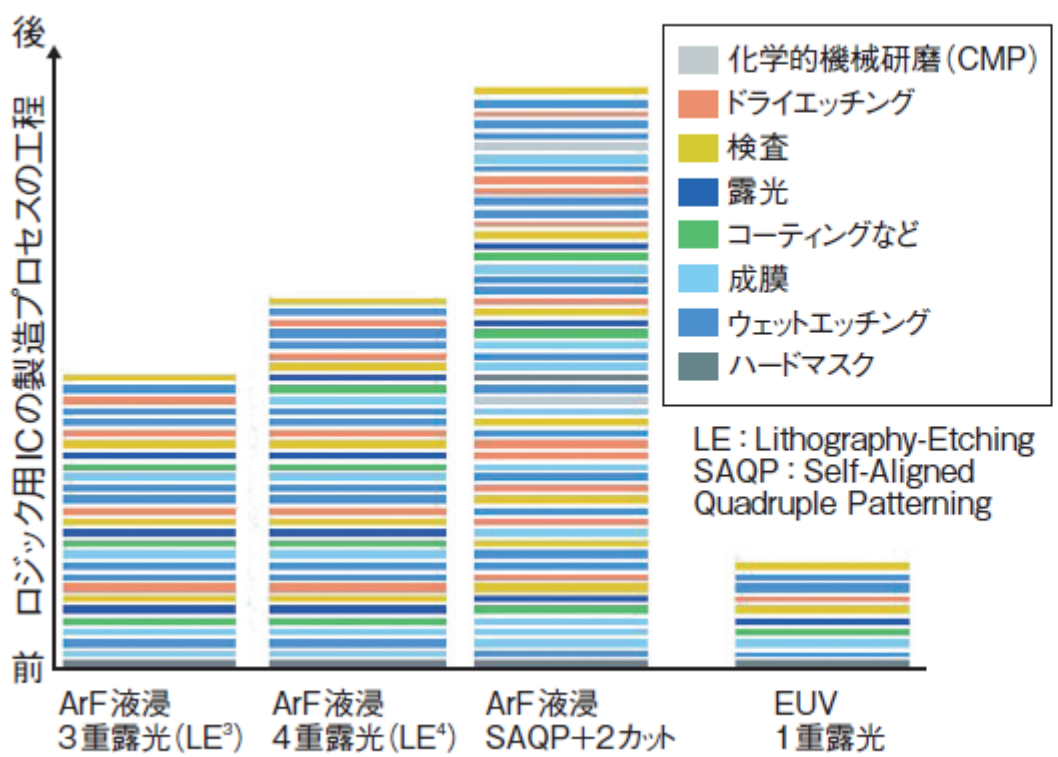
θ : ウェハへの光入射角

EUVを使用すると露光工程が簡素化

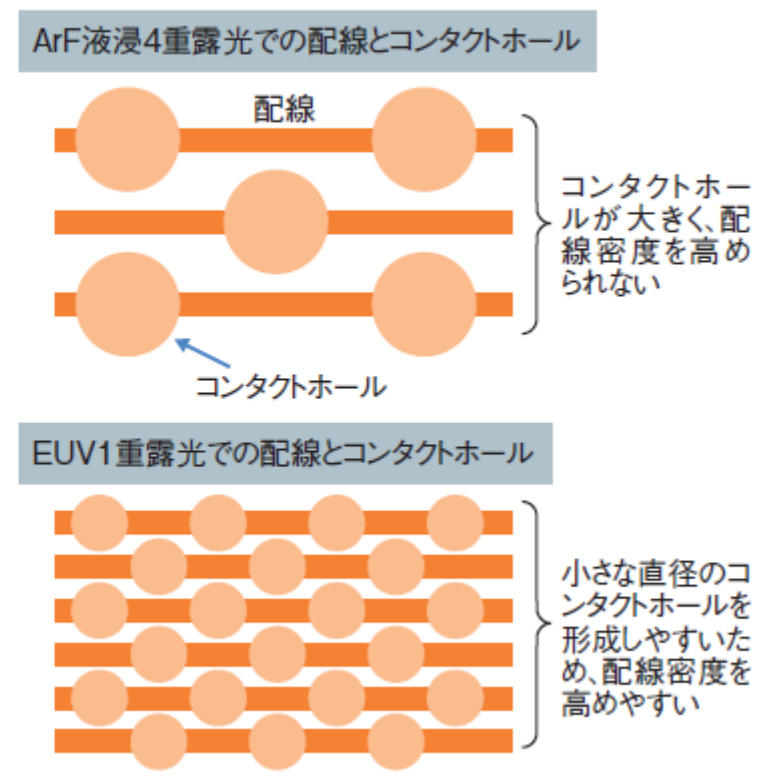
波長13.5nmEUV(Extreme ultraviolet極端紫外線)

- ・光露光でさらに微細化対応するには、多重露光(微細なマスクを分割して作成し、何度も露光し前工程プロセスをマスク数繰り返す)回数を増やす必要がある。しかしプロセス工数が増大する
- ・波長の短い13.5nmEUV露光装置使用できれば、プロセス工数は大幅削減可能

(a) EUVはプロセス工程数が大幅に少なく、TATが短い

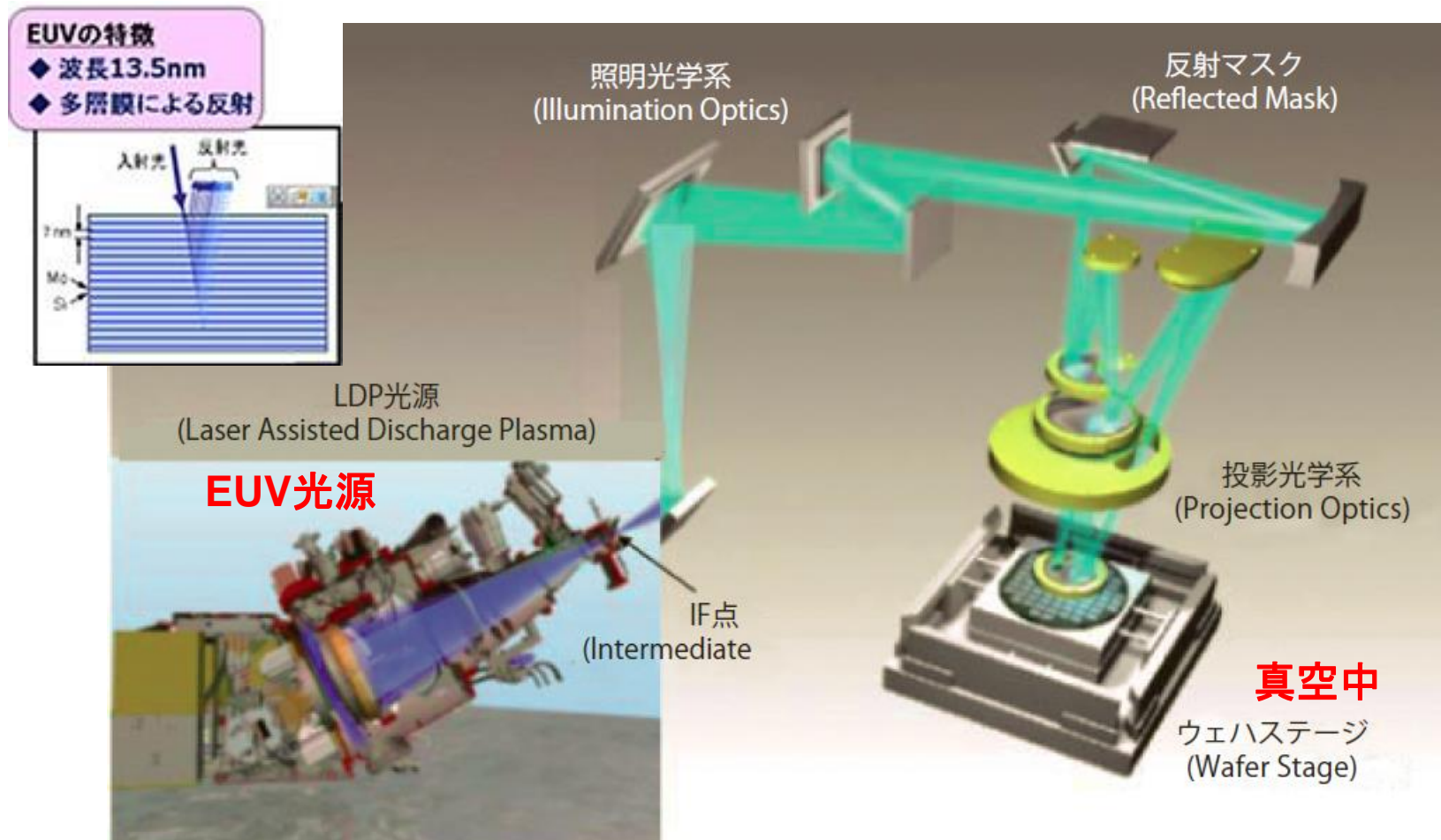


(b) EUVでは小さなコンタクトホールも作りやすい



EUV露光装置は反射光学系

- ・光源に**波長13.5nm**のEUV光を用いる露光装置
- ・光学系は反射光学系が必要(従来の露光装置は透過投影光学系)
- ・技術課題は極めて多い。特に大出力EUV光源技術開発が大幅遅れ
- ・EUV装置開発はASMLのみ。NikonやCanonは技術開発凍結



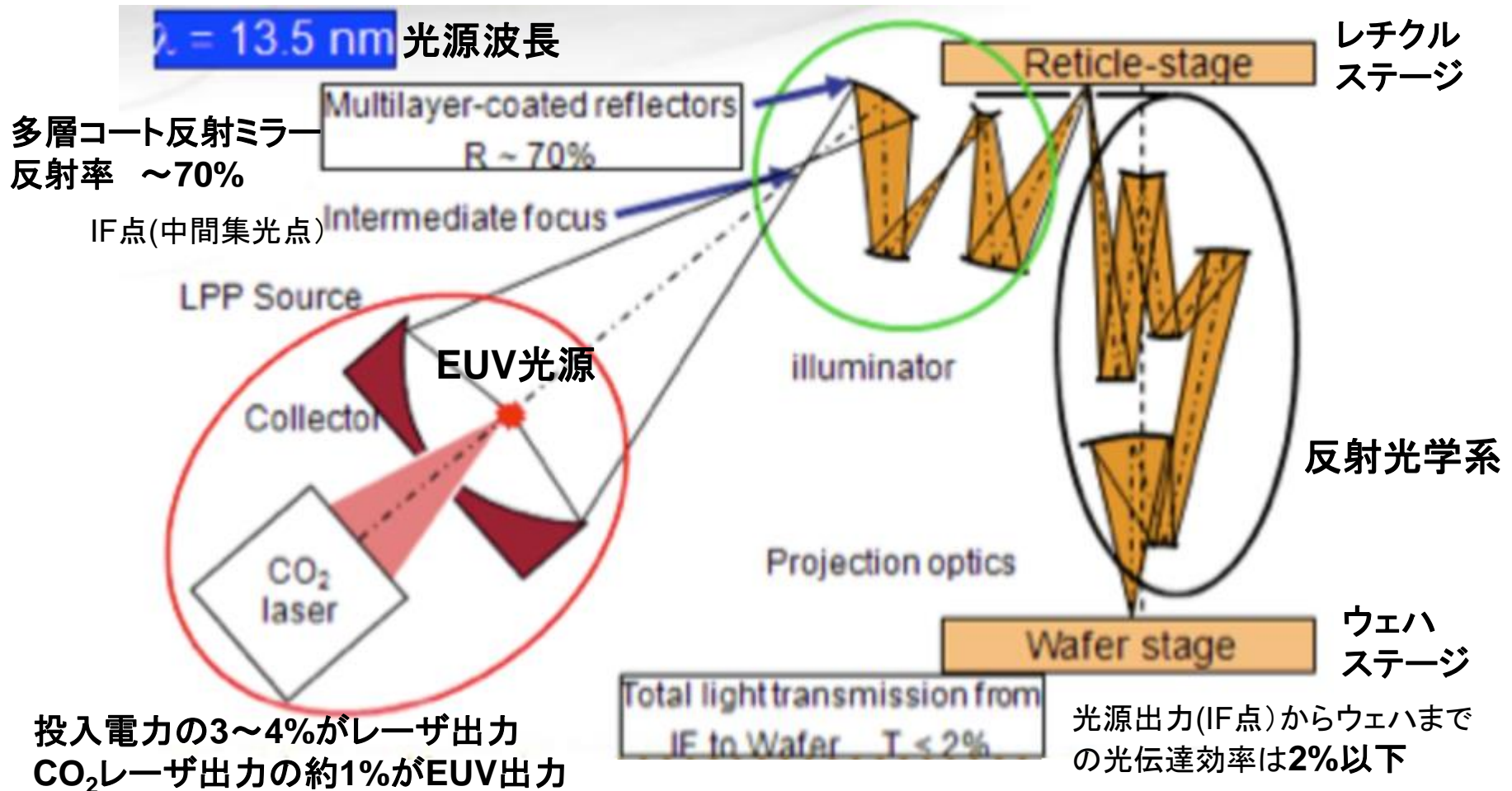
EUV反射光学系

EUV用多層膜反射光学系では、**1枚の反射率が70%以下**。2枚で50%に低下。

このため6~8枚が限界。**6枚でも光強度は1/10以下**となってしまう。

中間集光点 (IF)から、ウェハに至る光強度は2%以下まで低下。

投入電力からEUV出力までの多大なロス含めると、EUV露光装置は膨大な電力が必要。



EUV反射光学系：多層膜反射ミラー

非球面多層膜反射光学系の課題は、非球面反射光学系の精度

- ・光学系収差を支配する形状精度、フレアといったバックグラウンドの光強度うねり精度（中間周波領域の精度）、反射率に関する**表面粗さ**（高周波領域の精度）それぞれ**0.05～0.15nm (rms)精度**が必要
- ・可視光PDI(Point Diffraction Interferometer点回折干渉計)技術で球面ミラー表面粗さ計測した時、測定再現性0.03nm(rms)、絶対測定精度0.08nm(rms)
- ・ミラーの研磨技術進化で0.05nm(rms)レベルのミラー加工も可能へ

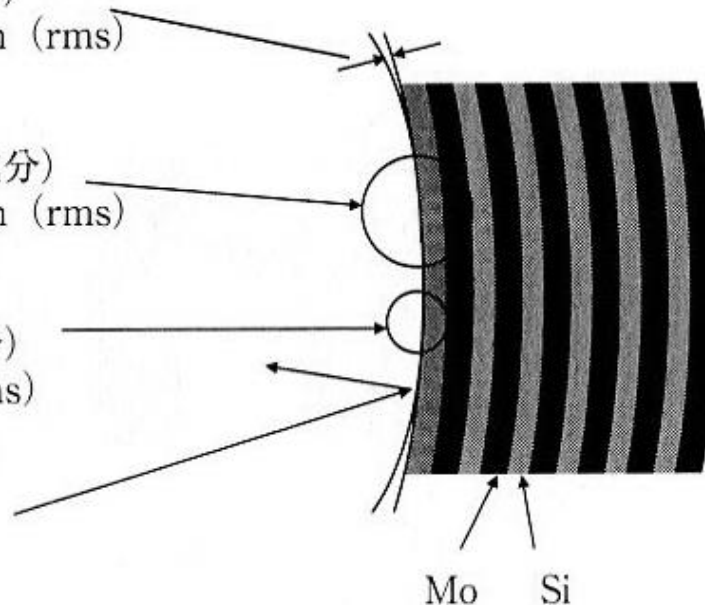
形状精度
(低周波数成分)
< 0.1 ~ 0.2 nm (rms)

うねり精度
(中間周波数成分)
< 0.1 ~ 0.2 nm (rms)

表面粗さ
(高周波数成分)
< 0.1 nm (rms)

多層膜反射率
> 65 ~ 70%

反射ミラーの断面構成

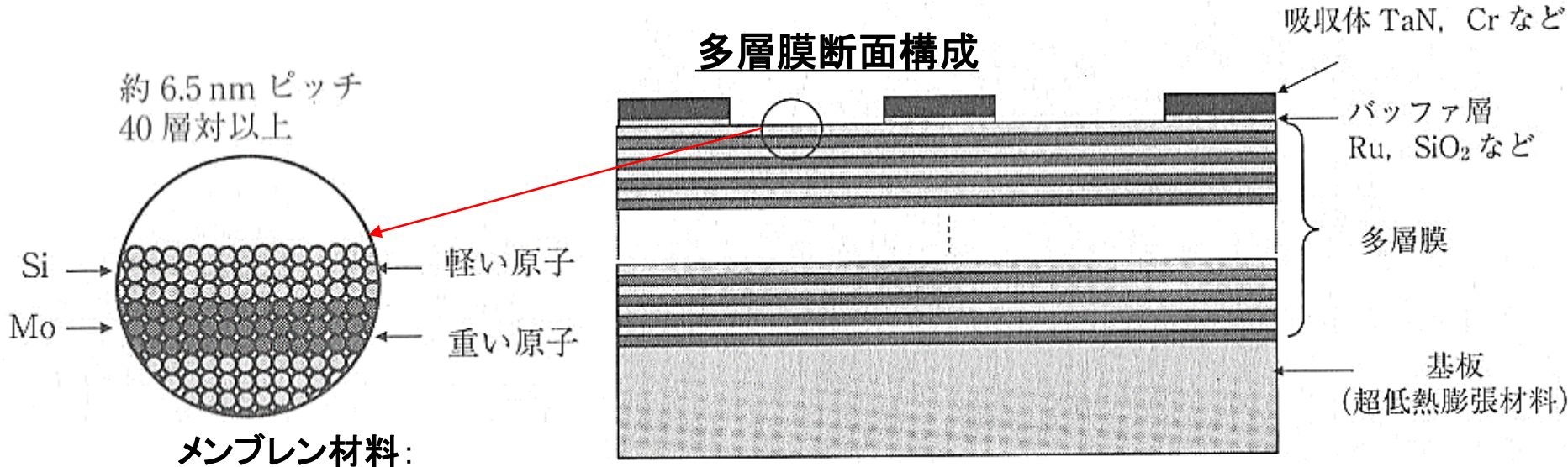


モリブデンとシリコンの
多層膜構造

ピッチ：6.5 ~ 7 nm > 40 層対

EUV多層膜マスク

- ・超低熱膨張基板上に、MoとSiを交互(各40層の計80層)に重ねた多層膜形成し、その上にEUV光の吸収体
- ・吸収体(パターン)は、EUV光を強く吸収する材料が適している。Cr,W,Taが候補
- ・吸収体加工時、下地の多層膜にダメージ与えないようにバッファ層を挿入
- ・バッファ層として、SiO₂やRuが提案。ASETでは吸収体にTa₂N₅、バッファ層にRu
- ・EUVマスクの最大の問題は、欠陥密度の低減。欠陥は多層膜、吸収体どちらも問題。マスク面にある一定以上のおおきさの欠陥はウェハ面での欠陥となる。
- ・多層膜マスクでは、僅かな段差が多層膜に生じてても位相欠陥となる



メンブレン材料:

X線照射耐性が重要。SiCやSiNを使用

レジスト材料:

EBやDUV光で使われている化学増幅型レジスト

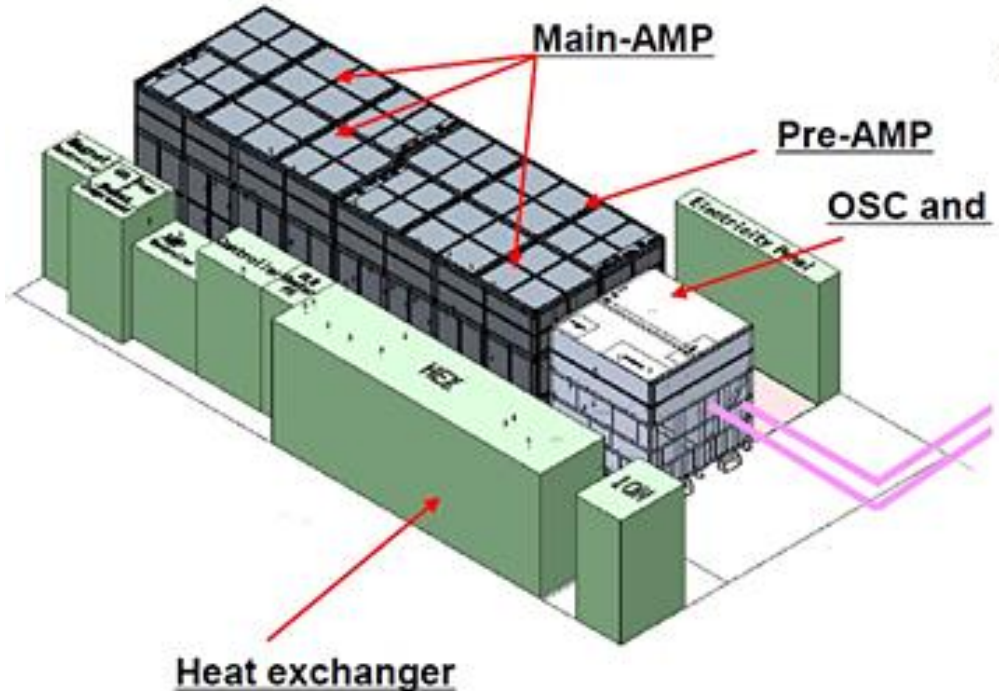
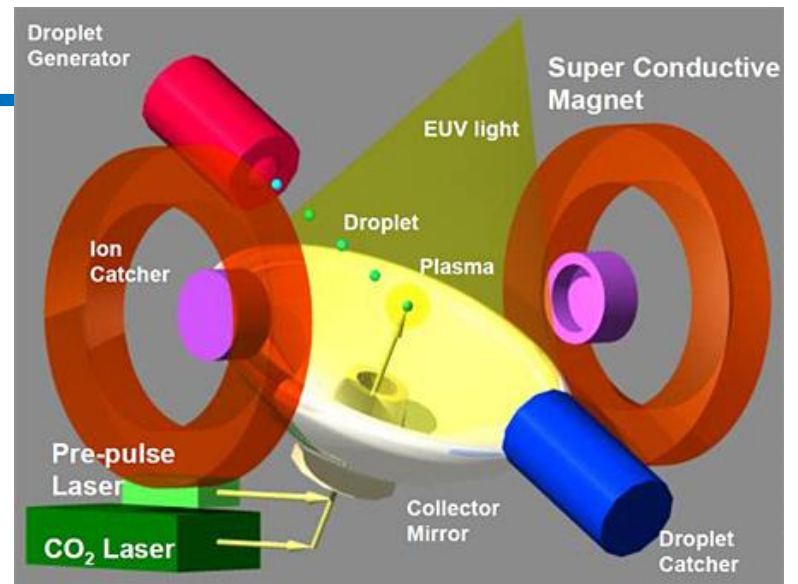
マスク倍率x4 (将来的にはx8の見込み)

EUV光源：LPP方式

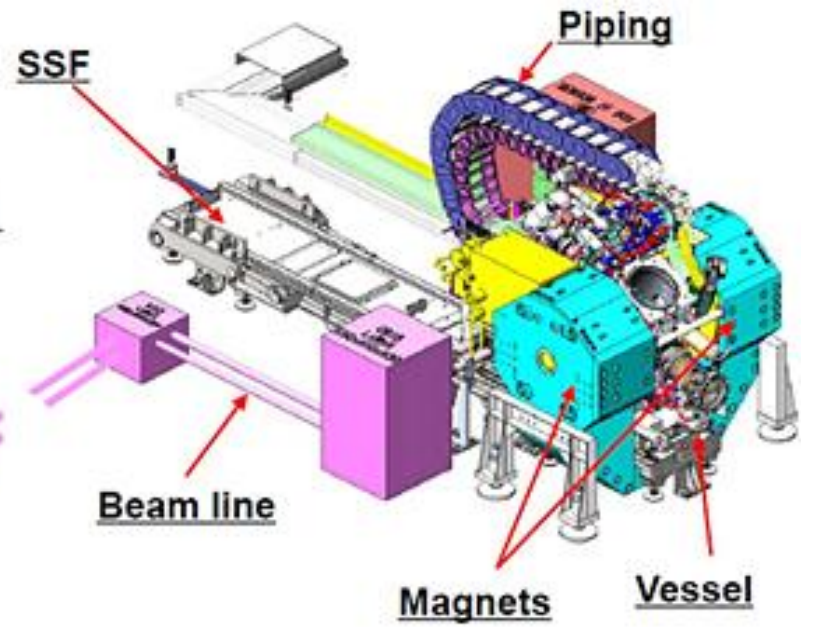
Laser Produced Plasma

錫Snを滴下しそこに炭酸ガスレーザー光を照射すると、Snがプラズマ化して電子が励起される。電子が励起状態から定常状態に戻るときに13.5nmのEUVが発生する。ただし効率は極めてひくい。

光源消費電力は1台で実に150KW !!
工場に10台装置おくと1.5MWの電力が必要



CO2レーザーシステム部



EUV発光部

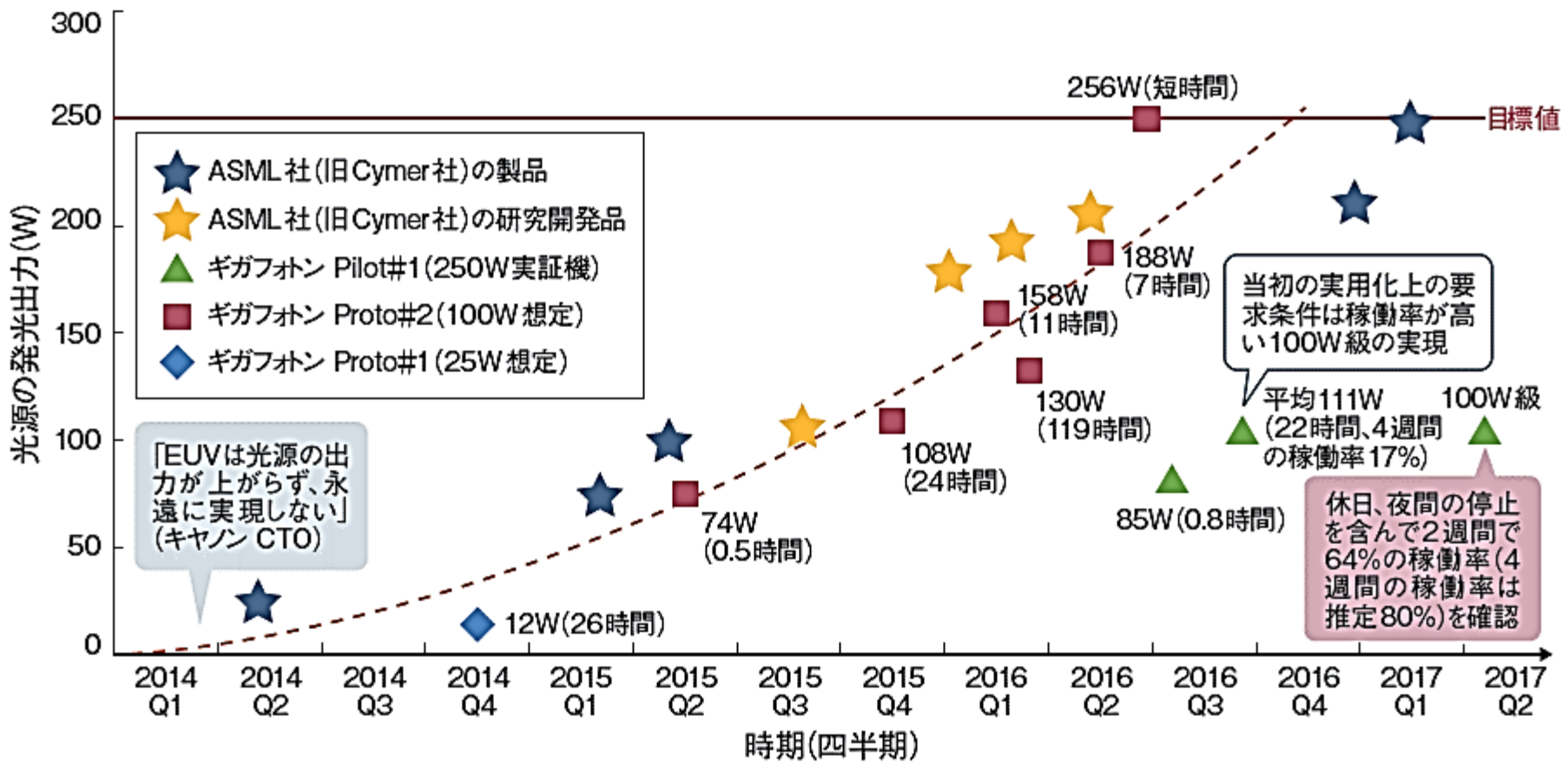
念願の光源出力が量産対応実用レベルに

最大の課題「光源の出力」がついに向上してきた。

100枚/h以上の量産に必須の100W光源出力の安定稼働が見えてきた。

短時間では200W～500W出力も得られるようになった。

ただし200W以上となると、光源の寿命問題のほか、反射光学系やマスクなどへのダメージが新たな問題となってくるが、これらは未解決



ASMLのEUV装置

NXE:3400B

7-5nm node量産対応EUVシステム

- ・2017年から出荷開始
- ・光源波長: 13.5nmEUV
- ・光学系: NA=0.33 (Carl Zeiss SMT製)
- ・露光フィールド: 26 x 33mm
- ・解像度: 13nm
- ・CDU: 1.1nm
- ・重ね合わせ: 1.4nm (同一装置)
2nm (装置間)
- ・スループット: 125枚以上

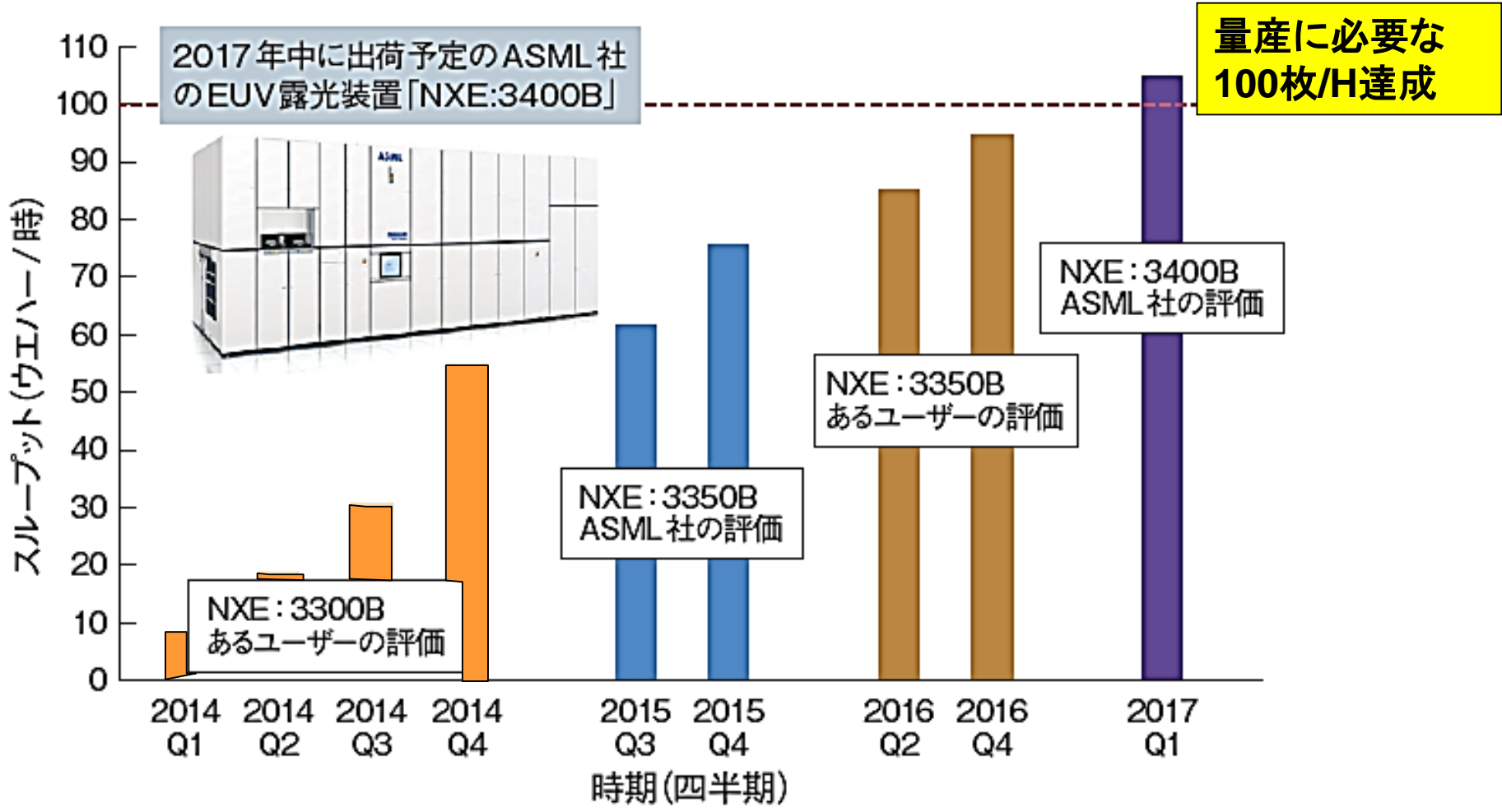
ASMLは2017年7月に、
1基当たり1億5000万ドルの
EUVシステム(NXE3400B)
21基を受注と発表

ASMLはこれまでに累計1兆円を
超えるEUV開発投資を行ってきた。



EUVの生産性は3年で10倍超に向上

- ・ASMLは、量産用第1世代のEUV装置「NXE:3400B」を2017年に出荷
スループット125枚/H、NA=0.33,最小加工寸法13nm,オーバーレイ精度3nm以下を実現
- ・2024年ごろの量産を目指す次世代開発、0.5N.A.,スループット185枚/H、オーバーレイ精度2nm以下
300mmウェハ換算



EUV採用予定

2016.11

2018年にロジック用として4社、メモリ用(DRAM)として2社がEUV使用予定

Intel, Samsung,
TSMC, GF

Samsung,
Micronでは？

TSMC, Samsungが積極的に導入中

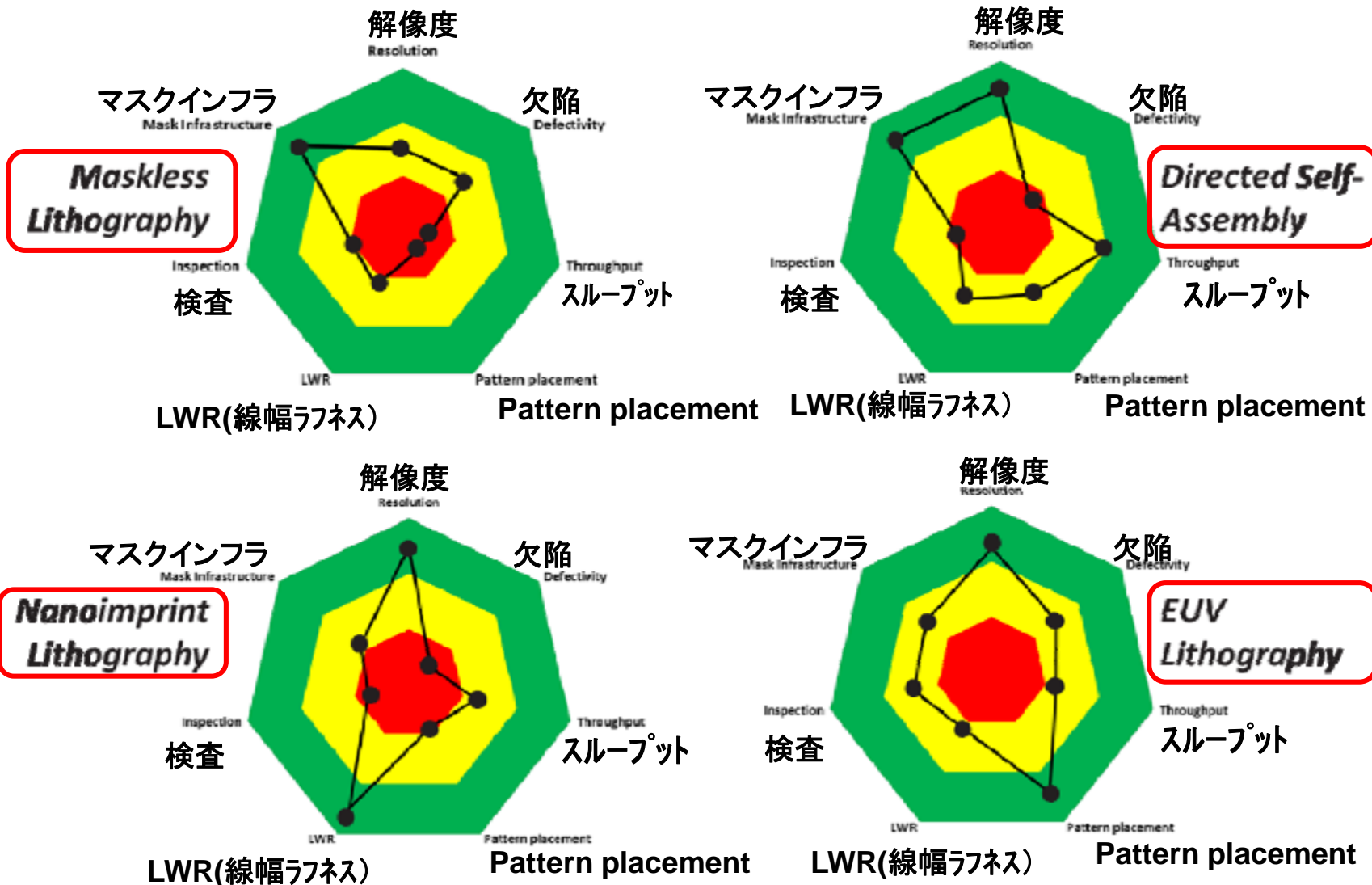


Source: 1) Customers - public statements, IC Knowledge LLC; 2) ASML extrapolations

<http://eetimes.jp/ee/articles/1611/10/news038.html>

ITRS2.0 2015 リソグラフィ候補技術の比較

各方式、メリットとデメリットがある。各装置の技術開発は難しい。



微細化コストは急上昇

- ・先端ファブ投資額: 45/40nm世代で約35億ドル、16/14nm世代では約50億ドルまで増加
- ・プロセス開発費も45/40nm世代で5億5000万ドルが、16/14nmでは18億ドルまで上昇
- ・先端ファブを有する半導体企業数は大幅減少。16/14nmは4社のみに減少
Intel, TSMC, Samsung, GF



半導体は様々な先端技術の融合

1) 半導体は多くの先端技術が結集した芸術産業



2) 日本の半導体製造装置産業や、
 素材材料産業は、
 世界で優位性を確保している産業。

3) 世界で勝つには技術だけでは駄目。
 世界で勝てるビジネス戦略が重要

- ・製品戦略
- ・技術戦略
- ・マーケティング戦略
- ・営業戦略
- ・知的財産戦略
- ・製造 & 流通 (サプライチェーン) 戦略

など。

半導体なしでは全産業が成り立たない。
 半導体産業はグローバルな視点において
 今後も重要な産業。

Report: 受講学生皆さんへ

私の5回分それぞれの講義にたいして、下記内容でReportとして提出。
このReportが評点となります。手書きではなく、**パソコン使用**とします。

- 1) 各回講義の目次毎の項目で**内容と結論**を簡潔にまとめる
講義スライド内容に追加情報を各自調査して加えれば更に良い。
結論は、各自考えや意見で記載すること。
- 2) 各回ごとに**全体通しての意見と感想**、を必ず加える事。

5回分を纏めて下記へメール添付にて提出とします。提出締め切りは11月7日。

送付先メールアドレス: takayuki.nakatani1017@gmail.com