

## ISPSD2017 出張報告

2017年7月5日

群馬大学 松田順一

### ISPSD (International Symposium Power Semiconductor Devices & ICs) 2017

<http://www.ispsd2017.com/>

開催日 2017年5月28日(月)～6月1日(木)

場所 ロイトン札幌

目的：最新のパワーデバイス技術の情報収集し、今後の研究に役立てる。

参加者数 500人以上

発表論文数 123件(論文採択率：約50%)

口頭発表論文数 47件、ポスター発表論文数 76件

ポスター発表の分野別論文の割合

High Voltage 22%, Power ICs 7%, GaN Power 16%, Low voltage & Power IC Device 21%, SiC & Other Material Devices 20%, Module and Package 15%

地域別論文数

日本 42件、欧州 34件、北米 12件、アジア(日本を除く) 35件

(日本からの発表は多いが、アジアの中でも特に中国からの発表が多かった。)

発表の注目点

パワーデバイスに関し、短絡回路耐性、SOA、ターンオンとターンオフ時の  $dI/dt$ ,  $dV/dt$  解析に注目した発表が多かった。また、パワーIC設計にも力点がおかれていた。

技術交流

発表の合間の休憩時間にトロント大学の Wai Tung Ng 先生と Dual RESURF LDMOS の SOA についてディスカッションし提案構造の有効性を確認した。Ng 先生とは古巣の旭化成のメンバーも加わって昼食をともにした。ポスター会場で以前お世話になった産業技術総合研究所の田中保宣氏に久しぶりにお会いし、群馬大学で「ワイドバンドギャップ半導体を活用した次世代パワーエレクトロニクス技術開発」についてのご講演を依頼し快諾を頂いた(<http://www.ohyokagaku.org/event/post-649/>)。また、サンケン電気、日立、東芝、富士電機、三菱電機、日本シノプシス、UMC、TI、TowerJazz などの技術者と交流が持てた。

Welcome Reception : サッポロビール園で開催(ジンギスカン、寿司等を立食)

Banquet : ロイトン札幌で各テーブル席にてフルコースのディナー(三味線の演奏、相撲力士の取り組みのショーあり)

発表論文の概要解説

以下の各セッションから、43 件の論文を適当にピックアップし解説した。詳細は Proceedings を参照して頂きたい。

- (1) Plenary1 and 2
- (2) Session 1: Power ICs: Isolated and High-Speed Drivers
- (3) Session 3: IGBTs
- (4) Session 4: Low Voltage Devices & Power IC Device Technology
- (5) Session 5: GaN Device: Technology and Dynamic Effects
- (6) Session 6: SiC MOSFETs
- (7) Session 8: Power ICs: Automotive and Industrial Applications
- (8) Poster Session 1: High Voltage
- (9) Poster Session 2: Low Voltage & Power IC Device
- (10) Poster Session 2: SiC and Other Material Devices

### **Plenary 1**

**PL1-1, “Power Electronics as the Enabling Technology for Sustainable Energy in the Smart City”, Johan Driesen, KU Leuven ESAT/ELECTA & EnergyVille**

現在、都市のエネルギー供給システムには、3つのトレンドがある。①環境及び経済要因による更なる電化（ヒートポンプによるビルの HVAC (Heating Ventilating Air Conditioning)、電車）。②分散化：DER (Distributed Energy Resources) ベースでの発電、蓄電及び負荷の制御に一層移行していくことにより、電力供給網の運用が配電システムより小さな分散化されたセクションに移行していく。③デジタル化：ユビキタス IT 技術によって、エネルギーシステム・コンポーネントのよりよい管理が達成される。このエネルギー供給の流れの中で、パワーエレクトロニクスは元々再生可能をベースとする発電を実現し、そのエネルギー効率を（主に産業界）上げる技術であった。しかしながら、今ではそれは、都市、区、そしてビルディングレベルに関して要求されたビルディング・ブロック（例えば、集積化されたビルディング（光発電、分配された蓄電、ローカルな低電圧 DC の電力供給網）にエネルギーを供給する技術である。

**PL1-2, “The Future Vision of Industrial Robot”, Kenichi Yasuda, 安川電機**

#### **I. マーケット・トレンド**

2015 年時点で、ワールドワイドで 1.63M 台のロボットが北米、欧州、日本を中心に稼働しているが、中国や他のアジア諸国もその稼働台数を拡大してきている。ロボット市場拡大のドライバー役は、かつては日本であったが、現在は中国になっている。しかしながら、日本でも、2017 年には前年度比 7%（新記録）のロボットユニットの出荷が期待されている（日本ロボット工業会）。その理由は、日本の持続的な需要、アメリカの製造業の進展、そ

して世界中の自動化への投資の増大である。

従来、ロボットは主に自動車産業に使われていたが、最近それ以外のいろいろな分野にも導入されてきている。また、最近 IoT が製造業に使われ、生産性を上げている。ネットワーク技術を産業ロボットに採用し世界を全てに繋げることが、重要な役割を果たすことになると期待されている。更に、人と一緒に仕事をする生産ラインのロボットが開発されており（Human Collaborative Robotics）、これがロボットの新市場になり、明るい将来を持っている。

## II. 産業ロボットの普及と開発

日本では 1980 年は“Beginning of the Spread of Robots”と呼ばれていた。この年、ロボットは自動車産業を通して急に拡大し始めた。その後今日に至るまで、マニピュレータ作業エリアの拡大、小さくて高出力のモータ、高精度エンコーダを追求してきた。また、ロボットの自由度（例えば人の手を模倣した 7 軸ロボット）、アーク及びスポット溶接ロボット、及び 2 アームロボットを増大させ、マイクロプロセッサと制御技術の改善により、加速と減速また振動抑制の最適化を改善してきた。更に、視覚センサ、加速度計、及び他の外部センサによるセンサ・フィードバックを進化させた。その中で主な限界要因は、モータ、エンコーダ、減速ギヤコンポーネント、そして CAD システムと解析ツールの改善である。また、溶接ロボットのケーブルの取り回しと支持を容易にするため、ハロー（中空）アーム構造の改善も進めているところである。

## III. 技術の将来見通し

産業ロボットは、機械、電子、材料、制御などの技術を集積した技術を必要とする。これらの技術は自動車産業に非常に貢献してきたが、製造業全体を見ると、ほとんどの市場は成熟していない。特に少量多品種生産の分野においては、人がまだ仕事をしなければならず、産業ロボットの導入が期待される。この場合、ロボットとその周りの他の機械との相互作用を考慮し、更に人との共同作業及び安全性に配慮したトータル・ソリューションを考えなければならない。

### (1) 使いやすさ

従来から、プログラミング・ペンダント（PP）がロボットのティーチング手順に使われており、今日に至っては、それはロボットのガイディング作業、プログラミング、及び条件設定に使われている。最近、これらの PP は、ディスプレイ・インターフェースの導入、軽量化、ワイヤレス・デバイスへの移行により扱い易くなったが、ティーチング作業は人（作業員）による試行錯誤の繰り返しになっており、問題を抱えている。例えば、①ロボットの使用に経験の少ない作業員がロボットの扱いに苦勞する。②ムーブメントの型とコンビネーションの増加により作業量が増加することがある。これらを改善するため、①タスクと環境状況の抽象化に基づいた仕事手順を計画するためのプランニング技術を使って、ティー

チング手順を自動化した。また、②マシン・ラーニングのような AI (Artificial Intelligence) 技術を使って、仕事条件の調整を簡単化した。

### (2) IoT 仕様の技術

産業ロボットの分野でも、端末コンピュータとクラウド環境を使って新機能を付加し価値を高めることが必要である。安川電機は、IoT を使ったロボット・サービス(MOTOMAN Cockpit)を開発している。そのコアシステムは MOTOMAN Cockpit プラットフォームであり、それは、遠隔操作、状況モニタリング、そして予測保全の全体のマネージメントを行うことができる。

### (3) 人とのコラボレーション・ロボット

生産ラインへのロボットの導入は、ロボットと人の作業場所をそれぞれ分けることにより達成される。この場合、ロボットと人が完全に分離するようにすると、作業内容によっては必ずしも生産性が向上するとは言えない。生産性を上げるために、①仕事を人がした方が良いのか、②ロボットの方がよいのか、更に③人とロボットが同一場所で仕事をした方が良いのかについて仕事のアイテムを詳細に分類しなければならない。③の場合、安全性を確保するため、人との共存型ロボットを開発する必要がある。

#### ①人とロボットのコラボレーションの形態

現在、人とロボットがコラボレーションする仕事の明確な定義はないが、このコラボレーションには次の 3 通りの型があると考えられる。①人との共存：人はロボットの隣で仕事をする（人とロボットは仕事を通して接触できる）、②ハンドガイドワーク：人はロボットに仕事を介してタッチできる（人とロボットはイネーブル・スイッチを押している間接触できる）、③場所分離：人とロボットのエリアは明確に分離されている（人とロボットは作業の間接触できない）。

#### ②人との共存

安川電機は、同じワーキング・エリア内で容易にかつ安全に人と共存できるロボット HC10 を開発した。例えば、もしロボット・アームに強い力がかかった場合、センサが反応してロボットは安全に停止する。これに関するティーチング機能があり、だれでもそれを簡単に実行できるようになっている。また、HC10 をハンドカートに載せて簡単に移動することもできる。人とロボットの共存に関し、産業ロボットの安全要求を定義した国際規格 ISO10218-1 があり、HC10 はこれに対応している。

## Plenary 2

**PL2-1**, “Application Opportunities and Expectations for Wide Bandgap Power Devices in Power Supply”, Zhengqing Zhao, Chaofeng Cai, Tao Wang, Delta Electronics (Shanghai) Co., Ltd.

パワーデバイスが使われている回路の例として昇圧 PFC 回路を取り上げ、その回路の進展に伴いその性能にマッチしたデバイスへの移行 (Si→SiC→GaN デバイス) を解説してい

る。先ず従来型のダイオードブリッジを使用した昇圧 PFC 回路内では、当初スイッチング MOSFET と並列に Si ダイオードが接続されており、この Si ダイオードのリバース・リカバリーによるスイッチング損失の問題があった。SiC SBD の商用化に伴い Si ダイオードの代わりに SiC SBD が使われ、その問題は解消した。回路がブリッジレス昇圧 PFC に進展し、SiC SBD が引き続き使われた。回路がより簡単になったトータム・ポール・ブリッジレス昇圧 PFC 回路に至っては、将来 SiC SBD から GaN デバイスに変わっていく。

このように SiC や GaN のような WBG (Wide Band Gap) 半導体が使われるとスイッチング周波数を上げることができ、ハードウェアのパワー密度は改善される (SiC/GaN デバイスの使用で Si デバイスに対し約 3 倍の改善)。これは、単純化された回路、最適化された熱管理及び磁気/EMI 設計による。

次世代の WBG SiC/GaN デバイスでは、同じ効率を維持してスイッチング周波数は 10 倍上がる。そのようになると、パワー密度だけではなく、モジュール化とパワーインテグレーションが性能の最適化のための新しい設計概念を必要とし次の産業応用のモチベーションになる。

次に、WBD の課題について解説している。WBD は高速スイッチングを可能にし、スイッチング損失を低減できる (高いターンオフとターンオン・スピード) が、スイッチング時の  $dV/dt$  が高くなることによる誤動作が問題になる。SiC/GaN デバイスの  $dV/dt$  は  $150V/ns$  を超えるが、Si デバイスの場合通常  $25V/ns$  程度である。パワーループを十分に注意して設計しないと、デバイスがアバランシェ破壊を起こすレベルの電圧スパイクになる。したがって、WBD デバイスのパッケージには、SMD (Surface-Mounted Devices) または QFN (Quad Flat Non-lead)を使う。しかしながら、QFN パッケージには、システムの観点から熱の問題がある。また、通常使われているドライバー・インターフェースでは、 $dV/dt < 50V/ns$  が要求されるため、この保護が必要になる。

WGD デバイスを長期間安定動作させる場合の不安定要因は、弱いゲートにある。SiC MOSFET のチャンネル移動度は低いため、高い伝導度を持たせる場合、ゲート電圧を通常 20V 程度まで上げる (ゲート電圧の上限は 25V) ため、実際のコンバータで安定動作させる場合、安定動作のゲート電圧範囲が狭い。GaN HEMTs では、ゲートが MOS/MIS のように絶縁体で分離されていないため、状況が更に悪くなる。エンハンスメントモードの GaN HEMTs は一般的にダイナミックなスパイクマージンを考慮すると 6~8V が限界である。低電圧 MOSFET でペアとなったカスコード構造のデプレッションモードのデバイスでは、その問題はないが、フット・プリントが増えパッケージコストが上がる。

また、GaN HEMT には、電流コラプスという基本的な問題がある。ダイナミック・スイッチング条件下で、デバイスの伝導抵抗がスタティックな測定結果よりいくぶん上昇する。このため、GaN HEMT デバイスは、まだ完璧ではない。

このように現段階では、SiC/GaN WBG デバイスはまだ完全とは言えないが、コンバー

タ内でのそのデバイスの使い方を考慮して、最適な特性を得るように改善できる。PWM コンバータの場合、CCM (Continuous-Current-Mode) モードでは、ターンオン時のスイッチング損失により、パワーデバイスの損失が他のコンポーネントより極端に大きい。CRM (Critical Conduction Mode: ZVS (zero-voltage-switching))モードでは、ターンオン時のスイッチング損失の問題はないが、伝導損失とターンオフ損失のバランスが WBG デバイスを設計する場合の大きな関心事になる。

共振型コンバータの場合、パワーデバイスによるスイッチング時の損失は問題にならない。デバイス・パラメータを他のコンポーネントの損失に如何に結びつけるかということが、WBG デバイスを最適化する場合のキーステップになる。

高周波設計では、Coss (出力容量) または Qoss のようなスタティックなパラメータが全損失を最適化する場合に重要になる。MHz を超える周波数で GaN HEMTs を使う場合、全損失の最も大きな部分は、高周波トランスである。GaN HEMTs の Coss を半分にすることにより、デバイス伝導とトランスによる損失をどちらも減ずることができる。PWM コンバータの場合と違って、出力の寄生容量を最小化することがシステム性能を更に改善するのに重要である。

## PL2-2, “GaN Power IC Technology Past, Present, and Future”, Dan Kinzer, Navitas Semiconductor

GaN パワーIC 技術の過去、現在をレビューし、将来技術を予測した。

### GaN パワーIC 開発の歴史 (概要)

GaN は当初、ディスクリートとして LED/光デバイス及びハイパワーRF アンプに使用されていた。GaN がパワーIC として大学の研究に導入されたのは 2009 年である。その当時の RF デバイスは、主に 100V 以下の動作電圧でショットキーゲートのデプレッションモード(dMode)であった。dMode デバイスは、パワー応用としてはゲートリーク電流が大きく、またノーマリオンであるため、産業界の安全性確保の要求からノーマリーオフであるエンハンスメントモード(eMode)に移行した。その後、GaN デバイスの動作電圧は 600V あるいはそれ以上に高められた。

GaN 層は、初期にサファイアや SiC 上に成長させていたが、現在では、Si 上に成長させることができたので、コストが大幅に下がり、また大口径ウエハを使えることになった。ところが、Si は伝導基板であるため、基板電位及び他のデバイスとの干渉に関し検討課題がある。

GaN のアナログ応用として差動増幅器 (コンパレータ) がある。この回路では、本来 P チャネルトランジスタを対の負荷として用いるが、GaN デバイスにはそれがないので、その代わりに dMode デバイスを用いた。一方、差動入力に eMode デバイスを用いた。

アナログパワーIC の最近の開発例として、各 GaN のゲートに対して整流化された RF 入力パルス回路を持つスイッチ (3×3 マトリックス) からなるコンバータがある。この RF 信

号 (5GHz のマルチ・パルス・トレイン) は Si の IC で発生され、エアコアの磁気コイルでゲートに結合している。これは、非常に大きい面積 (全面積 59.5mm<sup>2</sup>) の 100V クラスの IC である。

他の GaNIC として、非常に低い電圧用途 (12V) のものもある。最初のモノリシック・ハーフブリッジのものは、PoL (Point of Load) 向けの dMode デバイスである。これは、ゲートドライバーとスタートアップ条件を確立するためのパストランジスタと一緒にパッケージに組み込まれている。また、2つの eMode デバイスと2つのゲートドライブ出力バッファ・ステージを集積した PoL もある。更にこれを推し進めて、基本的な PWM (Pulse Width Modulation) の集積回路も開発された。

上記 Si デバイスの回路と GaN デバイスの回路の組み合わせに関し、それらが一緒にパッケージ化されていたが、CMOS の Si 基板上に GaN デバイスを集積する方法も開発されている。

#### 非常に高い周波数での動作

30MHz 以上の高周波では、変圧器やインダクタは磁気コアからエアコアに変わる。なぜなら、磁気コアは多くのパワー回路の中で損失のもっとも大きいエレメントの一つになるからである。

このように高周波になると、新しい回路形態 (例えば、Phi2 コンバータ (LLC 電流共振)) のへの適用が可能になる。この回路で、効率 95%以上 (400V 入力、27MHz AC 出力) を達成した例がある。

#### GaN IC の市場

650V eMode GaN をモノリシックで集積した AllGaN™ パワー IC は、ゲートドライバー、レギュレータ、UVLO (Under Voltage Lockout)、dV/dt 制御の回路を含む。この IC は、極端に低いゲート電荷により、35mW (at 1MHz) より小さいドライブ損失を得ている。入力は簡単な 5V デジタルロジックで、PWM 入力から FET のドレインスイッチングまでの伝搬遅延はわずか 10-20ns である。dV/dt は、200~10V/ns の範囲でプログラマブルに制御できる。

低電圧領域では、WLCSP (Wafer Level Chip Scale Packages)が使われる。最初 (2010年) の IC は、ハーフブリッジ回路用に単に2つのスイッチ・トランジスタの組み合わせであるが、次に (2015年) その回路にワイヤレス充電を使った昇圧充電トランジスタが加わる。更に (2016年)、LiDAR (Light Detection and Ranging) 及びエンベロープ・トラッキングのアプリケーション仕様に合わせた IC へと展開し、今後 (2017年~)、ゲートドライバーを組み込んだ PWM 制御が期待される。

#### ハーフブリッジ IC の研究

ハーフブリッジ回路（フローティングのハイサイド・スイッチにパワーと信号を与える）を高周波で動作させることは、インダクタを小さくできるため好ましいが、実際には高周波では動作させない。なぜなら、Si デバイスは遅く、ドライバーと FET の間の寄生インピーダンスの影響があり、Si FET の容量が高く、レベルシフタ/アイソレータの性能が低いからである。このため、ほとんどのコンバータのスイッチング周波数は、まだ 65-100kHz の範囲にある。

GaN パワーIC を用いたハーフブリッジ（2つのハイパワートランジスタをモノリシックで構成）が報告されている。この IC では、出力信号が共通基板（GaN を支える Si 基板）を通して干渉し、電荷の注入とトラッピングを発生させるため、デバイス性能が限定される。この現象は基板をハーフブリッジ出力の中間電位に設定することによって緩和される。

著者らの会社がフル機能の GaN ハーフブリッジ・パワーIC を最近発表（2017 年）した。この IC は、クリティカル・ドライブ、ロジック、保護機能、電源機能を持つ。その IC の性能は、高効率でハイパワー密度の 25-100W チャージャ及びアダプターのアプリケーションに最適である ACF (Active Clamp Flyback) 回路にて確認された。

#### 今後の開発とアプリケーション

今後、GaN デバイスを用いた ACF、LLC、トータムポール PFC の回路が、ハーフブリッジの製品に使われる。これらの回路は、効率を上げ、最終製品の大きさを小さくするからである。例えば、ACF アプリケーションの場合、サイズが小さくなると、ケース温度を一定に保つために効率を上げなければならない。許容できる最大のケース温度は OEM 仕様によって変わるが、その限界がわずかに 50°C（平均 2×2 cm<sup>2</sup>以上の面積）になる場合がある。ここで、その定格温度を達成するために、ワースト・ケース・システムの効率を 89%程度から 92%以上まで上げることが必要になる。

### **Session 1: Power ICs: Isolated and High-Speed Drivers**

#### **1-1, “Challenges in Reliably Driving GaN Devices”, (Invited), Paul L. Brohlin, Texas Instruments Incorporated**

GaN デバイスは、低い  $C_{oss}$ ,  $C_{rss}$  を持ち、リバース・リカバリーもないため、Si に対して効率的なスイッチング特性を持つ。GaN デバイスのこれらの特性を活かして高速でスイッチングさせるには、高い電圧・電流のスルーレートでスイッチを行う必要がある。このためには、パッケージの配線を含めた寄生インダクタンスを抑える必要があり、低インダクタンス・パッケージ (QFN: Quad For Non-Lead Package (チップ・スケール・パッケージ)) に、ゲートドライバーと GaN デバイスと一緒に組み込む方法がある。この場合、GaN のソース・インダクタンスだけではなく、ゲート・ループ・インダクタンス（ゲートドライバー出力→GaN ゲート→GaN ソース→ドライバーグランド→ゲートドライバー出力）も低減できる。これは、スイッチング性能を向上させるだけでなく、GaN デバイスの信頼性も向上



させる。また、パワーループ・インダクタンス（バイパス容量→ハイサイド GaN ドレイン→ハイサイド GaN ソース→ローサイド GaN ドレイン→ローサイド GaN ソース→バイパス容量）も低減でき、スイッチノードのリングングの大きさを下げるとともに、EMI を低減させ、GaN デバイスの信頼性を向上させることができる。更に、上記パッケージによりゲートドライバーを GaN に近接して配置できたため、GaN の保護機能（過電流保護、熱保護、UVLO (Under Voltage Lockout)）を確実に動作させることが可能となる。

**1-2, “Power Electronics 2.0: IoT-Connected and AI-Controlled Power Electronics Operating Optimally for Each User”, Makoto Takamiya<sup>1</sup>, Koutaro Miyazaki<sup>1</sup>, Hidemine Obara<sup>2,3</sup>, Toru Sai<sup>1</sup>, Keiji Wada<sup>2</sup>, and Takayasu Sakurai<sup>1</sup>, <sup>1</sup> 東京大学, <sup>2</sup> 首都大学東京, <sup>3</sup> 横浜国大**

IGBT のゲートドライブ波形を自動で最適化する 6 ビット・プログラマブル・ゲートドライバーを提案している。これにより、IGBT のターンオン過程の電流のオーバーシュート、ターンオフ過程の電圧のオーバーシュートを抑えている。本方法は、63 個の並列ドライバーを 6 ビットでバイナリー選択し、IGBT のゲートに流れる電流を制御する。ターンオン初期には、ゲート電流を大きくし、ゲート電圧を急峻に上昇させ、その後一旦ゲート電流を下げ、ゲート電圧を徐々に上昇させる（4 つの時間セグメントでゲート電流を変化させて制御）。このことにより電流のオーバーシュート及びエネルギー損失も抑えている。ターンオフ過程も同様の制御を行って、電圧のオーバーシュート及びエネルギー損失も抑えている。この電流波形の最適化には、**Simulated Annealing Algorithm** を使う。例えば、ターンオフ過程の場合、各バイナリー設定をした場合のエネルギー損失をその過程の最大のエネルギー損失で規格化する。また、電流のオーバーシュートも同様に規格化しておく。それぞれの規格値の二乗の和の平方根をとり、その最小値を求めることにより電流波形の最適化を行う。

提案した方法は、従来方法と比べて、ターンオン過程では、同じオーバーシュート電流に対しエネルギー損失を 47%低減し、同じエネルギー損失に対しオーバーシュート電流を 37%低減した。また、ターンオフ過程では、同じオーバーシュート電圧に対しエネルギー損失を 55%低減し、同じエネルギー損失に対しオーバーシュート電圧を 53%低減した。

**1-3, “A 1 W POWER CONSUMPTION GAN-BASED ISOLATED GATE DRIVER FOR A 1.0 MHZ GAN POWER SYSTEM”, Songbek Che, Shuichi Nagai, Noboru Negoro, Yasufumi Kawai, Osamu Tabata, Shingo Enomoto, Yoshiharu Anda, and Tsuguyasu Hatsuda, パナソニック**

高周波動作の GaN GIT (Gate Injection Transistor) のノイズ耐性を上げるため、GaN GIT から絶縁分離したゲートドライバーを提案した。このドライバーは、DBM (Drive-by-Microwave) 技術を取り込み HFET (GaN Hetero Junction Field-Effect Transistor) を用い

ている。DBMは、トランスミッタ(T)、カップラー(C)、レシーバー(R)からなる。トランスミッタの箇所、PWM信号に一致したAM (Amplitude Modulation) 信号を2つに分けて (GaN GITのオンとオフ信号) 2組のカップラーへそれぞれ出力する。カップラーは絶縁されており、電磁共鳴を利用してマイクロ波のワイヤレスパワー伝送にて、信号をレシーバーへ出力する。レシーバーでは、カップラーからの2信号を整流し、外部容量に電荷を蓄積 (または放電) させて GaN GITのDCゲート信号を得る。今回提案したDBMゲートドライバーは、3MHzのスイッチング周波数まで動作し、伝搬遅延は20ns (スルーレート 37V/ns at  $V_{DS}=200V$ )、消費電力は~1Wであった。

### **Session 3: IGBTs**

#### **3-1, “A Novel Hybrid Power Module with Dual Side-gate HiGT and SiC-SBD”, Y. Takeuchi, T. Miyoshi, T. Furukawa, M. Shiraishi, and M. Mori, 日立**

デュアル・サイドゲートを持ったHiGTs (high-conductivity IGBT) にSiC-SBDsを組み合わせたモジュールを提案した。このHiGTはトレンチ側壁に2つのゲートを持っており、伝導モードとスイッチングモードに分けてそれぞれのゲートを制御する。スイッチングモードでは、1つのゲート電圧が高く(+15V)になっており、もう1つのゲート電圧は低く(-15V)になっている。この状態では、ゲート電圧の高い側でドリフト領域へ電子が注入されるが、ゲート電圧の低い側ではドリフト領域の正孔がはき出されるため、スイッチング・スピードが上がり、スイッチング損失は低下する。伝導モードでは、2つのゲート電圧が高く(+15V)になっており、ゲートを介してドリフト領域に電子が多く注入され、オン電圧がスイッチングモードの場合より低下する。この構造により、ターンオン時の損失は、従来構造 (トレンチゲートHiGTにU-SFDs (ultra soft & fast recovery diode)を組み合わせたモジュール) に比べて43%低減し、ターンオフ時の損失は71%低減した。また、リカバリー損失は、98%低減した。結果として、提案型モジュールのインバータでの損失は、従来型に対し50%低減した。

#### **3-2, “Conductivity modulation in the channel inversion layer of very narrow mesa IGBT”, Masahiro Tanaka 日本シノプシス**

Akio Nakagawa 中川コンサルティング・オフィス

IGBTのメサ幅が非常に狭くなると、短絡耐性が劣化する現象がある。シミュレーションを用いてこの現象を解析し、その対策方法を述べている。IGBTのメサ幅が狭く(100nm以下)になると、オン時にPベース全体が反転層になり、この領域に正孔が流れ込んで伝導度変調が起こる。これによりしきい値電圧が低下し (CIBL (Collector bias Induced Barrier Lowering)現象)、トランスコンダクタンスが上昇する (少しのゲート電圧の変化でもコレクタ電流が大きく変化する)。結果として、MOSFETからの電子の注入効率が上がり、Nベース (ドリフト) 領域の正味の電荷が正から負に変わって、高電界領域がNベースのコレ

クタ側 (N ベースと N バッファの接合箇所) に移る。その高電界によりアバランシェが発生し、キャリアが更に増加することにより P ベース領域の伝導度変調を強め、臨界値をこえるとフィラメンテーションが発生して短絡回路故障を引き起こす。この対策として、オン電圧を上げないように飽和電流を下げることを考えており、このためには、ゲート酸化膜厚を薄くするとともにゲート電圧を下げる (15V→5V)。更に、P ベースの不純物プロファイルを均一にし、N バッファ領域の不純物濃度を下げることを行う。なお、このような対策を行ったとしても P ベース領域で伝導度変調を起こさないためには、メサ幅は少なくとも 200nm は必要である。(メサ幅の広い従来構造の IGBT では、中性の P ベース領域に正孔が流れるため (チャンネルの外を流れる)、その領域で伝導度変調は起こらない。)

**3-3, “Hole Path Concept for Low Switching Loss and Low EMI Noise with High IE-effect”, M. Sawada, Y. Sakurai, K. Ohi, Y. Ikura, Y. Onozawa, T. Yamazaki and Y. Nabetani<sup>+</sup>**  
富士電機、<sup>+</sup>山梨大学

IGBT(IEGT)の構造において、ターンオンとターンオフ過程でフローティング P 領域に溜まった正孔を引き抜く正孔の通路 (Hole Path) をフローティング P 領域内に設けた。この Hole Path はトレンチゲートが対になっており、ゲートに負バイアスを印加することにより、正孔の反転層が形成され、フローティング P 領域の正孔がエミッタへ流れる。この Hole Path により、ターンオン時のフローティング P 領域の電圧上昇が抑えられ、 $dV_{ge}/dt$  (ゲート電圧時間変化率) と  $dI_c/dt$  (コレクタ電流時間変化率) も低減できた。また、ターンオフ時にもフローティング P 領域の正孔を引き抜き、早いターンオフを達成できた。この時の Hole Path ありの構造のターンオフエネルギー損失は Hole Path のない構造のものと同じオン状態の電圧で比較すると、20%低下した。本構造は、低スイッチング損失かつ低 EMI の高速スイッチングを達成しており、有効な構造であると考えられる。

**3-4, “A new sub-micron trench cell concept in ultrathin wafer technology for next Generation 1200 V IGBTs”, Christian Jaeger, Alexander Philippou, Antonio Vellei<sup>\*</sup>, Johannes G. Laven, Andreas Härtl, Infineon Technologies AG, <sup>\*</sup>Infineon Technologies Austria AG,**

サブミクロンメサの最適化された MPT (optimized micro-pattern trench : ストライプ・パターン)を用いてパワー損失を大幅に低減した 1200V IGBT を提案した。このパターンは、従来パターン (正方形トレンチセル) に比べて、チャンネル幅を大きくとれるため、オン状態時に表面に高いキャリア密度を持たせることができ、ターンオフ時のキャリアの動きを早くできる利点がある。また、より低いドーピングを N ベース (ドリフト) 領域に採用し、薄いチップ厚でも耐圧を稼げるようにし、ソフト・ターンオフを確保するため、フィールドストップの最適化を図った。この結果、オン電圧  $V_{CE,sat}$  とターンオフ時のスイッチング損失  $E_{off}$  のトレードオフを改善した。例えば、同じ  $E_{off}$  で  $V_{CE,sat}$  は従来に比べて 600mV 低下

した。また、3種類のトレンチ（アクティブゲート、ソーストレンチ、ダミーゲート（インアクティブ））を最適に配置して、ターンオン時の電圧スロープ  $dV/dt$  とスイッチング損失  $E_{on}$  のトレードオフを改善した。例えば、 $dV/dt=5kV/\mu s$ （電動器具を駆動するインバータはこの値以下を必要とする）で  $E_{on}$  は、従来に比べて約 10%低下した。更に、提案構造は、従来のソフト・ターンオフ特性及び短絡回路耐性も維持できている。

#### **Session 4: Low Voltage Devices & Power IC Device Technology**

**4-1, “A 90nm Bulk BiCDMOS Platform Technology with 15-80V LD-MOSFETs for Automotive Applications”, Hiroki Fujii<sup>1</sup>, Shigeo Tokumitsu<sup>1</sup>, Takahiro Mori<sup>1</sup>, Tomohiro Yamashita<sup>2</sup>, Takahiro Maruyama<sup>2</sup>, Takuya Maruyama<sup>2</sup>, Yoshiki Maruyama<sup>1</sup>, Shigeaki Nishimoto<sup>1</sup>, Hiroyuki Arie<sup>1</sup>, Shunji Kubo<sup>1</sup> and Takashi Ipposhi<sup>1</sup>,**

<sup>1</sup> ルネサス・セミコンダクタ・マニュファクチャリング、<sup>2</sup> ルネサス・エレクトロニクス・コーポレーション

この BiCDMOS のプラットフォームでは、2種類の深いトレンチ分離を導入している。一つは、トレンチを W プラグで埋め込み基板をグラウンドに接続する面積と抵抗を最小にし、ノイズブロッキングのためのガードリングをスリム化している。もう一つは、トレンチをエアギャップ（空気）構造にして高電圧を分離している。また、このプラットフォームでは、N-ch LDMOS の RESURF を強化するためにドリフト層の下に P 層（P-rsf）を置いている。この構造により、競合できるレベルの特性オン抵抗  $R_{on,sp} \doteq 45m\Omega mm^2$  (at  $BV_{off}=60V$ )（信頼性重視のデバイス）、 $R_{on,sp} \doteq 33m\Omega mm^2$  at  $BV_{off}=60V$  ( $R_{on,sp}$  重視のデバイス) を得ている。また、十分な E(Electrical)-SOA、T(Thermal)-SOA、HCI-SOA も確保しているとしている。しかしながら、 $I_{DS}-V_{DS}$  特性を見ると、 $I_{DS}$  の Current Expansion は大きいようであり、改善の余地はあると考える。

**4-2, “High/Low-side Hybrid Output Transistor with High Thermal-SOA”,**

Shinichiro Wada, 日立,

Katsumi Ikegaya, Takayuki Oshima, Yoichiro Kobayashi, 日立オートモティブ・システムズ

ハイサイドとローサイドトランジスタ(LDMOS)を交互にレイアウトして T(Thermal)-SOA を高めた。（従来はハイサイドとローサイドをそれぞれブロックでレイアウトしてある。）本レイアウトにした場合の故障に至るエネルギー  $E_{capability}$  は、従来のレイアウトに対し  $300\mu s$  の短絡時間で、42%( $10.1mJ \rightarrow 14.4mJ$ )上昇した。また、Al のパワーメタル上に Cu のパワーメタル(Cu-RDL: Redistribution Layer)を導入することにより、それは更に 10-15%増大した。ローサイドトランジスタ側で発熱がある CIS(Clamped Inductive Switching)の試験では、ピーク接合温度  $T_j$  をおよそ  $100^\circ C$ (約  $600^\circ C \rightarrow$  約  $500^\circ C$  :  $15mJ$  のエネルギー投入)下げることができた。本レイアウトでは、ハイサイドとローサイドをディ

ープ・トレンチで分離してあり、ハイサイドとローサイドの電氣的な干渉は最小化されている。この交互のレイアウトで増える面積は、従来のレイアウトに対し約 3%である。なお、上記の特性は 0.18 $\mu\text{m}$  BCD プロセスの 40VNch-LMOS ( $R_{\text{on,sp}}=26 \text{ m}\Omega\text{mm}^2$ ) で確認された。

#### 4-3, “Trench Schottky Rectifiers with Non-Uniform Trench Depths”, Mihir Mudholkar, Mohammed Tanvir Quddus, Yohai Kalderon, ON Semiconductor

40V 動作トレンチ・ショットキー・ダイオードの低順方向電圧  $V_F$  と高ブレイクダウン電圧  $BV$  を得るため、ドリフト領域のドーピング濃度  $N_D$  とパターンの終端考慮したトレンチ形状（深さ）を最適化する方法を提案している。能動領域では  $V_F$  を下げ、リーク電流を抑えるため狭いトレンチを使っているが、終端領域では  $BV$  を確保するため広いトレンチを使っている。このような構造を 1 回のトレンチエッチで形成する場合、能動領域と終端領域でトレンチ深さに違いが発生する（終端領域のトレンチ深さ > 能動領域のトレンチ深さ）。この深さの違いにより、ブレイクダウン箇所が能動領域から終端領域に移動し、 $BV$  が低下する。したがって、トレンチエッチを 2 回に分けて行い、終端のトレンチ深さと能動領域のトレンチ深さを同じにし、終端と能動領域の境界にあるトレンチ深さのみをそれらより浅くする構造を提案した。この提案構造により、 $BV=53V$  (at  $N_D=6 \times 10^{16}\text{cm}^{-3}$ ) を得た。従来の構造では、最大  $BV=50V$  (at  $N_D=5 \times 10^{16}\text{cm}^{-3}$ ) になっており、提案構造で、高  $BV$  かつ低  $V_F$  が得られる。

#### 4-4, “A Composite Structure Named Self-adjusted Conductivity Modulation SOI-LIGBT with Low On-state Voltage”, Weifeng Sun, Jing Zhu, Zhuo Yang, Fangjuan Bian, Xin Tong, Ye Tian, Yangbo Yi, Southeast University (東南大学), Yan Gu, Sen Zhang, Wei Su, CSMC Technologies Corporation

低オン電圧かつラッチアップ耐性のある SCM-LIGBT (Self-adjust Conductivity Modulation SOI-LIGBT) が提案された。このデバイスは、①通常の LIGBT 領域、②エンハンスメント N-MOSFET 領域、③ダイオード領域からなる。LIGBT の N+エミッタは MOSFET のドレインへ接続されており、LIGBT の P+エミッタはダイオードのアノードに接続されている。LIGBT と MOSFET のゲートはいっしょに接続されている。オン状態では、LIGBT の N+エミッタはほぼグラウンドレベルになるが、LIGBT の P+エミッタ（寄生 NPN トランジスタの P ベース）は③のダイオードによってバイアスされるため、寄生 NPN はオン状態になりドリフト領域へより多くの電子が注入され、ドリフト層内の伝導度変調が強化される。この時、ダイオードのバイアス電圧はクランプされるため、寄生 NPN トランジスタはオン状態にあるがラッチアップには至らない。この提案構造により、オン電圧 1.18V (at コレクタ電流密度  $J_A=150\text{A}/\text{cm}^2$ ) を得た。このオン電圧は、従来構造の LIGBT に比べて、32.5%低減した。（同じブレイクダウン電圧 590V で比較）

## **Session 5: GaN Device: Technology and Dynamic Effects**

**5-1, “High-Performance Fully-recessed Enhancement Mode GaN MIS-FETs with Crystalline Oxide Interlayer”, Mengyuan Hua<sup>1,2</sup>, Zhaofu Zhang, Qingkai Qian, Jin Wei, Qilong Bao, Gaofei Tang, and Kevin J. Chen<sup>1,2</sup>** <sup>1</sup>The Hong Kong University of Science and Technology (香港科技大学), <sup>2</sup>HKUST Shenzhen Research Institute,

エンハンスメントモード GaNMIS FETs の GaN チャネルと SiN<sub>x</sub> ゲート絶縁膜間に急峻で安定な結晶性の酸化膜 COIL (Crystalline Oxidation Interlayer) を形成する有効な技術を開発した。COIL は、Recessed ゲート形成のためにエッチング (AlGa<sub>N</sub> 層を完全に除去) した GaN 表面を酸素プラズマで処理し、LPCVD による SiN<sub>x</sub> デポジション (SiN<sub>x</sub> 厚 15nm) 前に in-situ でアニール処理 (780°C) をすることにより形成される。このアニール処理が GaN 表面を保護する。このデバイスのしきい値電圧は 1.15V となり、オン抵抗は低い。また、しきい値電圧は熱的に安定しており、低い PBIT (Positive-Bias Temperature Instability) を得ている。

**5-2, “Kilovolt GaN MOSHEMT on Silicon Substrate with Breakdown Electric Field Close to the Theoretical Limit”, Ming Tao<sup>1</sup>, Maojun Wang<sup>1</sup>, Cheng P. Wen<sup>1</sup>, Jinyan Wang<sup>1</sup>, Yilong Hao<sup>1</sup>, Wengang Wu<sup>1</sup>, Kai Cheng<sup>2</sup>, and Bo Shen<sup>3</sup>,** <sup>1</sup>Peking University, <sup>2</sup>Enkris Semiconductor, <sup>3</sup>Peking University

Si 基板上に形成したノーマリオフで低い電流コラプスを持つ kV GaN MOSFEMT を開発した。ドリフト長は 3 $\mu$ m で、しきい値電圧は 1.7V、ゲート電圧 8V での出力電流は 430mA/mm である。オフ状態のブレイクダウン電圧は、フローティング基板で 1021V、グランド基板で 800V (at ドレインリーク電流 10mA/mm) となっている。ブレイクダウン時の電界は、3.4MV/cm (GaN の理論限界に近い) で、BFOM (Baliga’s Figure of Merit) は 1.6GW/cm<sup>2</sup> である。パルス幅 500ns、quiescent ドレインバイアス 60V でダイナミックオン抵抗の劣化は約 30%であった。これらの特性は、傾斜のあるフィールドプレート、高品質の AlGa<sub>N</sub> バッファ層、高品質の LPCVD Si<sub>3</sub>N<sub>4</sub> パッシベーション層のデバイス構造から得られている。

**5-3, “Negative Dynamic Ron in AlGa<sub>N</sub>/GaN Power Devices”, P. Moens, M. J. Uren<sup>1</sup>, A. Banerjee, M. Meneghini<sup>2</sup>, B. Padmanabhan\*, W. Jeon\*, S. Karboyan<sup>1</sup>, M. Kuball<sup>1</sup>, G. Meneghesso<sup>2</sup>, E. Zanoni<sup>2</sup> and M. Tack, ON Semiconductor Belgium, \*ON Semiconductor, Phoenix, <sup>1</sup>University of Bristol, <sup>2</sup>University of Padova**

650V 動作 AlGa<sub>N</sub>/GaN パワーデバイスのダイナミック Ron (電流コラプス) の原因を解析し、それを抑える方法を提案している。このパワーデバイスは、Si 基板上に SRL (Stress Relaxation Layer) を形成後、その上に[C: Carbon]をドープした[C]-Ga<sub>N</sub>、更に UID (Unintentionally-Doped)Ga<sub>N</sub> がある構造である。2DEG (2次元電子ガス) は、

[C]GaN と UID-GaN の界面に形成される。リーキな UID 層（ソース・ドレイン間を横切ってリーキ）により、2DEG は[C]-GaN 層のトップと電氣的に接続される。UID 層を介する縦方向の電流が[C]-GaN 層内の正孔の発生電流より小さい場合、[C]-GaN 層のトップでの負の空乏電荷が形成されるので、この縦方向の電流を適度に調節することでその負電荷の形成を抑えること（むしろ正電荷の形成）ができる。したがって、UID のリーク電流と[C]-GaN 層の抵抗率を最適化することにより、ダイナミック Ron を抑えることができることを示した。また、長期信頼性試験で形成された正電荷は数日保持されることが確認された。

**5-4, “Buffer Trapping-Induced RON Degradation in GaN-on-Si Power Transistors: Role of Electron Injection from Si Substrate”, Shu Yang<sup>1</sup>, Chunhua Zhou<sup>2</sup>, Shaowen Han<sup>1</sup>, Kuang Sheng<sup>1</sup>, and Kevin J. Chen<sup>2</sup>, <sup>1</sup>Zhejiang University (浙江大学), <sup>2</sup>The Hong Kong University of Science and Technology (香港科技大学)**

GaN-on-Si パワーデバイス内のバッファトラップが、高電圧オフ状態で Si 基板から注入される電子と相互作用する。これが、ダイナミックオン抵抗の劣化を招く。注入された電子はバッファ層内のアクセプタとドナートラップと相互作用し、2DEG チャネルを変調させる。Si 基板からの電子の注入を抑えることが、デバイスのダイナミック特性とブロッキング能力を向上させる。

## **Session 6: SiC MOSFETs**

**6-1, “Performance and Ruggedness of 1200V SiC - Trench – MOSFET”, Dethard Peters\*, Ralf Siemieniec†, Thomas Aichinger†, Thomas Basler‡, Romain Esteve†, Wolfgang Bergner†, Daniel Kueck†, \*Infineon Technologies AG, Schottkystrasse, †Infineon Technologies Austria AG, ‡Infineon Technologies AG, Am Campeon**

低伝導損失と SiC でも Si-IGBT のような信頼性を持つようにバランスさせて設計された 1200 V 動作の CoolSiC™ MOSFET（オン抵抗は 45mΩ）を提案した。一方のトレンチ側壁にチャンネルがあり、もう一方のトレンチ側壁と底面は深い P ウエルで覆われている。この深い P ウエルは、MOSFET 下部で対になっており、JFET を形成している。伝導損失を低減させるために、チャンネルの移動度を上げるようにチャンネル面を  $\langle 11\bar{2}0 \rangle$  結晶面になっている（この結晶面のチャンネル移動度は他の結晶面より 2 倍上がる）。ゲート絶縁膜形成に窒化技術を用いて界面準位を不活性化し、デバイスの信頼性を上げている。深い P ウエルは、ボディダイオードのエミッタ（フリーホイールダイオード）になる。また、この P ウエルにより、ゲート・ドレイン容量（ミラー容量） $C_{GD}$  が小さくなるが、ゲート・ソース容量  $C_{GS}$  が大きくなっており、 $C_{GD}/C_{GS}$  が大きくなる。これにより、ドレイン電圧の急峻な変化に対する MOSFET の誤動作に対する許容量が増している。さらに、この P

ウエルは、トレンチコーナーの電界を緩和するだけでなく、対の P ウエルで形成している JFET 領域 (MOSFET の下部) の幅を調整することで飽和電流を下げることができ、短絡回路耐性を上げることも可能である。但し、この幅が狭すぎると JFET によるオン抵抗が上昇するので、この幅を最適化する必要がある。

**6-2, “Robust 3.3kV Silicon Carbide MOSFETs with Surge and Short Circuit Capability”, L. Knoll, A. Mihaila, F. Bauer, V. Sundaramoorthy, E. Bianda, R. Minamisawa, L. Kranz, M. Bellini, U. Vemulapati, H. Bartolf, S. Kicin, S. Skibin ABB Switzerland Ltd. Corporate Research, C. Papadopoulos, M. Rahimo ABB Switzerland Ltd., Semiconductors**

逆伝導 3.3KV 動作の SiC MOSFET (プレーナゲート構造) で、セルピッチを 14~26 $\mu\text{m}$  まで変えて (JFET の幅のみ変化) サージ電流耐性と短絡回路耐性を調べた。短絡回路では、パルス幅 10 $\mu\text{s}$  (通常条件で印加:  $V_D=1800\text{V}$ ,  $V_G=15\text{V}$ ) まで耐えることができ、サージ解析では、サージ電流 (ドレインへ電流パルス印加  $V_D<0$ ,  $V_G=0$  or  $V_G=15\text{V}$ ) のパルス幅 9ms で、通常電流の 15 倍まで耐えることができた。また、12 個の SiC MOSFET の並列動作でよい電流分配を確認できた。更に、SiC MOSFET/JBS Diode (12 個使用) を組み込んだ LinPaK ハーフブリッジ・モジュールのスイッチング損失は、Si IGBT/SiC Diode のハーフブリッジに比べて 90%以上低減した。

**6-3, “Reliability-aware Design of Metal/high-k Gate Stack for High-performance SiC Power MOSFET”, Takuji Hosoi<sup>1</sup>, Shuji Azumo<sup>2</sup>, Yusaku Kashiwagi<sup>2</sup>, Shigetoshi Hosaka<sup>2</sup>, Kenji Yamamoto<sup>3</sup>, Masatoshi Aketa<sup>3</sup>, Hirokazu Asahara<sup>3</sup>, Takashi Nakamura<sup>3</sup>, Tsunenobu Kimoto<sup>4</sup>, Takayoshi Shimura<sup>1</sup>, Heiji Watanabe<sup>1</sup>, <sup>1</sup>大阪大学, <sup>2</sup>東京エレクトロン, <sup>3</sup>ローム, Ltd., <sup>4</sup>京都大学**

SiC MOSFET の信頼性を上げるためにゲート (トレンチ) 構造を従来の Al/AlON/SiO<sub>2</sub> から TiN/HfAlON/SiO<sub>2</sub> に変えた。従来のゲートに正電圧を印加すると、リーク電流はゲート絶縁膜に SiO<sub>2</sub> を用いた場合と同等の特性を示していたが、負電圧を印加すると、前者のリーク電流は後者より大きく、信頼性を上げることができなかった。これは、ゲートに負電圧を印加すると、AlON/SiO<sub>2</sub> のゲート材料では SiC 基板からの正孔注入を抑えることができないためである。今回、AlON に High-k 材料の Hf を加え、ゲート構造を Al/HfAlON/SiO<sub>2</sub> にすることにより、その正孔注入を抑えることができ、リーク電流をゲート絶縁膜に SiO<sub>2</sub> を用いた場合と同等にできた。しかしながら、そのゲート構造でも、高温環境下でゲートに負電圧を印加した時 (175°C,  $V_G=-14\text{V}$ , 10 分)、しきい値電圧の正方向へのシフトが見られた。これはゲート電極からの電子注入に起因しており、これを抑えるために、ゲート電極材料を Al より仕事関数の大きい TiN に変えて、ゲート構造を TiN/HfAlON/SiO<sub>2</sub> にした。これにより、そのしきい値シフトは無くなり、信頼性レベルは



向上した。また、Hf でゲートの誘電率が増加したことにより、TiN/HfAlON(59nm, Hf50%)/SiO<sub>2</sub>(10nm) のトレンチ MOSFET のピーク・トランスコンダクタンスは、Al/SiO<sub>2</sub>(60nm)プレーナゲート構造の MOSFET に比べて 3.4 倍まで上昇した。

**6-4, “Reliability Assessment of a Large Population of 3.3 kV, 45 A 4H-SiC MOSFETs”, Edward Van Brunt, Daniel J. Lichtenwalner, Robert Leonard, Al Burk, Shadi Sabri, Brett Hull, Scott Allen, and John W. Palmour, Wolfspeed, a Cree Company**

3.3kV 45 A 4H-SiC MOSFETs (従来プロセスの DMOS 構造)の 3 ロット (各ロット 77 デバイス) の高温逆バイアス試験 (HTRB) と材料の欠陥に関連したゲート酸化膜の信頼性に関する研究結果を報告している。HTRB 試験 (順方向ブロッキング・モード  $V_{DS}=2640V$  (at  $V_{GS}=V_{SS}=0$ ), 1000hr, 175°C) では、デバイスに関連する故障は発生しなかった。また、ディスロケーションの量と 4H-SiC MOS 容量 (面積>14cm<sup>2</sup>: この面積は 4H-SiC MOSFET のゲート領域を含む) のブレイクダウン電界との間には関連が無かった。このことから、酸化膜の信頼性は SiC 材料の質よりむしろ酸化条件そのものに大きく依存することが示された。また、結晶性の欠陥は実際にその欠陥の近傍で酸化膜のブレイクダウンを抑える効果を持つことが予測された。

**6-5, “Design and Fabrication of 3.3kV SiC MOSFETs for Industrial Applications”, Xing Huang, Leonid Fursin, Anup Bhalla, William Simon, and J. Chris Dries, United Silicon Carbide Inc.**

3.3kV プレーナ SiC MOSFETs の短絡回路耐性を高く、特性オン抵抗  $R_{on,sp}$  を低くするようにチャネル密度を変えて実験計画法により設計を最適化した (短絡回路耐性と  $R_{on,sp}$  の間にはトレードオフの関係がある)。用いたサンプルは 6 インチウエハで製造された歩留まり 90%以上の 3.3kV SiC MOSFETs である。短絡回路耐性を上げるためにチャネル密度を小さくして飽和電流を下げることを検討したが、それよりゲート電圧  $V_{gs}$  を通常動作の 20V から 15V に低下させることがより有効であった。 $V_{gs}$  を下げることにより  $R_{on,sp}$  は 12%上昇するが、3.3kV 動作であるため、チャネル抵抗成分 (19%) よりドリフト抵抗成分 (68%) が大きく、その影響は少ない。結果として、1.5kV の DC バスで 5 $\mu$ s の間短絡回路に耐え、10 m $\Omega$ ・cm<sup>2</sup> の低特性オン抵抗を持つことできた。

**Session 8: Power ICs: Automotive and Industrial Applications**

**8-2, “An IGBT Gate Driver IC with Collector Current Sensing”,**

J. Chen, W. Zhang, A. Shorten, J. Yu, W. T. Ng, トロント大学

M. Sasaki, T. Kawashima, H. Nishio, 富士電機

IGBT のコレクタ電流をモニターするのに、従来は IGBT のエミッタ側に抵抗を挿入するか、電流センストランジスタを IGBT の中に埋め込む必要があった。これらは効率を下げ

るだけでなく、高電圧環境でモニターする可能性があった。本方法は、ターンオンとターンオフ過程のゲートプラトー (or Miller Plateau) 電圧と IGBT を流れるコレクタ電流が関係することに着目し、ゲートドライバー側でゲートプラトー電圧を測定することによりコレクタ電流をモニターする。まず、ゲートドライバー出力部に分割抵抗を付加し、ハイパスの SC(Switched Capacitor) フィルターを使ってゲートプラトーの開始点を検知する。ロジックで積分時間を決定後、ゲートプラトー領域内でゲートドライバーの入力と出力の電位差を積分する。その積分値をサンプリング/ホールドし、 $\Delta \Sigma$  ADC でデジタル信号に変えて CPU にてデジタル制御する。ADC 出力はゲートプラトー電圧、すなわちコレクタ電流に対応している。本方法は、すべてゲートドライバー内で処理できるため、従来のように外部の抵抗コンポーネントを必要とせず、また高電圧環境下で行う必要はない。実際に、TSMC's 0.18  $\mu\text{m}$  BCD Gen-2 process を使って試作したゲートドライバーを、富士電機の IGBT 7MBP200VEA060-50 モジュールに組み込んで動作を確認した。精度は、ターンオンに関し 1~30A の範囲で、またターンオフに関し 1~50A の範囲で、 $\pm 1\text{ A}$  であった。本方法は、実用レベルで非常に有効であると考えられる。

### **Poster Session 1: High Voltage**

**HV-P4**, “Advanced RFC diode utilizing a Novel Vertical Structure for Softness and High Dynamic Ruggedness”, Katsumi Nakamura and Kazuhiro Shimizu, 三菱電機

1200V 動作 FWD (Free Wheeling Diode) のターンオフ時のリカバリー特性を改善する (リングングを抑える) 構造を提案した。この構造は、ドリフトのバッファ層である LPT (Light Punch Through II) とそのバッファ層よりドリフト層内部へ向けて不純物濃度が低くなっている CPL (Controlling Carrier-Plasma Layer) からなる。LPT はターンオフ時の電界ストップである。ターンオフ時に CPL 層で空乏層の広がり速さが抑えられるため、ドリフト層内のキャリアが抜けるのに時間がかかる。これが、リカバリーの終わりの過程で  $dj/dt$  を低下させるので、リングングが抑えられる。また、CPL 層の LPT 側にイオン注入による欠陥が残っており、これがキャリア寿命を低下させているため、ターンオフ過程の大きなテール電流を無くしている。

**HV-P6**, “Study of the electrostatic potential of the floating-p region during the turn-on period of IGBT”, Yoshihiro Ikura, Yuichi Onozawa, 富士電機、Akio Nakagawa 中川コンサルティング・オフィス

フローティング P 領域を持つ IGBT に関し、フローティング P 領域の電位  $V_{fp}$  がターンオン過程の  $dI_c/dt$  (コレクタ電流時間変化率) にどの様に影響を与えるかをシミュレーションにより解析した。ターンオン過程では、コレクタ電圧の上昇と伴に  $V_{fp}$  が上昇し、ゲートを介して誘導電流が流れ、 $dI_c/dt$  に影響を与える。したがって、この影響を調べるには、ターンオン初期の  $V_{fp}$  がいくらの値になっているかを調べる必要がある。ターンオン初

期の  $V_{fp}$  は、オフ状態の  $V_{fp}$  で決まり、この  $V_{fp}$  は Pch-MOSFET (フローティング P 領域 -N ドリフト領域-P ベース領域から構成) のしきい値電圧になることを示した。トレンチゲートのボトム領域 (N ドリフト領域内) のゲート酸化膜厚を厚くすることにより、Pch-MOSFET のしきい値電圧は高くなり、オフ状態の  $V_{fp}$  を高く設定できる。これにより、 $dIc/dt$  を低くすることができ、ターンオン過程のオーバーシュートを抑えることができることを示した。本方法はターンオン過程の  $dIc/dt$  制御に有効であると考えられる。

### **Poster Session 2: Low Voltage & Power IC Device**

**LVT-P1**, “Novel LDMOS with Assisted Deplete-Substrate Layer Consist of Super Junction under the Drain”, Song Yuan, Baoxing Duan, Hai Cai, Zhen Cao, Yintang Yang, Xidian University (西安電子科技大学)

ドレイン下に N 層と P 層を縦方向に配置 (スーパー Junction 構造) することにより、ドレイン下を空乏化 (ADSL (assisted deplete-substrate layer)) して高耐圧化を図った LDMOS を提案した。ブレークダウン電圧 BV は、従来構造の LDMOS で 464V であったものが、同じ  $70 \mu m$  のドリフト長の提案構造で 812V まで上昇した。また、 $FOM(BV^2/R_{on,sp})$  は、従来構造の LDMOS では  $0.645 MW/cm^2$  であったものが、提案構造では  $1.397 MW/cm^2$  になった。この構造では、ドレイン周りの電界が緩和され BV が向上するが、ゲート近傍の横方向電界は提案型と従来型の LDMOS で変わらなく高い状態になっており、この領域で発生するホットキャリアによる特性劣化は従来と同等レベルと推定され、問題があるのではないかと考える。

**LVT-P2**, “Novel Superjunction LDMOS with Multi-Floating Buried Layers”, Zhen Cao, Baoxing Duan, Song Yuan, Haijun Guo, Jianmei Lv, Tongtong Shi and Yintang Yang, Xidian University (西安電子科技大学)

ドリフト領域がスーパー Junction 構造になった LDMOS のドレイン下部の P 基板中に複数の N 型フローティング層 MFBL (Multiple Floating Buried Layers) を設けて、バルクの電界を低下させる新型の LDMOS を提案し、特性をシミュレーションで確認した。この構造により、提案構造のブレークダウン電圧 BV が従来 of BSD (Buffered Step Doping) SJ-LDMOS (ドリフト層及びドレイン下の N 型バッファ層がドリフト層に沿ってステップ状になった構造) に対し、同じドリフト長で 80.4% 改善した。また、従来 of Buffered SJ-LDMOS に対し、提案構造の BV は、131.7% 増大した。更に、パワー FOM ( $=BV^2/R_{on,sp}$ ) は、シリコンリミットを超える  $13.07 MW/cm^2$  を記録した。

**LVT-P3**, “180nm HVIC Technology for Digital AC/DC Power Conversion”, Don Disney, Wen-Cheng Lin, XiaoXin Liu, Swapnil Pandey, and Jongjib Kim, GLOBALFOUNDRIES

BEOL (Back End of Line)に 180nm プロセス、FEOL (Front End of Line)に 350nm プロセスである 3.3V CMOS (素子分離には STI を使用) を用いて、AC/DC フライバック・スイッチモード電源を制御する HVIC (High Voltage Integrated Circuit)を開発した。デジタル部分の回路密度は、従来の  $0.5\mu\text{m}$  プロセスの 5V CMOS に対し約 10 倍上がり、アナログ回路性能は維持された。この HVIC には、電源制御回路のスタートアップ・スイッチとして 700V のデプレッション型デバイスも取り込んでいる。この 700V デバイスは、ドリフト層上部に STI を持ち、p-top (ドリフト上部の P 層) で double-RESURF にした構造になっており、十分な信頼性があることを確認した。各デバイス構造には、新規性はないが、コストを重視して低電圧から高電圧までを IC として集積したことに利点があると考ええる。

**LVT-P4**, “U-shaped Channel SOI-LIGBT With Dual Trenches to Improve the Trade-off Between Saturation Voltage and Turn-off Loss”, Long Zhang<sup>1</sup>, Jing Zhu<sup>1</sup>, Weifeng Sun<sup>1</sup>, Minna Zhao<sup>1</sup>, Jiajun Chen<sup>1</sup>, Xuequan Huang<sup>1</sup>, Desheng Ding<sup>1</sup>, Yan Gu<sup>2</sup>, Sen Zhang<sup>2</sup>, Bo Hou<sup>3</sup>, <sup>1</sup>Nanjing, <sup>2</sup>CSMC Technologies Corporation, <sup>3</sup>the Ministry of Industry and Information Technology

LIGBT(Lateral IGBT)の飽和電圧  $V_{CEsat}$  とターンオフ時の損失  $E_{off}$  とのトレードオフを改善するため、U 形状のゲートトレンチ(G1)と U 形状の正孔バリアトレンチ(G2)を持つ、500V 動作の SOI 構造の LIGBT を提案し、シミュレーションで特性を確認した。これら二つのトレンチにより、エミッタ側でキャリアの蓄積量が増え、ドリフト領域内でより均一なキャリア分布が得られた。これにより、提案構造の LIGBT の  $E_{off}$  は、従来の U 形状のプレーナゲート LIGBT に対し、同じ  $V_{CEsat}(=1.22V)$  で 52.3%低下した。

**LVT-P5**, “Best-in-Class LDMOS with Ultra-Shallow Trench Isolation and P-Buried Layer from 18V to 40V in  $0.18\mu\text{m}$  BCD Technology”, Feng Jin<sup>1,2</sup>, Donghua Liu<sup>1</sup>, Junjun Xing<sup>1</sup>, Xinjie Yang<sup>1</sup>, Jiye Yang<sup>1</sup>, Wensheng Qian<sup>1</sup>, Wei Yue<sup>1</sup>, Pengfei Wang<sup>2</sup>, Ming Qiao<sup>3</sup>, Bo Zhang<sup>3</sup>, <sup>1</sup>Shanghai Huahong Grace Semiconductor Manufacturing Corporation, <sup>2</sup>Fudan University (復旦大学), <sup>3</sup>University of Electronic Science and Technology of China (电子科技大学)

N ドリフト領域上に薄い U-STI (Ultra-Shallow Trench Isolation)を用い、N ドリフト領域の下に P 埋め込み層を入れた構造の  $0.18\mu\text{m}$  BCD プロセスの LDMOS を提案した。この提案構造により、競合できるレベルの特性オン抵抗  $R_{on,sp}$  とブレークダウン電圧  $BV_{DSS}$  を得た。実際に、18V LDMOS:  $BV_{DSS}=27V$  and  $R_{on,sp}=7.1\text{m}\Omega\cdot\text{mm}^2$ ; 20V LDMOS:  $BV_{DSS}=30V$  and  $R_{on,sp}=8.8\text{m}\Omega\cdot\text{mm}^2$ ; 30V LDMOS:  $BV_{DSS}=42V$  and  $R_{on,sp}=14.5\text{m}\Omega\cdot\text{mm}^2$ ; 40V LDMOS:  $BV_{DSS}=52V$  and  $R_{on,sp}=20.5\text{m}\Omega\cdot\text{mm}^2$  となっている。本提案構造の新規性はないものと考えられるが、条件の最適化により、競合できるレベルの特性を得ている。

**LVT-P6**, “A Novel 80V HS-DMOS with Gradual-RESURF Profile to Reduce  $R_{on,sp}$  for High-Side Operation”, Tsung-Yi Huang<sup>1</sup>, Chien-Hao Huang<sup>1,2</sup>, Chih-Fang Huang<sup>2</sup>, Jing-Meng Liu<sup>1</sup>, Kuo-Hsuan Lo<sup>1,2</sup>, Chia-Hui Cheng<sup>2</sup>, Jheng-Yi Jiang<sup>2</sup>, Tzung-Ying Tsai<sup>1</sup>, Ting-Wei Liao<sup>1</sup>, Jeng Gong<sup>3</sup>, <sup>1</sup>Richtek Technology Corporation, <sup>2</sup>National Tsing Hua University (国立清華大学), <sup>3</sup>Tunghai University (東海大学)

80V 動作のハイサイド LDMOS の特性オン抵抗  $R_{on,sp}$  を低下させるために、ドレイン下部に N 型の埋め込み層を部分的に追加することにより、ドリフト領域の接合深さをゲート側からドレインへ向けて徐々に深くする構造 (Gradual RESURF) に変えた。これにより、ドレイン電圧を上げてドレイン領域内の電子の電流通路を広く確保でき、 $R_{on,sp}$  の増大量を 128% (基板に電圧を印加しない状態: ローサイドの動作状態) から 79% (基板に 80V の電圧を印加した状態: ハイサイドの動作状態) に抑えることができた。これによりブレークダウン電圧は低下したが、80V の動作には問題ないとしている。ドレイン下部の接合深さを深くする方法は、ローサイド LDMOS ではあるが、我々が既に発表している Dual RESURF LDMOS の構造に似ている。ここでは、ドリフト領域下部に P 型の埋め込み層を設け、ドレイン下部領域でその埋め込み層を用いない構造にしてあり、ドレイン下部の接合深さが深くしてある。この構造により、ドレイン周りの電子の深さ方向の電流通路幅を確保するだけでなく、ブレーク電圧の低下を抑制している。

**LVT-P7**, “Dielectric RESURF as an Alternative to Shield RESURF for an Improved and Easy-to-Manufacture Low Voltage Trench MOSFETs”, Zia Hossain, Gourab Sabui\*, Z. John Shen\*, ON Semiconductor, \*Illinois Institute of Technology

縦型トレンチ MOSFET (25V クラス) において、Shield RESURF (トレンチゲート下にシールドゲートのある構造) に替わる Dielectric RESURF (シールドゲートを無くし絶縁体で置き換えた構造) を提案した。前者の特性オン抵抗  $R_{on,sp}$  は低く、ゲート・ドレイン電荷  $Q_{GD}$  も低く抑えられるが、出力容量  $C_{oss}$  は大きく、高周波スイッチングで効率が低下する問題があった。また、プロセスも複雑であった。後者の構造では、 $R_{on,sp}$  は 5~8% 上昇するが、 $C_{oss}$  は 3.5 倍低下した (at  $V_{DS}=12.5V$  (定格電圧の半分))。このため、 $FOM(=R_{on} \times Q_{oss})$  は 3 倍以上の改善を図れた。ゲート・ドレイン容量  $C_{rss}$  は増えたが、全体として高周波スイッチングでも効率の低下を抑えることができた。また、この構造の前者に比べて簡単であるため、製造コストも下げられた。

**LVT-P8**, “Low On-Resistance High Voltage Thin Layer SOI LDMOS Transistors with Stepped Field Plates”,

Kenji Hara, Tomoko Kakegawa and Shinichiro Wada, 日立

Tomoyuki Utsumi and Tetsuo Oda, 日立パワー・セミコンダクタ・デバイス

低特性オン抵抗を得るために、フィールドプレートをステップ構造（3ステップ）にした SOI 構造の 600V LDMOS を提案した。ステップ構造による薄い酸化膜がドリフト領域のドーピング濃度を上げることができ、特性オン抵抗を下げることに寄与できる。実際に、今迄発表された中でベストのブレークダウン  $BV_{DS}$  と特性オン抵抗  $R_{on,sp}$  のトレードオフ特性 ( $BV_{DS}=645V$ ,  $R_{on,sp}=4.5 \Omega \cdot mm^2$ ) を得た。フィールドプレートをステップ構造にする考え方は、我々が以前 Dual RESURT 100V LDMOS で採用した考え方と同じである。

**LVT-P9**, “A Novel High-Voltage LDMOS with Shielding Contact Structure for HCI SOA Enhancement”, Hsin-Liang Liu, Ze-Wei Zhou, Shih-Teng Huang, Shu-Wen Lin, Ke-Feng Lin, Chiu-Te Lee, Chih-Chong Wang, UMC (United Microelectronics Corporation)

LDMOS のドリフト領域上部にある STI (Shallow Trench Isolation) の中まで延びて、ゲートに接続されている Shielding Contact (フィールドプレートに変わるもの) を持つ構造を提案した。この構造により、特性オン抵抗  $R_{on,sp}$  が低減し、STI コーナー部での電界が弱められ、 $BV_{DS}$  が上昇するとしている。実際に得られた値は、 $R_{on,sp}=41m \Omega \cdot mm^2$  at  $BV_{DS}=60.5V$  になっている。(この  $R_{on,sp}$  値は我々が Dual RESURF 構造で得た値とほぼ同等である。) 更に、本構造では、ホットキャリア耐性が向上し、従来構造 (Shielding Contact のない構造) に対し、HCI-SOA が 37% 上昇した。また、Shielding Contact 形成のためのコンタクトエッチングを時間制御で行っており、コンタクト深さのばらつきによる特性への影響が予測されるが、これが 10% ばらついても特性への影響はないとしている。発表では、オン状態の  $I_{DS}-V_{DS}$  特性の提示がなかったため、 $I_{DS}$  の Current Expansion を確認するため、その特性のデータ提示を求めたが、その提示はなく、Current Expansion はないと口頭で説明を受けた。

**LVT-P10**, “A Snapback-free Shorted-anode SOI LIGBT with Multi-Segment Anode”, Kun Zhou, Tao Sun, Qing Liu, Bo Zhang, Zhaoji Li, and Xiaorong Luo, University of Electronic Science and Technology of China,

アノード (コレクタ) の P+電極セグメントの奥に隠れる形でアノードに接続された N+電極セグメントを入れ込み、このアノード電極の下とカソード (エミッタ) の N+電極の下に P+の埋め込み層のある 600V 動作 SOI LIGBT を提案した。このアノード構造により、アノード内の N+電極へ流れる電子電流の抵抗を増やしてアノードの P+とドリフトの N 間の順バイアスを上昇させることができるため、順方向バイアス時のスナップバック効果 (アノード電圧  $V_A$  が 0 から上昇し低い場合、最初ユニポーラ (電子) 電流が流れているが、 $V_A$  が高くなると、アノードの P+とドリフトの N 接合にバイポーラ電流 (順方向電流) が流れて  $V_A$  が一気に低下する現象) を低減できる。これにより、スナップバック電圧を 1V より低くできた。一方、カソード下の P+埋め込み層により、ラッチアップ耐性を

向上でき、ラッチアップを起こす電流は、 $1600\text{A}/\text{cm}^2$ となった。また、短絡回路の耐性は従来 LIGBT に対し 6 倍上昇した。

**LVT-P11**, “Edge Termination Design of A 700-V Triple RESURF LDMOS With N-Type Top Layer”, Ming Qiao<sup>1</sup>, Zhengkang Wang<sup>1</sup>, Huihui Wang<sup>2</sup>, Feng Jin<sup>2</sup>, Zhaoji Li<sup>1</sup>, Bo Zhang<sup>1</sup>, <sup>1</sup>University of Electronic Science and Technology of China, <sup>2</sup>Shanghai Huahong Grace Semiconductor Manufacturing Corporation

ドリフト層内に P-埋め込み層とその上に N-top 層を持つ 700V トリプル RESURF LDMOS において、エッジ・ターミネーションで耐圧が劣化しないレイアウトを検討した。能動領域からエッジ・ターミネーション領域に移行する遷移領域におけるドリフト領域 (N-top 及び P-埋め込み層) の曲率と電荷のインバランスが耐圧劣化に強く影響する。その遷移領域のレイアウト (P 基板と N-top 及び P-埋め込み層のオーバーラップ領域の形状) を変えることによりその曲率と電荷のインバランスを最適化し、遷移領域でのブレークダウン発生を無くした。これにより、ブレークダウン電圧の発生箇所は能動領域内になり、今迄発表された中で最も良いブレークダウン電圧  $BV_{DS}(=805\text{V})$  と特性オン抵抗  $R_{on,sp}(=86.49\text{m}\Omega\text{cm}^2)$  のトレードオフ特性を得た。

**LVT-P12**, “A Novel 700V Deep Trench Isolated Double RESURF LDMOS with P-sink Layer”, Shikang Cheng<sup>1,2</sup>, Dong Fang<sup>1,2</sup>, Ming Qiao<sup>2</sup>, Sen Zhang<sup>1</sup>, Guangsheng Zhang<sup>1</sup>, Yan Gu<sup>1</sup>, Yitao He<sup>2</sup>, Xin Zhou<sup>2</sup>, Zhao Qi<sup>2</sup>, Zhaoji Li<sup>2</sup>, and Bo Zhang<sup>2</sup>, <sup>1</sup>CSMC Technologies Corporation, <sup>2</sup>University of Electronic Science and Technology of China (電子科技大学)

ドリフト層内に P-top で Double RESURF 構造にした 700V LDMOS が DTI (Deep Trench Isolation) で素子分離され、その DTI の下部に高ドーピングの P-sink を持つ構造を提案した。この P-sink 層が横方向に延びる空乏層を抑制し、素子分離能力を上げる。また、この層により、提案された LDMOS の表面電界は 35% 低減し、ドリフト層のドーピング濃度を上げることができ、特性オン抵抗  $R_{on,sp}$  を低減できている。試作の結果、 $R_{on,sp}=96.2\text{m}\Omega\cdot\text{cm}^2$  ( $BV_{DS}=758\text{V}$ ) を得た。この  $R_{on,sp}-BV_{DS}$  特性は、従来の Double RESURF LDMOS の限界を超えている。P-sink 層が LDMOS の表面電界を低減させる効果は、我々が既に発表している Dual RESURF LDMOS (但し、50-100V 動作) のゲート側に近いドリフト層の下部領域に設けた P-埋め込み層がゲート近傍の表面電界を低下させる効果と似ている。

**LVT-P13**, “Simple and efficient approach to improve hot carrier immunity of a p-LDMOSFET”, Atsushi Sakai\*, Katsumi Eikyu\*, Hiroki Fujii†, Takahiro Mori†, Yutaka Akiyama\* and Yasuo Yamaguchi\*, \*ルネサス・エレクトロニクス・コーポレーション、†ル

ネサス・セミコンダクタ・マニュファクチャリング

Pch-LDMOSFET のホットキャリア耐性を向上させる構造をシミュレーションにより提案している。STI(Shallow Trench Isolation)ベースの Pch-LDMOS では、STI のボトムエッジでインパクトイオン化により発生した電子が STI 側壁の電界で加速され、蓄積領域上のゲート酸化膜中に注入し、ゲート酸化膜の劣化を加速する問題がある。この電子注入を抑えるため、電子注入が発生する領域 (STI 側壁と蓄積領域とが交差する領域) を n 型層 (n-type hot electron cooling layer: HEC) で覆った。この n 型層内ではインパクトイオン化が減少し、ゲート酸化膜を流れる電流が低減することをシミュレーションで確認した。また、この対策によって、特性オン抵抗及びドレインソース間の耐圧が劣化することはない。本対策は、簡単で良い方法であると考えられる。

**LVT-P14**, “High-Speed Power MOSFET with Low Reverse Transfer Capacitance Using a Trench/Planar Gate Architecture”, Jin Wei <sup>1</sup>, Yuru Wang <sup>1</sup>, Meng Zhang <sup>2</sup>, Huaping Jiang <sup>3,4</sup>, and Kevin J. Chen <sup>1</sup>, <sup>1</sup>The Hong Kong University of Science and Technology, <sup>2</sup>The Hong Kong Polytechnic University, <sup>3</sup>Dynex Semiconductor Ltd, <sup>4</sup>Zhuzhou CRRC Times Electric Co. Ltd.

高速スイッチングデバイスとして、トレンチ/プレーナ MOSFET を提案した。提案構造では、従来構造に存在した JFET 領域上の MOS 構造を除去しているだけでなく、top P-ベース領域が JFET 領域を空乏化しており、これらが Crss (逆伝達容量: ゲートドレイン間容量) を大幅に低減している。また、提案構造では、蓄積抵抗を含めた JFET の抵抗成分は、従来構造より大きくなっているが、トレンチ・チャンネル構造であるため、チャンネル密度が高くなっており、全体としてのオン抵抗を低減している。この結果、特性オン抵抗  $R_{onA}$  は、従来のプレーナ構造の MOSFET で  $1.13\text{m}\Omega\text{cm}^2$  であったものが、提案構造の MOSFET で  $1.04\text{m}\Omega\text{cm}^2$  に下がった。耐圧  $BV_{DS}$  は従来構造と提案構造でほぼ同じで、45V 程度である。

**LVT-P15**, “A Novel Contact Field Plate Application in Drain Extended-MOSFET Transistors”, Lin Wei, Cheng Chao, Upinder Singh, Ruchil Jain, Li Leng.Goh, Purakh Raj Verma, GLOBALFOUNDRIES

ホットキャリア耐性を上げるためにコンタクト・フィールド・プレート (CFP) を 10V 動作 n 型 DE (Drain Extended) -MOSFET (130nm CMOS-compatible technology) に適用した。このプレートは、ソースと基板に接続されている。ホットキャリア・ストレス試験による、ドレイン電流 (線形領域) の低下量及び特性オン抵抗の増大量は、従来構造 (フィールド・プレートのない構造) より本構造の方で低く抑えることができた。これは、コンタクト・フィールド・プレートが表面を局所的に空乏化し、電流パスを基板内部に押しやるため、ゲート端でのインパクトイオン化が低減したためである。



## **Poster Session 2: SiC and Other Material Devices**

**SiC-P6**, “Experimental and Numerical Demonstration and Optimized Methods for SiC Trench MOSFET Short-Circuit Capability”,

Masaki Namai, Junjie An, Hiroshi Yano, and Noriyuki Iwamuro, 筑波大学

SiC トレンチ MOSFET (ブロッキング電圧 1250V, 特性オン抵抗  $3.3\text{m}\Omega\text{mm}^2$ ) の短絡故障のメカニズムとその耐性を上げる方策を検討している。ドレイン電圧が高い場合 ( $V_{DS}=800\text{V}$ )、ゲートに負の大きなターンオフ電圧を印加 ( $V_{GS}: 15\text{V}\Rightarrow-15\text{V}$ ) すると、ドレインのサージ電圧が高くなりアバランシェ破壊がデバイス破壊のトリガーになる可能性がある。ゲートに負の小さなターンオフ電圧を印加 ( $V_{GS}: 15\text{V}\Rightarrow-4\text{V}$ ) すると、ドレインのサージ電圧は低くなり、上記の破壊は発生しなくなる。しかしながら、デバイスは内部で発生する熱により熱暴走し、デバイス表面ではメタル溶融によって破壊する可能性がある。この場合、デバイス表面を冷却することが対策として有効であるとしている。また、ドレイン電圧が低い場合 ( $V_{DS}=400\text{V}$ )、ゲートとソース間のゲート酸化膜 (トレンチ側壁酸化膜) の破壊があり (ゲートとドレイン間のゲート酸化膜 (トレンチボトム酸化膜) の破壊はない)、この酸化膜の信頼性レベルを上げることが必要であるとしている。