

# NE ACADEMY

アナログ強化塾 第2回  
アナログ技術の新潮流  
時間分解能型回路と TDC (前編)  
88

---

計測実践講座 第1回  
その測定結果  
どのくらい信頼できますか  
94

---

組み込み寺子屋 第2回●ソフトウェア開発に利用する図  
機能や構造を図で可視化して  
ソフトウェアを設計  
102



# アナログ技術の新潮流 時間分解能型回路とTDC(前編)

アナログ信号を電圧軸ではなく時間軸で処理する——そんな「時間分解能」型アナログ回路を設計する時代が到来しつつある。この回路は既に実用化されており、研究発表も活発だ。IC/LSIの微細化と低電圧化が進み、電圧振幅を利用した計測/演算/制御が困難になってきたことが背景にある。アナログ回路の新しい潮流について、基本となるTDC (time to digital converter)を中心に回路動作や応用例を解説する。 (本誌)

## 小林 春夫

群馬大学大学院 工学研究科

電圧でアナログ信号をとらえ、演算や制御を行う。こんなことは当たり前で、意識することさえなかった、という人は多いだろう。

ところが現在、新たなアナログ回路の設計手法が広がりつつある。測定/処理の軸を従来の「電圧軸」ではなく「時間軸」に変更して、アナログ回路設計を行う方法が注目を集めている。

ここでは、アナログ回路設計のパラダイムを変える「時間分解能」型回路の動作や応用例を、基本から解説していく。後述するように、この回路には特別な製造プロセス技術は不要で、従来の回路と混在させることが容易である。今後、今回の新しい回路が適材適所で着実に利用されていくと考えている。

## 微細化と低電圧化が背景

LSIの製造プロセス微細化の進展とともに、デジ

タル回路は面積の縮小や高速化、低消費電力化を進めてきた。しかし、アナログ回路では微細化に伴い、

- ▷トランジスタの速度飽和効果やドレイン抵抗の低下のため、トランジスタの利得が小さくなる
- ▷しきい値電圧変動などの影響による素子特性バラつきが大きくなるので、回路の面積を小さくできない
- ▷電源電圧が下がってくると従来回路構成で動作するとは限らず、信号対雑音比(S/N)も悪くなるといった問題が生じる。

これまでのアナログ回路は、主にアナログ信号を電圧振幅で処理する「電圧分解能」型回路を利用して設計してきた。回路を設計する上で、電圧が最も扱いやすいからだ。ところが電圧振幅を利用しているため、低電圧になるとどうしても回路動作に悪影響が出てくる。このため、電圧分解能型アナログ回路はデジタル回路ほど微細化の恩恵を受けることがない。電源電圧が1V程度になって、いよいよ設計が困難になってきている(図1)。

こうした問題を克服できる技術として注目を集めているのが、アナログ信号を電圧軸ではなく時間軸で処理する時間分解能型アナログ回路である。これは既に通信用ICなどで米Texas Instruments Inc. (TI社)が実用化している(図2)。さらに、時間分解能型アナログ回路およびそれを用いた回路システムに関する発表が、ここ数年、回路技術の国際会議「International Solid-State Circuits Conference (ISSCC)」や「Symposium on

### 従来の「電圧分解能型」アナログ回路

- 微細化によって
- ▶利得が低下
- ▶素子バラつきが増大
- ▶低電圧化によりS/Nが劣化



「時間分解能型」  
アナログ回路の開発が盛んに

図1 時間分解能型アナログ回路が脚光を浴びるようになった背景

VLSI Circuits]などで活発になっており、その回路技術や校正技術が急速に進展しつつある。

設計のやり方は従来の電圧分解能型アナログ回路の場合とはかなり変わるが、電圧分解能型と時間分解能型をうまく使いこなせるようになれば、競争力のあるアナログICやシステムLSIを作ることができる。

時間分解能型アナログ回路は一般的な微細デジタルCMOSプロセスで作製でき、アナログ専用の特殊なプロセスを必要としない。このため設計部門が踏み切れれば、製造プロセスを変えなくても時間分解能型アナログ回路を利用できる。また、微細化すればするほどスイッチングを高速にできるため、時間分解能型アナログ回路の分解能と性能を高めやすくなる。

これによって、従来は実現できない新しい発想のアナログ回路を作ることができると期待されている。技術者にとっては、電圧分解能型と時間分解能型回路設計の同じところや違うところを知ること、アナログ設計の大事な技術や奥の深さをあらためて知ることできる。

以下では、この時間分解能アナログ技術について、なるべく分かりやすい回路を例示しながら具体的に解説する。

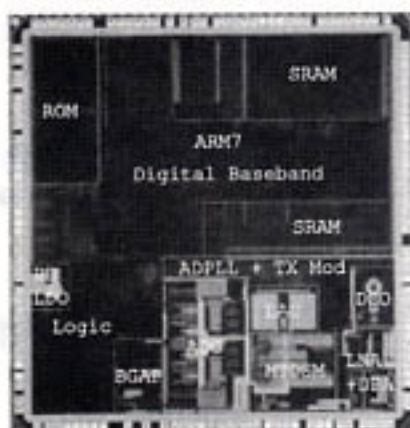
## 基本回路はTDC

時間分解能型アナログ回路のキー・コンポーネントとなる回路はTDC (time to digital converter) である。この回路は文字通り、時間をデジタル化する。通常の「電圧」ではなく「時間」の領域に信号を変換し、そこで信号処理を行うのが時間分解能型アナログ技術だが、時間領域における分解能を決めるのがTDCである。

TDCの回路はさまざまな方式が提案されているが、多用されているのはゲート遅延回路とフリップフロップを使う方式である。これは高速CMOSデジタル回路でおなじみであり、微細化とともに性能(スイッチング速度、分解能)を高めやすい。

図3に代表的なTDCの回路図を示す。まず、基準となるクロック (CLK) とカウンタによって大まかな時間間隔を推定する。図3(a)では3クロック目に被測定信号が入力されているが、3クロック目であ

(a) Bluetooth用IC



(b) 携帯電話機向けIC

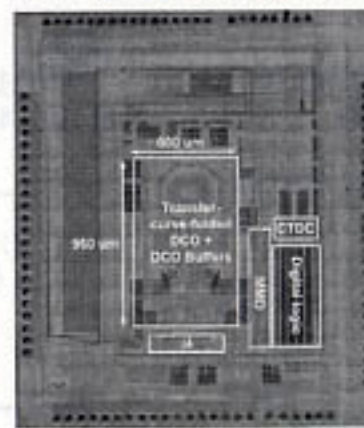
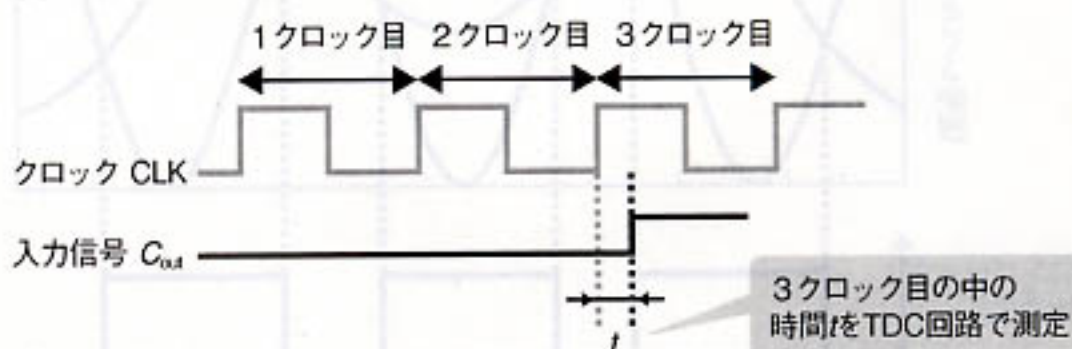


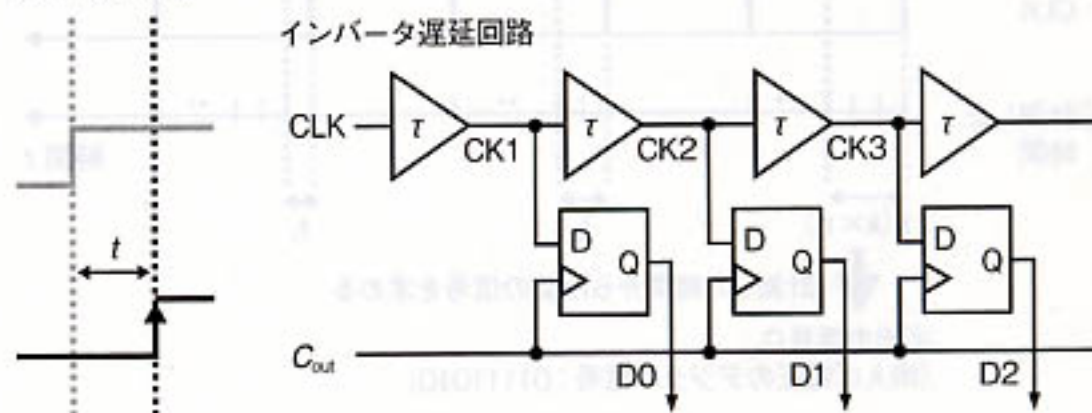
図2 時間分解能型アナログICの例

(a)は、米Texas Instruments Inc.が2004年に開発したBluetooth用トランシーバ回路。当時の製造プロセスは130nm CMOSだったが、その後、微細化を進めている。(b)は、台湾MediaTek Inc.が2008年のISSCCで発表した携帯電話機向けIC。オール・デジタルのPLL (ADPLL) を集積。(図: ISSCC)

(a) 入力信号とクロック



(b) 回路構成



(c) タイミング例

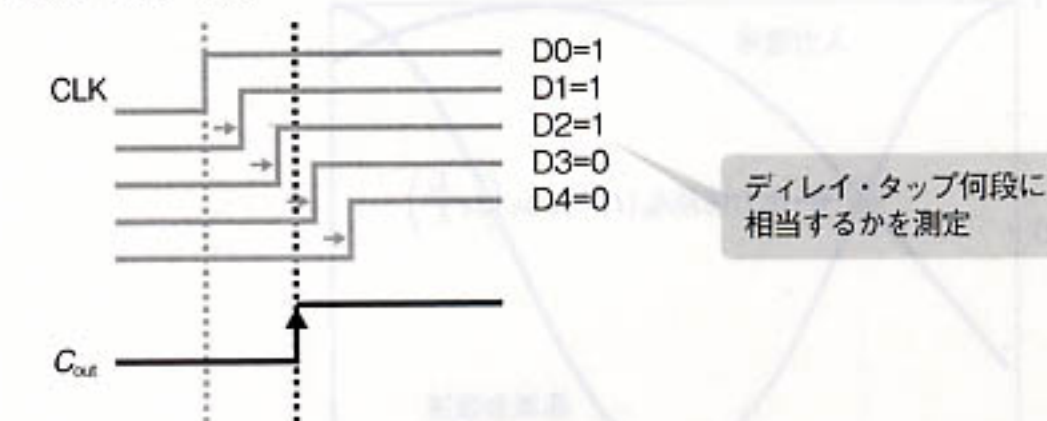
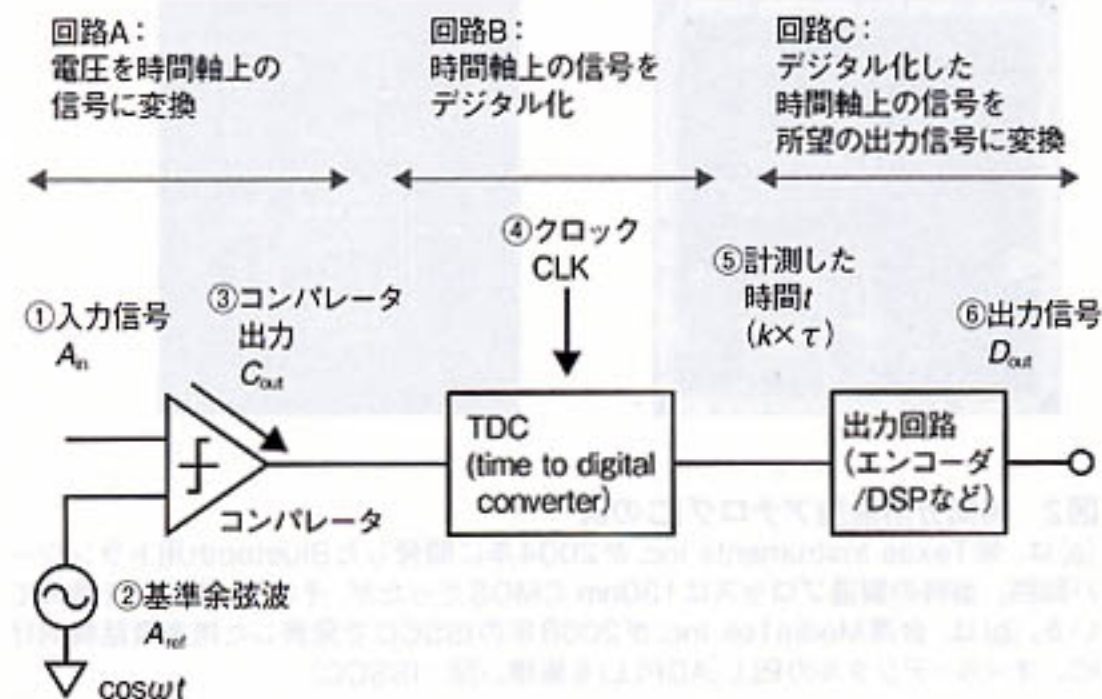
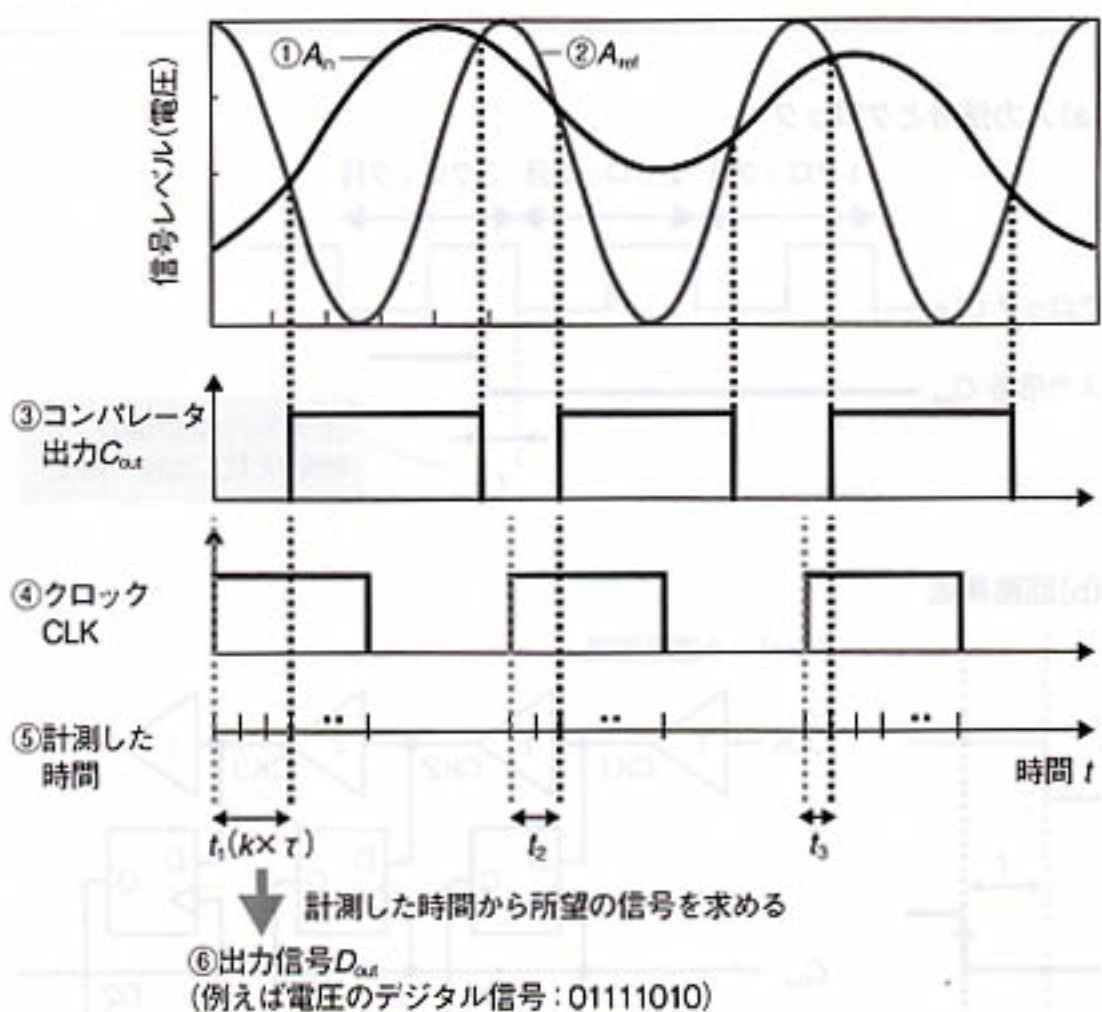


図3 TDC (time to digital converter) の動作

(a)回路構成



(b)信号波形



(c) A-D変換器の出力信号の算出方法

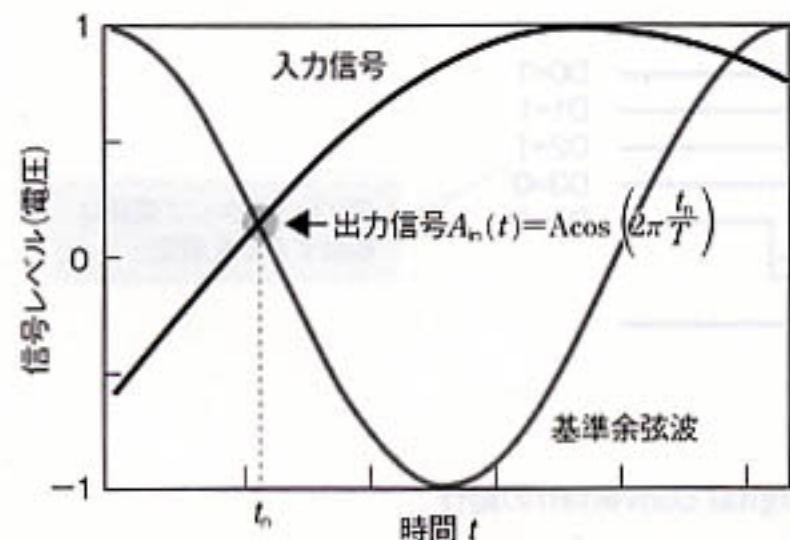


図4 時間分解能型A-D変換器の例

ることはカウンタで把握する。次に、図3(b)に示すようなインバータ遅延回路により、時間分解能の高い遅延線(ディレイ・ライン)を構成し、時間間隔を測定する。つまり、3クロック目の時間  $t$  を計測する。

この回路構成では、入力信号(被測定信号)をフリップフロップのクロック部に入力する。また、クロックをインバータ遅延線に入力し、インバータ遅延の接続点の中間タップ(CK1, CK2, CK3, ...)をフリップフロップのデータ部(D)に入力する。

そのフリップフロップ出力(Q1, Q2, Q3, ...)はフラッシュ型A-D変換器で出てくるような、いわゆる「温度計コード」になる。ここで温度計コードとは、ある点を境に連続した0と連続した1が切り替わるようなコードである。この0と1が切り替わった出力(Q)の値は、被測定信号の立ち上がりタイミングを表す(図3(c))。このQの値(温度計コード)をエンコードして出力信号に変換する(変換の仕方はp.92の「TDCとフラッシュ型A-D変換器の類似性」参照)。

TDCの5種のメリット

TDCは図3を見れば分かるように、大部分がCMOSデジタル回路で構成されている。設計やレイアウト、校正、検証、テストの各段階において、デジタル回路の手法を用いることができる。このため、LSIの微細化に際して次の利点がある。

- ▷ プロセス・スケールビリティ(微細化したときに回路の設計変更の手間が少ない)
- ▷ プロセス・ポートビリティ(プロセスを変えたときに回路の設計変更の手間が少ない)
- ▷ 微細化とともに性能が向上(インバータやフリップフロップのスイッチング速度が速くなる)
- ▷ 電源電圧スケールビリティ(低電圧で動作しやすい)
- ▷ 小回路面積(抵抗R/容量C/インダクタLの受動素子を用いずCMOSトランジスタだけで構成するので、微細化とともに回路の面積を小さくできる)

さらに、今後の検証が必要であるが、近年大きな問題になってきているアナログ回路のEMS (elec-

tro-magnetic susceptibility)の対策も、このデジタル的手法が有効になる可能性がある。詳しくは後述するが、電圧分解能型よりも信号振幅を大きく取りやすいからである。

大部分がデジタル回路のTDCは微細化に伴いインバータ遅延が小さくなり、時間分解能やジッタ性能の向上が期待できる。現在、学会レベルでは時間分解能が1psより高いTDCが報告されている。

微細化に伴いLSI内では電源電圧が低下し、素子バラつきが増大する傾向にあるので、従来の電圧分解能型アナログ回路での動作保証は難しくなるが、時間分解能型アナログ回路ならデジタル回路を多用するので動作保証しやすい。

従来のLSI設計において、アナログ回路設計はデジタル回路設計に使う製造プロセスの1～2世代前の枯れた技術を使うことが多かった。アナログ専用の工程を付けて、設計・試作・評価を何サイクルか繰り返して完成度を上げ、製品化していった。しかし、TDCのような時間分解能型回路を用いれば、先端の微細CMOSプロセスで作製するシステムLSIのアナログ回路部を初回の試作で完全動作させやすくなる。

## 応用例を通してTDCを学ぶ

LSIテスト内では、TDCは信号のスキュー/遅延/周期変動の測定やPLL (phase-locked loop) 整定時間の測定などのために多用されている。つまり、時間の精密な測定には、既にさまざまな場面で利用されている<sup>注1)</sup>。

また、テストだけでなく、LSI内部の信号のジッタ測定のため、チップ内にTDCを設ける提案もある。例えば、筆者は連続時間 $\Delta\Sigma$ A-D変換器におけるループ遅延をオンチップTDCで測定し、それに応じてパラメータ値を自動調整する方式を検討している。

これらの回路は、TDCを時間そのものの測定に使った例である。しかしながら、最近TDCが注目を集めているのは、測定対象を時間だけではなく電圧などへと広げているからだ。すなわち、電圧領域で行っていたアナログ信号処理を時間領域にマッピングして処理することで、高性能な回路を実現する方向に向かっている。

以下では、TDCのさまざまな使い方を例示し、具体的な時間分解能型アナログ回路例を挙げながら、その動作や特徴を解説する。

### A-D変換器

#### 電圧を時間領域でA-D変換

まず、TDCを用いた時間分解能型のA-D変換器を説明する。図4(a)に示したA-D変換器では、時間分解能の高いTDCとリファレンス用の余弦波を用いて、高速サンプリングを行う。

図4(a)の回路Aでは、入力電圧を時間軸上の信号に変換する。①入力信号 $A_n$ と、クロックに同期した②基準余弦波 $A_{ref}$ をコンパレータで比較する。

次に、時間軸上の信号をデジタル化する(回路B)。クロック立ち上がりから $A_n$ と $A_{ref}$ の値が一致するまでの時間 $t$ を、TDCで測定する(図4(b))。時間 $t$ は、単位時間 $\tau$ の $k$ 倍で表される。

回路Bでデジタル化した時間軸上の信号は、次の回路Cで所望の出力信号に変換する。時間 $t$ が分かれば、次の基準余弦波の式から $A_n$ と $A_{ref}$ の値が一致する点、つまり $A_n$ の値が求められる(図4(c))。

$$A_n(t) = V_{ref}(t) = A_{ref} \cos(2\pi t/\tau)$$

なお、この $t$ は、TDCによって高い分解能で測定できる。このため、 $A_n$ の精度も高くなる。

基準余弦波発生回路は、 $\Sigma\Delta$ D-A変換器を利用すれば、大部分はデジタル回路で構成できる。TDCもほぼデジタル回路なので、全体の大部分がデジタル回路で実現でき、LSI微細化のトレンドの恩恵を受けることができる。

これまで試作された、TDCを利用したA-D変換器の性能を見てみよう。米University of Michiganは、ISSCC 2009でTDCを用いたA-D変換器を発表した<sup>注2)</sup>。90nm CMOSプロセス技術を用いて、電源電圧が1V、分解能が9ビット、変換速度が1Mサンプル/秒のA-D変換器を作製、消費電力は14 $\mu$ W、チップ面積は0.06mm<sup>2</sup>だった。 $\mu$ Wクラスの低消費電力と小チップ面積を達成することで、微細化技術の恩恵をアナログ回路も十分に受けられることを示した。

注1) 筆者がTDC技術を知るきっかけは、Agilent Technologies社とのLSIテストの共同研究だった。

注2) このUniversity of MichiganのA-D変換器は、正弦波ではなくランプ波を用いている。

## TDCとフラッシュ型A-D変換器の類似性

**T**DCの構成は、フラッシュ型A-D変換器に似ている(図A-1)。筆者はTDCを知ったときに、フラッシュ型A-D変換器と対比させながら考えることで、TDCの動作原理や特性などを理解した。

実際のTDCの回路設計でも、新しい構成や回路規模の調整、高速化、低消費電力化などの最適化を行うときに、フ

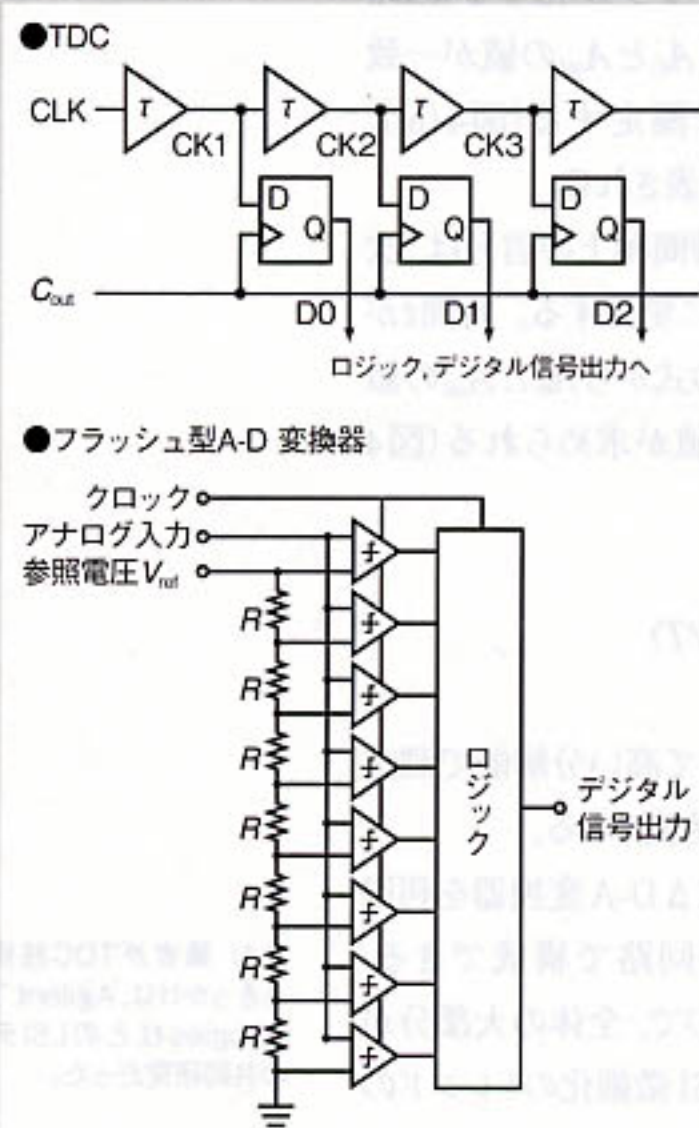
ラッシュ型A-D変換器の技術が適用できることは多い。

図A-2は、フラッシュ型A-D変換器の動作例である。入力電圧を3.56Vとすると、コンパレータ出力は図のようになり、エンコーダの入力信号はd4=1になる。エンコーダは真理値表に沿って、「100」という信号を出力する。

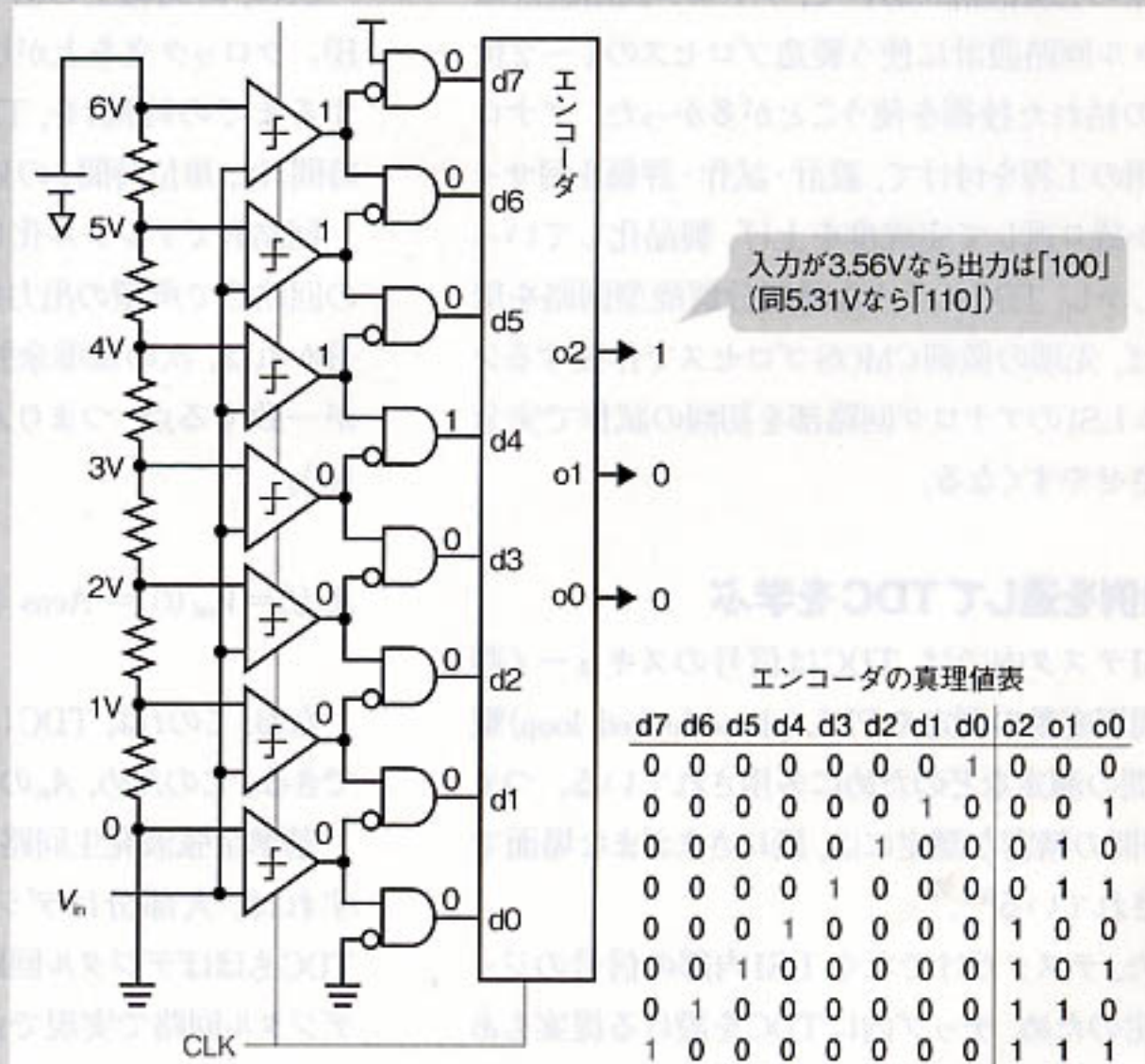
フラッシュ型A-D変換器の入力信号

は電圧だが、TDCの入力信号は信号の立ち上がりタイミングである。フラッシュ型A-D変換器の参照電圧 $V_{ref}$ が、TDCの基準クロックを遅延させた各タップにおけるタイミングに対応している。

$N$ ビットの分解能を得ようとするれば、 $2^N - 1$ 個のフリップフロップとバッファ遅延が必要である。



図A-1 TDCとA-D変換器の比較

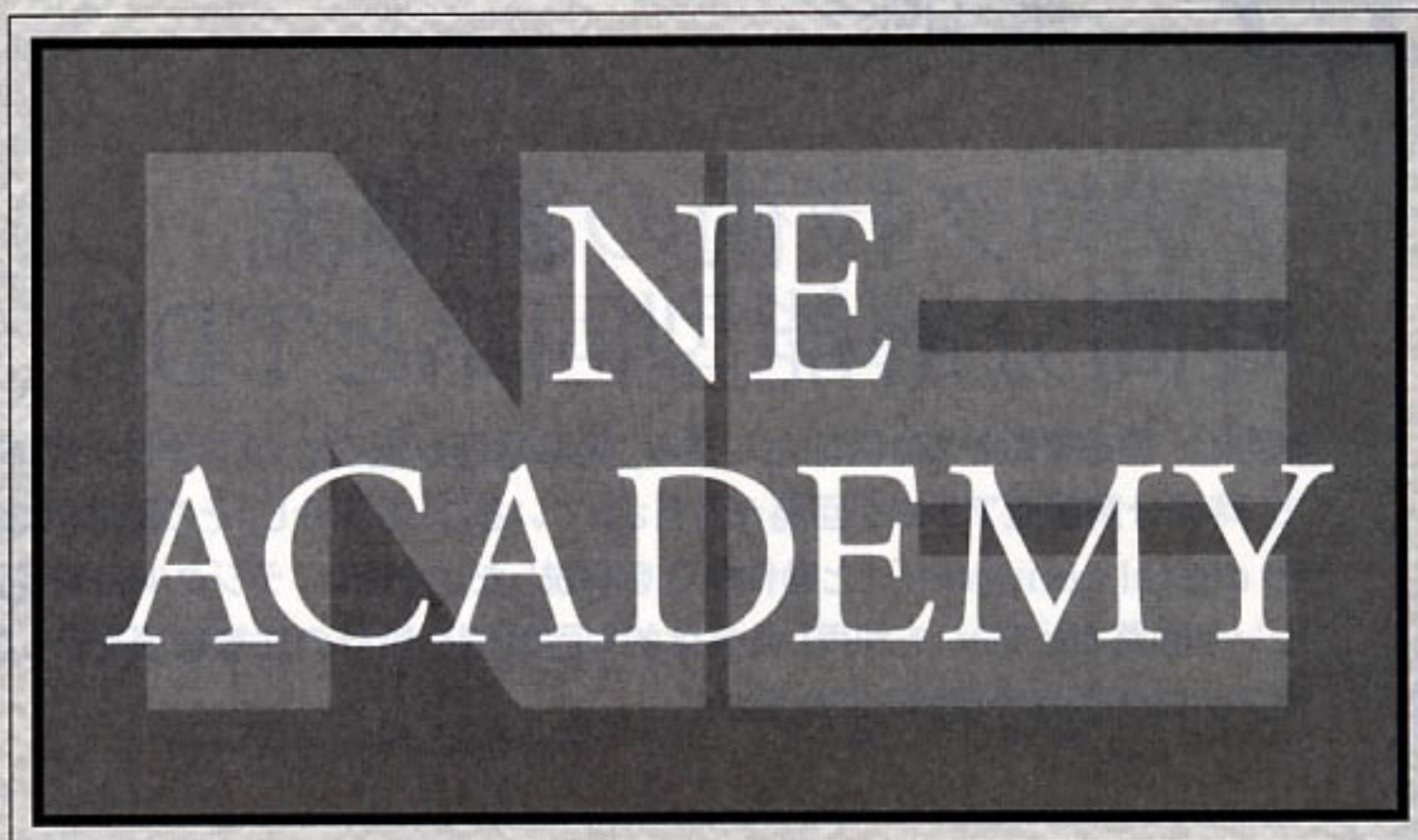


図A-2 フラッシュ型A-D変換器の動作例

なお、カウンタやランプ波など時間軸のデータを利用してA-D変換器を実現する方式としては、積分型A-D変換器が知られている。これと比較すると今回のA-D変換器では、カウンタの代わりに高時間分解能のTDCを使い、ランプ波の代わりに余弦波を用いて高速サンプリングを実現していることになる。

**小林 春夫** こばやし・はるお  
群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校(UCLA)電気工学科 修士課程修了。1997年、群馬大学 助教授。2002年、同教授。A-D変換器、電子計測、ミックスド・シグナル集積回路設計、信号処理などを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。



アナログ強化塾 第3回  
アナログ技術の新潮流  
時間分解能型回路と TDC (後編)  
102

---

組み込み寺子屋 第3回●オブジェクト指向の基本  
データと操作をカプセル化して  
再利用性や保守性を向上する  
108

---



# アナログ技術の新潮流 時間分解能型回路とTDC(後編)

今回は、製造プロセスの微細化が進み、電源電圧が低くなったアナログIC向けの回路技術として、時間分解能型アナログ回路が注目されていることを紹介し、その基本的な回路「TDC (time to digital converter)」と動作原理を解説した。今回は、デジタル制御電源用A-D変換器やセンサ回路などTDCを利用した具体的な回路例や設計の注意事項を示しながら、時間分解能型アナログ回路の理解を深めていく。 (本誌)

**小林 春夫**

群馬大学大学院 工学研究科

アナログIC向け技術として、従来の電圧振幅を利用した電圧分解能型回路ではなく、時間分解能型回路が注目されている。その背景には、LSI製造プロセスの微細化と低電圧化が進んでおり、従来の電圧分解能型回路では設計が困難になっていることがある。

前編では、時間分解能型アナログ回路の基本的な回路である「TDC (time to digital converter)」とその動作原理を解説した。後編では、TDCを利用したデジタル制御電源やセンサなどの時間分解能型回路を示す。この回路を利用すれば、デジタル回路の製造プロセスを活用しながら、高性能のアナログ回路を実現できる。

## デジタル制御電源用A-D変換器 入力電圧で遅延時間を変える

米University of Coloradoは、図1(a)のようなデジタル制御電源用のA-D変換器を開発した<sup>1)</sup>。同大学はデジタル制御電源研究のメッカだが、積極的にデジタル制御電源に用いるための時間分解能型アナログ回路に取り組んでいる。

既に述べたように、A-D変換器に時間分解能型アナログを適用すれば、低電圧で動作させやすい、製造プロセスを変えたときに回路の設計変更の手間を少なくできる、LSI製造プロセスの微細化とともに回路の面積を小さくでき性能も高めやすい、と

いった利点が得られる。

このA-D変換器のアナログ入力 $V_{sense}$ は、TDC内で遅延線を構成する図1(b)の遅延セル(バッファ)の電源電圧 $V_{DD}$ として入力する。アナログ入力が増加すると、遅延セル内のインバータとNORゲートの電源電圧 $V_{DD}$ が変わり、バッファ遅延時間も変化する。

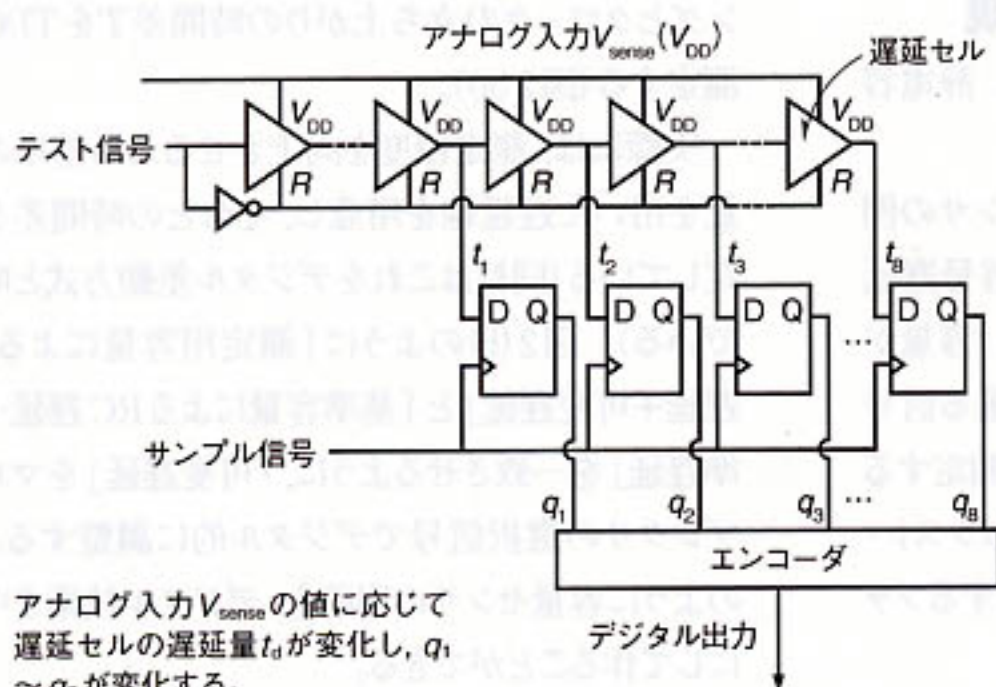
例えば、アナログ入力信号が0.6Vのときと1.0Vのときでは、バッファ遅延時間は図1(c)、図1(d)のように変化する。その遅延時間をTDCで検出する。あらかじめ遅延時間と電圧の関係を明らかにしておくことによって、アナログ入力信号の電圧を測定する。

この方式では、A-D変換器の線形性を高めるのは難しい。しかし、電源装置の出力電圧には±1~3%程度の許容範囲があるので、A-D変換器の線形性はさほど問題にはならない。

さらに、University of Coloradoの回路では、デジタル制御電源の出力電圧とその目標設定電圧をそれぞれこのA-D変換器で測定し、同じ回路を使いながらデジタル処理で各電圧の差を計算している。これによって、デジタル制御電源の出力にはフィードバックがかかり、出力電圧と目標設定電圧の差はゼロに近づく。こうした回路の工夫によって、今回のデジタル制御電源用のA-D変換器では非常に高い分解能は不要になり、A-D変換器の入力範囲(すなわち遅延セルとフリップフロップの数)および線形性に対する要求を緩和できるようにしている。

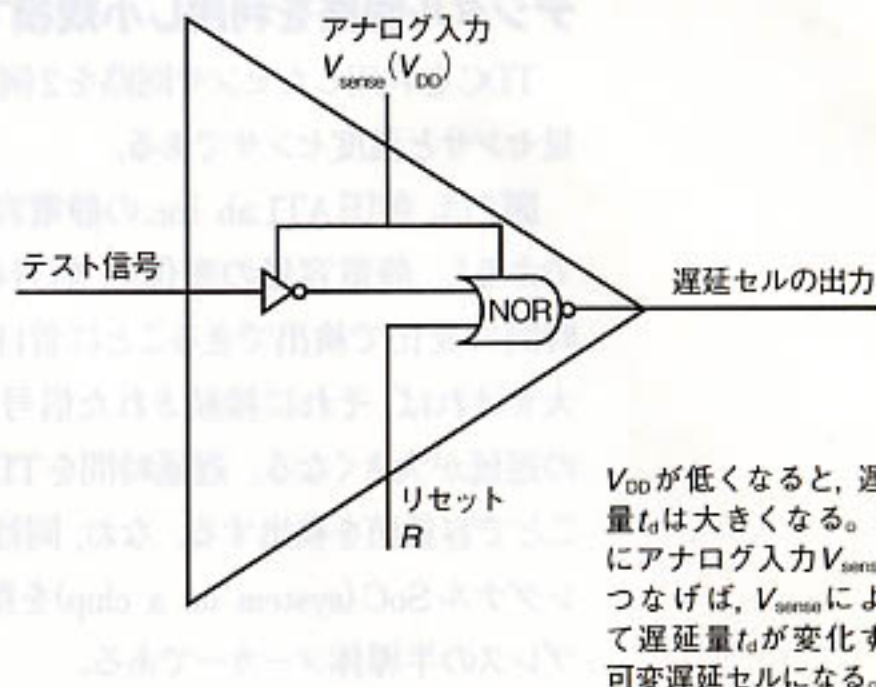


(a) A-D変換回路



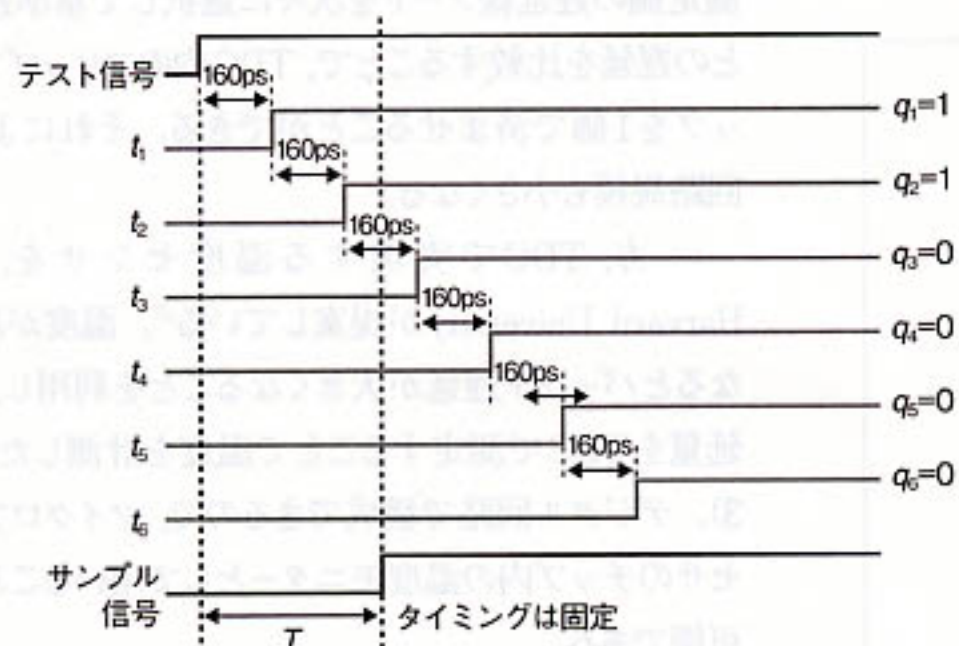
アナログ入力  $V_{sense}$  の値に応じて遅延セルの遅延量  $t_d$  が変化し、 $q_1 \sim q_B$  が変化する。

(b) 遅延セル



$V_{DD}$  が低くなると、遅延量  $t_d$  は大きくなる。 $V_{DD}$  にアナログ入力  $V_{sense}$  をつなげば、 $V_{sense}$  によって遅延量  $t_d$  が変化する可変遅延セルになる。

(c) アナログ入力信号が0.6Vのときの信号 (バッファ遅延は160ps)



(d) アナログ入力信号が1.0Vのときの信号 (バッファ遅延は100ps)

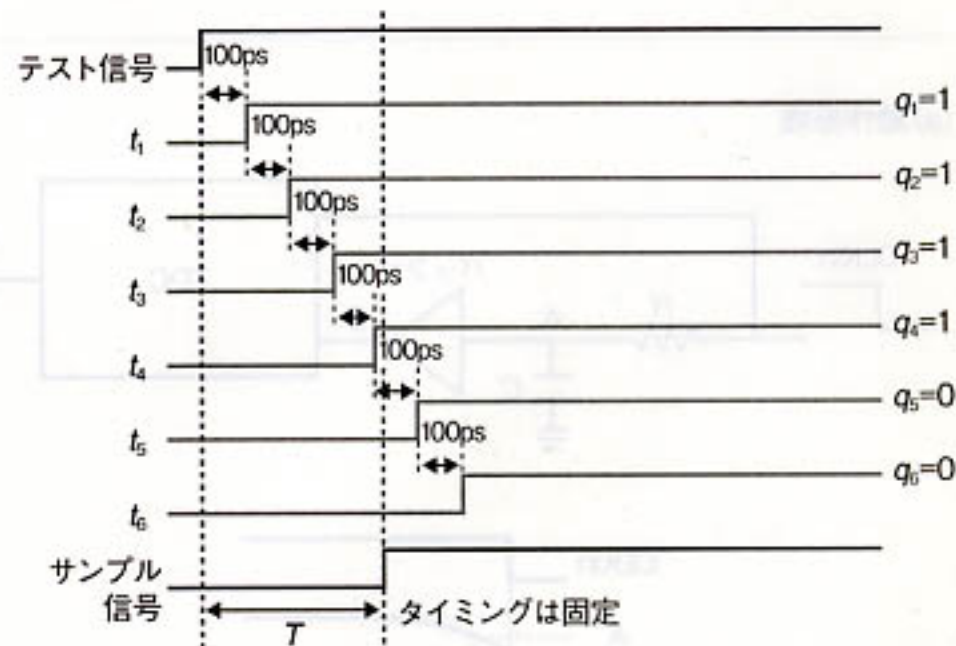


図1 TDCを用いたデジタル制御電源用のA-D変換器

## TDCの歴史

TDCは、電子計測分野でさまざまなデバイスや信号の時間特性測定に利用され、例えば実験物理学において電子・光子の飛行時間の測定などに用いられてきた。

単体の専用電子計測器は、タイム・インターバル・アナライザ (time interval analyzer: TIA) と呼ばれ、もともとは米Hewlett-Packard Co. (HP社) で考

案された。時間をカウンタで大まかに測定し、TV変換回路 (time to voltage converter) で端数部の時間を電圧に変換してその電圧をA-D変換する、というアナログ回路を作り込んで、極めて高い時間分解能・精度を実現してきた。

時間分解能が高いTDCをCMOS ICで実現する回路方式は、日本人の高エネルギー加速器実験 (原子核物理学分

野) の研究者により考案され、1988年に発表されている<sup>\*)</sup>。多チャンネル (数百万チャンネル) で、時間分解能が数nsの時間測定を実現し、実際に高エネルギー物理学での実験で利用した。

### 参考文献

A-1) Arai, Y., Baba, T., "A CMOS Time to Digital Converter VLSI for High-Energy Physics," *Symposium on VLSI Circuits*, pp.22-24, Aug. 1988.

**センサ回路**

**デジタル回路を利用し小規模で実現**

TDCを利用したセンサ回路を2例示す。静電容量センサと温度センサである。

図2は、韓国ATLab Inc.の静電容量センサの例である<sup>2)</sup>。静電容量の変化を、信号線の信号遅延時間の変化で検出できることに着目した。容量が大きければ、それに接続された信号線を通る信号の遅延が大きくなる。遅延時間をTDCで測定することで容量値を検出する。なお、同社はミックスド・シグナルSoC(system on a chip)を得意とするファブレスの半導体メーカーである。

測定容量Cによって、A点の波形の立ち上がりは変わってくる。A点の電圧がある一定以上に高

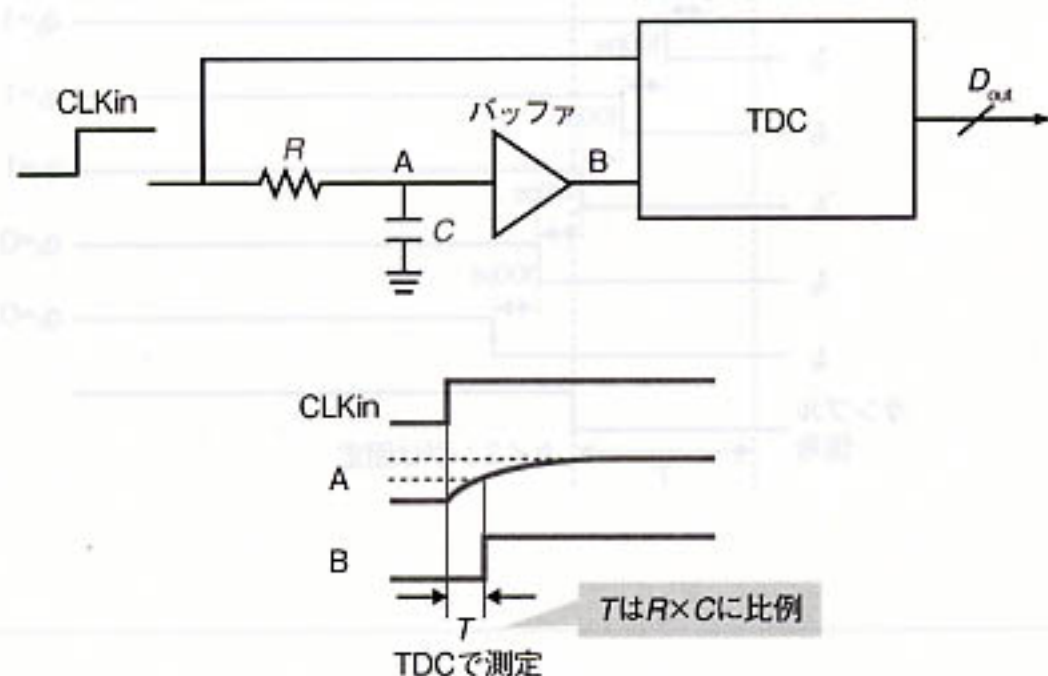
くなると、B点の電圧が高レベルになる。このタイミングとクロックの立ち上がりの時間差TをTDCで測定する(図2(a))。

実際には、測定精度を向上させるため基準の容量を用いた遅延線を用意し、それとの時間差を測定している(同社はこれをデジタル差動方式と呼んでいる)。図2(b)のように「測定用容量によるRC遅延+可変遅延」と「基準容量によるRC遅延+基準遅延」を一致させるように、「可変遅延」をマルチプレクサの選択信号でデジタル的に調整する。このように容量センサの回路も、デジタル技術を中心にして作ることができる。

なお、測定するCの容量は固定であり、信号遅延測定は何回も行えるので、逐次比較近似のように測定側の遅延線ノードを次々に選択して基準遅延との遅延を比較することで、TDC内のフリップフロップを1個で済ませることができる。それにより、回路規模も小さくなる。

一方、TDCで実現する温度センサを、米Harvard Universityが提案している<sup>3)</sup>。温度が高くなるとバッファ遅延が大きくなることを利用し、遅延量をTDCで測定することで温度を計測した(図3)。デジタル回路で構成できるので、マイクロプロセッサのチップ内の温度モニターとして用いることが可能である。

(a)動作原理



(b)実際の回路。測定する容量をつなげる可変遅延の回路と、基準遅延の回路の信号を比較する。

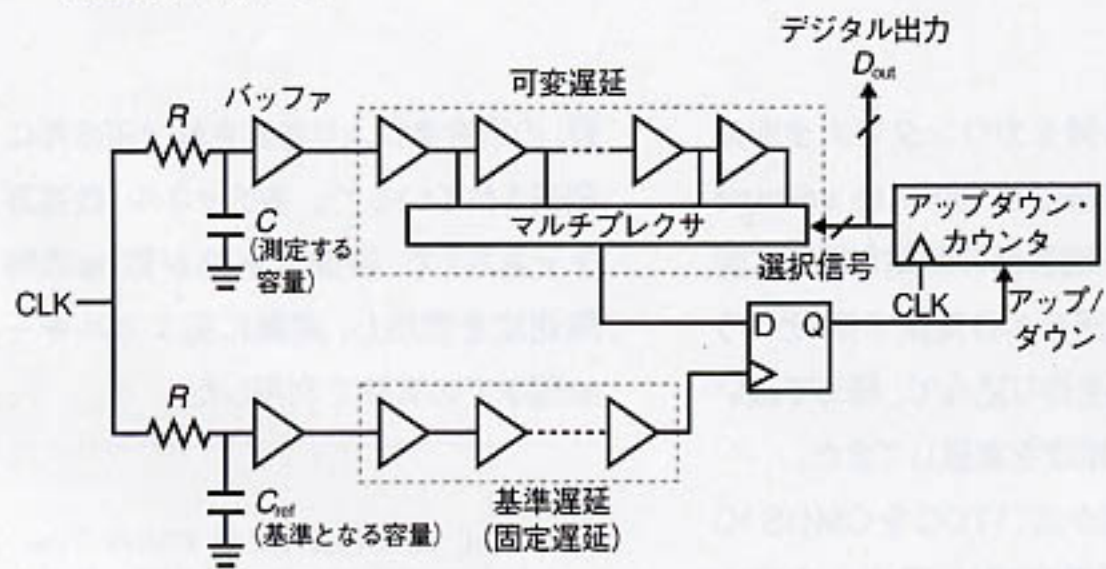


図2 TDCを用いた容量センサ

**バーニア回路**

**TDCの時間分解能を高める**

回路の工夫によって、インバータ遅延時間より細かい時間分解能を得る方式もある(図4)。ノギス(バーニア)の原理を用いて、クロックを $\tau_1$ で遅延させ、入力信号を $\tau_2$ で遅延させると、時間分解能を $\tau_1 - \tau_2$ に高めることができる。

図4の回路に、クロックと入力信号を入れてみよう。通常の回路であれば、図4(b)のように2段目のクロックの立ち上がりが時間軸上で入力信号を越えるので、 $D_0=1, D_1=0, D_2=0 \dots$ となる。これで、 $\tau_1$ の時間分解能の測定結果が得られる。

今回は $\tau_2$ の遅延を入力信号線に入れたので、 $D_0=1, D_1=1, D_2=1, D_3=0, D_4=0 \dots$ となる。この $\tau_2$ の遅延線により、分解能は $\tau_1 - \tau_2$ と細かくなった。

## TDCの校正法

さまざまな回路で応用が進むTDCだが、実際に利用する際は、測定誤差を減らすための校正処理が重要になる。TDCを校正するときは、DLL (delay-locked loop) を設けて、インバータ遅延がプロセスや電源、温度変動によらず一定になるように自動調整することが多い。

例えば、個々のインバータ遅延のバラつきに対する校正法も開発されている<sup>4~5)</sup>。校正の限界は、例えばインバータ・ディレイラインのジッタで決まる。さらに、TDCをリング発振回路の構成にすることによって、個々のインバータ遅延のバラつき、量子化誤差、ジッタなどの誤差要因を打ち消せるように、1次ノイズ・シェーブを行う方式も提案されている<sup>6~8)</sup>。このノイズ・シェーブによって、低域遮断フィルタと等価な操作を行う。つまり、周波数領域でパワーがフラットな白色雑音に対して、信号帯域である低域側で減衰させ高周波側は通過させる。

IC内では、時間(周波数)基準は電圧基準より精度よく実現しやすい。水晶発振回路からの安定したクロックを利用できることが多いからである。これも、校正では重要なことである。

## 設計者の常識を覆す

時間分解能型アナログ回路は、回路設計者の常識を覆すことであると言ってもよいだろう。従来のアナログ回路の設計では、信号の時間的な遷移やクロック・ジッタの問題にいつも悩まされてきた。それなのに、あえて時間軸の信号を扱うという発想は、意外に思われるかもしれない。

それほど従来のアナログ回路設計が、低電圧化などの問題に直面していると言える。LSIの製造プロセスの微細化によりトランジスタのスイッチング速度は上がっているものの、信号の時間的変動そのものを情報として利用するのは容易ではない。時間信号を扱うのは難しいと肝に銘ずべきである。

ただし、時間分解能型アナログ技術は、基本を身に付けさえすれば、使い勝手は悪くない。TDCは回路構成や設計、自己校正、レイアウト、検証をすべてデジタル的に実現でき、CMOS回路の製造

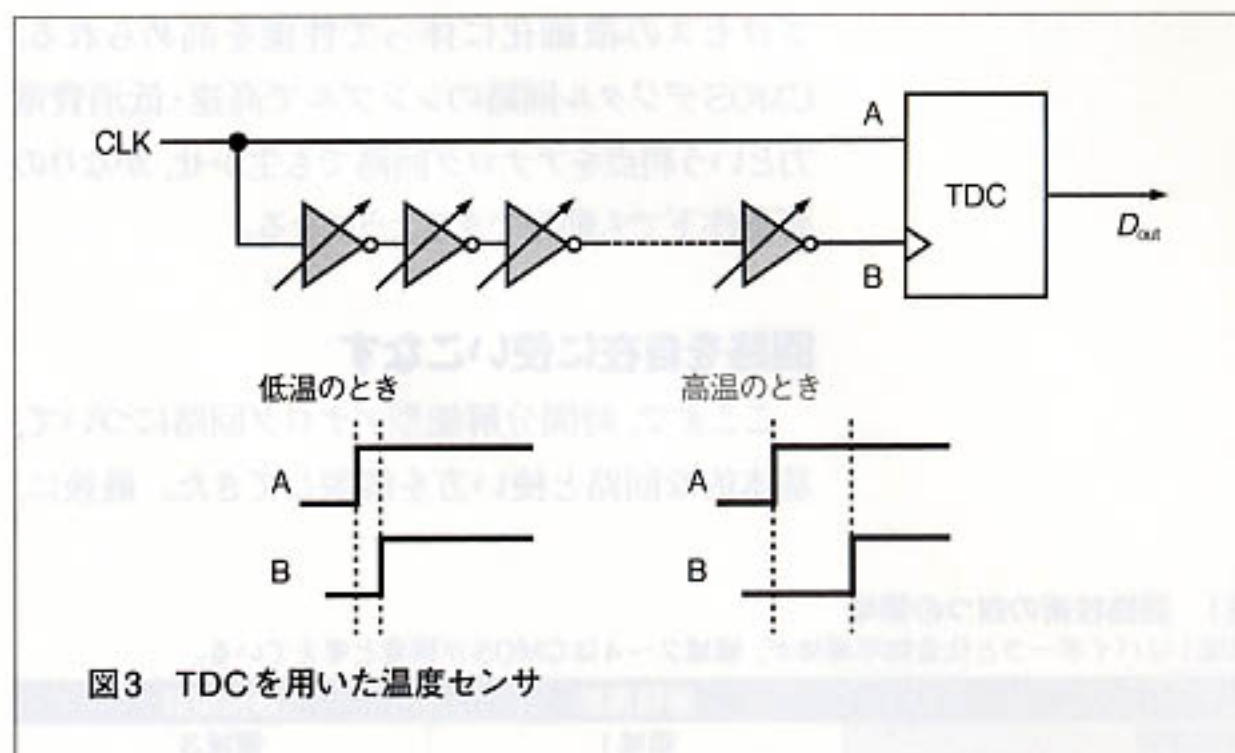


図3 TDCを用いた温度センサ

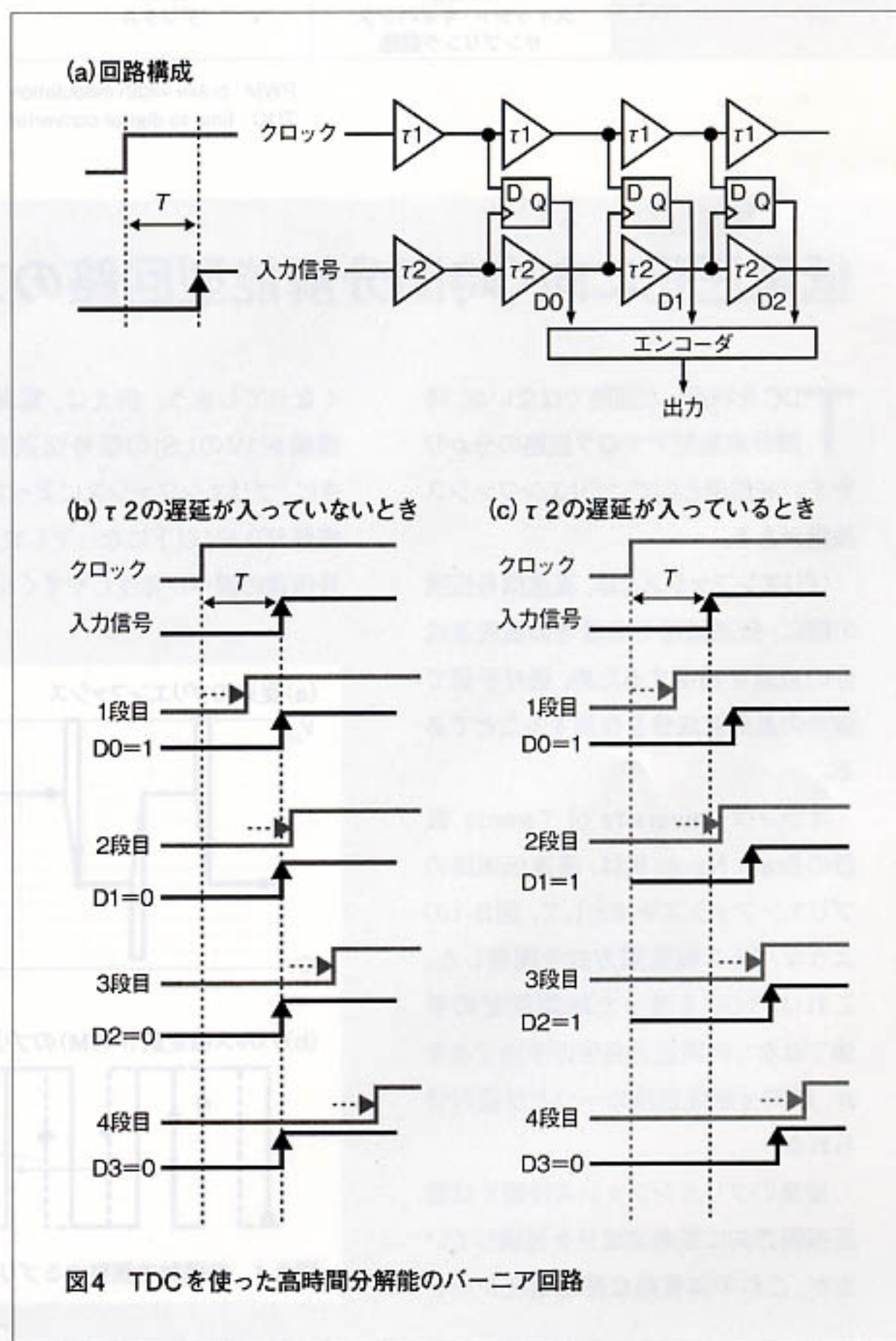


図4 TDCを使った高時間分解能のバーニア回路

プロセスの微細化に伴って性能を高められる。CMOS デジタル回路のシンプルで高速・低消費電力という利点をアナログ回路でも生かせ、かなりの悪条件下でも動作できるようになる。

### 回路を自在に使いこなす

ここまで、時間分解能型アナログ回路について、基本的な回路と使い方を解説してきた。最後に、

現在よく使われている電圧分解能型アナログ回路やデジタル回路などを包括した視点で、回路の方式を概観してみよう。これによって、時間分解能型アナログ回路とはどういうものなのか、一層理解を深められるだろう。

回路は、時間と振幅が「連続」の信号なのか「離散」なのかによって、4種類の領域に分類することができる(表1)。

領域1は、時間連続かつ振幅連続のアナログ回路である。電圧分解能型アナログ回路は、ここに分類される場合が多い。

領域2は、時間離散かつ振幅連続の回路である。例えば、サンプリング回路やスイッチト・キャパシタ回路がある。

領域3は、時間連続かつ振幅離散の回路で、今回解説したTDCやPWM (pulse width modulation)

表1 回路技術の四つの領域

領域1はバイポーラと化合物半導体が、領域2~4はCMOSが得意と考えている。

	振幅連続	振幅離散
時間連続	領域1 アナログ	領域3 TDC, PWM
時間離散	領域2 スイッチト・キャパシタ, サンプリング回路	領域4 デジタル

PWM : pulse width modulation  
TDC : time to digital converter

## 低電圧化に向く時間分解能型回路のプリエンファシス技術

TDCを利用した回路ではないが、時間分解能型アナログ回路の分かりやすい利用例として、プリエンファシス技術がある。

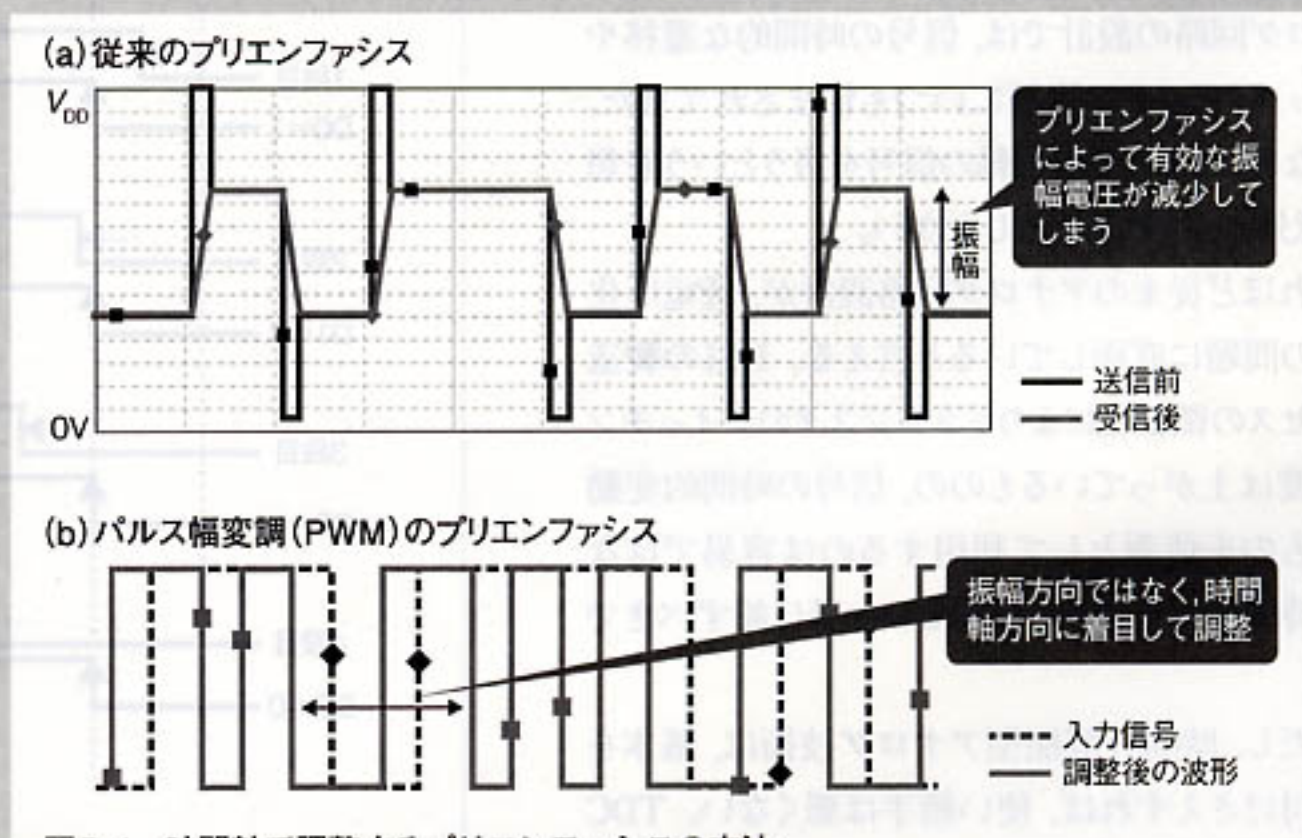
プリエンファシスとは、高速信号伝送の際に、伝送線路での信号の高周波成分の減衰を補償するため、送り手側で信号の高周波成分を強調することである。

オランダUniversity of Twente 教授のBram Nauta氏は、高速伝送路のプリエンファシス手法として、図B-1のようなパルス幅変調方式を開発した。これは、TDCを使った時間測定の手法ではなく時間信号発生の手法であるが、時間分解能回路の一つと位置付けられる。

従来のプリエンファシス技術では電圧振幅方向に高周波成分を強調していたが、これでは有効な振幅電圧が小さ

くなってしまふ。例えば、電源電圧や振幅が1VのLSIの信号伝送を行うときに、プリエンファシスによって有効な振幅が0.5V以下になってしまうと、信号伝送の誤りが発生しやすくなる。

Nauta氏の提案手法は、電圧軸ではなく時間軸方向を調整する。これによって、符号間干渉をなくして伝送線路の高周波成分減衰の影響を除去している。



図B-1 時間軸で調整するプリエンファシスの方法

回路はここに属する。

領域4は、時間離散かつ振幅離散の回路で、通常のデジタル回路である。

領域1は、CMOSよりもバイポーラ・トランジスタや化合物半導体が得意とする領域である。設計ルールが数十nm世代のCMOS技術は、これら4種類のすべての領域を用いて性能を出すことができるだろう。

TDCは大部分がデジタル回路で構成でき、CMOS技術の進展と一緒に性能を高められる。微細CMOS LSIに適したアナログ回路の方式として今後、より広い範囲での応用が期待できる。

#### 参考文献

- 1) Pateela, B. J. et al., "High-Frequency Digital PWM Controller IC for DC-DC Converters," *IEEE Transactions on Power Electronics*, vol.18, no.1, pp.438-446, Jan. 2003.
- 2) Moon, B. J. et al., "A Full-Digital Multi-Channel CMOS Capacitive Sensor," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp.247-250, 2007.
- 3) Woo, K. et al., "Dual-PLL-Based CMOS All-Digital

Temperature Sensor for Microprocessor Thermal Monitoring," *2009 IEEE International Solid-State Circuits Conference*, pp.68-69, Feb. 2009.

- 4) Rivoir, J., "Fully-Digital Time-to-Digital Converter for ATE with Autonomous Calibration," *IEEE International Test Conference*, Oct. 2006.
- 5) Hashimoto, T., Yamazaki, H., Muramatsu, A., Sato, T., Inoue, A., "Time-to-Digital Converter with Vernier Delay Mismatch Compensation for High Resolution On-Die Clock Jitter Measurement," *VLSI Circuit Symposium*, Jun. 2008.
- 6) Park, M., Perrot, M., "0.13 $\mu$ m CMOS 73dB SNDR 87mW 20MHz BW CT  $\Delta\Sigma$  ADC with VCO-Based Integrator and Quantizer," *2009 IEEE International Solid-State Circuits Conference*, pp.170-171, Feb. 2009.
- 7) Dhanasekaran, V. et al., "A 20MHz BW 68dB DR CT  $\Delta\Sigma$  ADC Based on a Multi-Bit Time-Domain Quantizer and Feedback Element," 同上, pp.174-175, Feb. 2009.
- 8) Straayer, M., Perrott, M., "An Efficient High-Resolution 11-Bit Noise-Shaping Multipath Gated Ring Oscillator TDC," *VLSI Circuit Symposium*, Jun. 2008.

小林 春夫 こばやし・はるお

群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校 (UCLA) 電気工学科修士課程修了。1997年、群馬大学 助教授。2002年、教授。A-D変換器、電子計測技術、ミックスド・シグナル集積回路設計、信号処理アルゴリズムなどを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。

## TDCでは不可避のメタスタビリティの問題

TDC内のフリップフロップのデータDとクロックCLK間のタイミングは、通常の同期デジタル回路設計の場合と異なり、常にセットアップ時間とホールド時間が確保されているとは限らない。フリップフロップのクロックの立ち上がりとほぼ同時にデータが変化すると、いわゆるメタスタビリティ (metastability) 現象を引き起こし、デジタル出力の大きな誤差が生じる可能性がある。

メタスタビリティとはフリップフロップの出力Qの値が論理レベル「0」「1」のどちらの値も取らず、一定の間その中間の値を取り続けることである。通常のA-D変換器のコンパレータでも、この現象が生じる。

TDCやA-D変換器のように、どのよ

うなレベルの入力信号がどのタイミングで来るのか分からない状況下では、メタスタビリティは必ず生じてしまう。対策をしてもこの発生頻度はゼロにできず、わずかな確率で残る。

電子計測器用A-D変換器では、このメタスタビリティによるビット・エラーをできるだけ小さくしなければならないという要求がある。例えば、オシロスコープでメタスタビリティの発生確率が高いと、波形表示の品質が劣化する。

製造プロセスの微細化によるトランジスタの高速化はメタスタビリティの発生頻度が減少する方向に働くが、TDC内のフリップフロップ回路は、入出力はデジタルだが内部回路はラッチト・コンパレータであり、アナログ回路のセンス

が要求される。

このメタスタビリティの問題を、回路だけでなく、冗長性を持たせてシステム・レベルで解決する方法もA-D変換器で研究されている。しかし、やはり影響を完全にゼロにすることはできない。

筆者は電子計測の研究所で仕事をしていたことがあるが、そこでベテラン研究者が、オシロスコープのトリガ回路で発生するメタスタビリティ問題を解決しようとしていた。その結論は、「発生確率を小さくすることはできるが、完全にゼロにできる回路システムは実現できない」ということであった。現在も未解決という状況は変わっていない。TDCでもこのメタスタビリティの問題は避けられないということを念頭に置くべきである。