

技術論文

高周波クロック信号における周期ジッタおよび サイクルツウサイクル周期ジッタの測定法

A Method for Measuring Period Jitter and Cycle-to-Cycle Period Jitter
of High-Frequency Clock Signals

山口 隆弘
Takahiro Yamaguchi
石田 雅裕
Masahiro Ishida
マニ・ソーマ
Mani Soma
ディビッド・ホルタ
David Halter
ラジェッシュ・レイナ
Rajesh Raina
ジム・ニッセン
Jim Nissen

あらまし

本論文では、PLL出力信号における周期ジッタとサイクルツウサイクル周期ジッタを測定する方法を提案する。本手法の基礎となる理論は、平均周期に対する制約条件と解析信号理論から導かれる。サイン波ジッタ測定により、サイクルツウサイクル周期ジッタと周期ジッタとタイミングジッタの関係を検証する。本手法の有効性を実証するために、プロトタイプ・マイクロプロセッサにおけるジッタ測定実験の結果を周波数領域で解析する。また、提案手法と従来のゼロクロス法の位相量子化誤差を比較する。

This paper introduces the extended $\Delta\phi$ method for measuring period jitter and cycle-to-cycle period jitter in PLL outputs. The theoretical basis for this method is derived from the limited condition for the average period and analytic signal theory. Sinusoidal jitter measurements verify the relationship between cycle-to-cycle period jitter, period jitter and timing jitter. To validate the method, experimental data from jitter measurements on a prototype Motorola microprocessor implementing the PowerPC instruction set architecture, is analyzed in the frequency domain. Comparisons of phase quantization errors are made between the extended $\Delta\phi$ method and the conventional zero-crossing method.

1. はじめに

マイクロプロセッサ(MPU)のジッタ性能測定は、今日のデバイス試験でもっとも困難な問題の一つである。ジッタ測定は、装置コストが非常に高く、非常に長いテスト時間を必要とする。MPUのクロック周波数は、約24ヶ月で2倍になり、近年1GHzを超えるようになった[1]。クロック周期が短くなるにつれて、システム動作におけるタイミング不良を解析するために、ジッタを正確に測定することがきわめて重要となる。しかし、従来のジッタ試験法は、統計的手法をもちいているため解析に多くのデータを必要とし、ジッタをより高い精度で測定するために長いテスト時間を必要とする。また、最初のMPU 4004(750kHz)と比較すると、最新のMPUモデル(2GHz以上)の位相雑音スペクトルは1000倍も広い帯域をもつようになっている。このような高い周

波数におけるクロック発生器の特性を調べるには、周期ジッタのRMS値とピークツウピーク値を推定する従来のジッタ試験法では不十分である。これにたいしRambus社は、クロック発生器を評価するためにオシロスコープをもちいた新しい測定(サイクルツウサイクル周期ジッタ)を取り入れている[2]。しかし、この新しい測定にたいする理論的説明はあたえられていない[3]。

本稿では、はじめに、高周波クロック試験におけるサイクルツウサイクル周期ジッタ測定の有効性について理論的に述べる。つぎに、クロック信号の周期ジッタとサイクルツウサイクル周期ジッタを同時に測定する新しい方法について提案する。この方法は、われわれがこれまでに提案した解析信号理論をもちいたジッタ測定法($\Delta\phi$ 法)[4][5]に基づいている。

第2章では、キーとなる用語を定義し、サイクルツウサイ

クル周期ジッタを理解するための基礎理論をあたえる。第3章では、周期ジッタとサイクルツウサイクル周期ジッタを測定する提案手法について述べ、提案手法の位相量子化誤差を解析し従来のゼロクロス法と比較する。第4章では、サイン波ジッタにかんする実験結果を示し、提案手法の適用性を実証する。第5章では、プロトタイプ・マイクロプロセッサにたいする実験データをあたえ、提案手法の効果を示す。

2. ジッタの定義と関係

2.1 ジッタ関連用語の定義

周期. 信号における2つの立ち上がりエッジ間または隣り合う2つのゼロクロス間の時間差は信号の平均周期 T に關係している。図1(a)はクロック信号のゼロクロスと平均周期の關係を示す。

タイミング・ジッタ. タイミング・ジッタとは、方形波のエッジまたはその他の信号のゼロクロス点の不安定さである。信号の瞬時位相関数が $\phi(t)$ で表され、エッジまたはゼロクロスの理想的タイミングが nT であるとすると、タイミング・ジッタ $\Delta\phi[n]$ は $\phi(nT)$ と nT との差で表される。 $\Delta\phi[n]$ を図1(b)に示す。

周期ジッタ. 図1(c)に示すように、周期ジッタは瞬時周期の変動である。周期ジッタ J は次式で推定できる。

$$J[n] = \frac{2\pi}{\omega[n]} - T \quad [\text{SEC}] \quad (1)$$

ここで、

$$\frac{2\pi}{\omega[n]} \equiv 2\pi \left(\frac{\partial\phi}{\partial t} \right)^{-1}$$

は信号の瞬時周期(瞬時周波数の逆数)である。平均周期 T は一定であるので、公称周波数からの時間依存偏差は $\frac{2\pi}{\omega[n]}$ であたえられる。単一周波数信号

$$x(t) = A \cos\left(\frac{2\pi}{T}t - \Delta\phi(t)\right) \quad (2)$$

について、周期ジッタは、ゼロクロス法をもちいると次式で推定される。

$$\hat{J}[n] = (t_{n+1} - t_n) - T = \frac{\Delta\phi(t_{n+1}) - \Delta\phi(t_n)}{2\pi/T} \quad [\text{SEC}] \quad (3)$$

タイム・インターバル・アナライザの内部カウンタはパルス間隔より小さい時間を測定できないので、タイム・インターバル・アナライザでは量子化誤差が生じる。したがって、微小な時間間隔をより高精度に測定するには、時間補間器が必要となる。

サイクルツウサイクル周期ジッタ. 図1(d)にサイクルツウサイクル周期ジッタ J_{CC} を示す。サイクルツウサイクル周

期ジッタ J_{CC} は、信号の瞬時周期がどれだけ変動するかを示す。

$$J_{CC}[n] = \frac{2\pi}{\omega[n+1]} - \frac{2\pi}{\omega[n]} \quad [\text{SEC}] \quad (4)$$

単一周波数信号のサイクルツウサイクル周期ジッタは、

$$\hat{J}_{CC}[n] = \frac{\Delta\phi(t_{n+1}) - 2\Delta\phi(t_n) + \Delta\phi(t_{n-1}))}{2\pi/T} \quad [\text{SEC}] \quad (5)$$

で表される。

瞬時位相雑音. 瞬時位相雑音 $\Delta\phi(t)$ は、瞬時位相の連続的な変動と定義する。位相雑音スペクトル $G_{\Delta\phi\Delta\phi}(f)$ は、連続タイミング・ジッタの抽出によくもちいられる。瞬時位相雑音の二乗平均値は、Parsevalの定理により位相雑音スペクトル曲線より下の領域の面積に対応する。

$$\sigma_{\Delta\phi}^2 \equiv E\left\{\left\{\Delta\phi(t)\right\}^2\right\} = \int_0^\infty G_{\Delta\phi\Delta\phi}(f)df \quad (6)$$

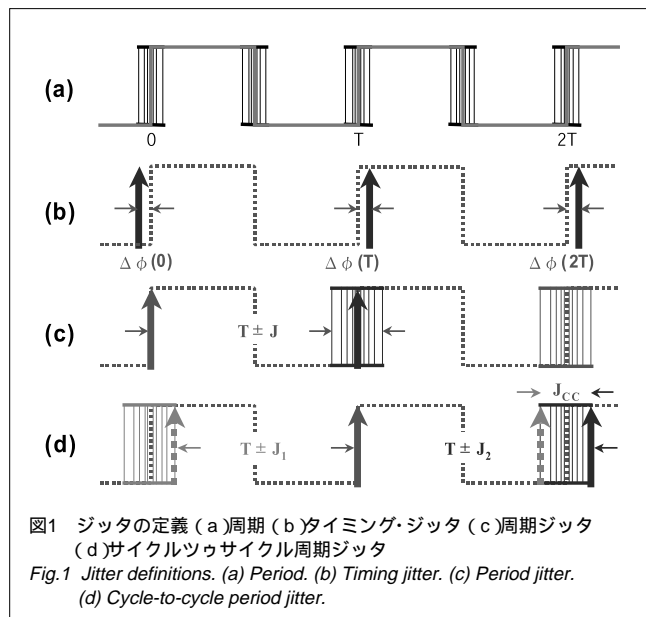
瞬時位相雑音の自己相関関数 $R_{\Delta\phi\Delta\phi}(\tau)$ は、位相雑音スペクトルのコサイン変換であたえられる。

$$R_{\Delta\phi\Delta\phi}(\tau) = 2 \int_0^\infty G_{\Delta\phi\Delta\phi}(f) \cos(2\pi f\tau)df \quad (7)$$

2.2 ジッタの関係

つぎに、2.1節で定義されたジッタ間の關係を導く。RMS周期ジッタ J_{RMS} の二乗は、

$$J_{RMS}^2 \equiv \sigma_J^2 = E\left\{\left\{\Delta\phi(t_{n+1}) - \Delta\phi(t_n)\right\}^2\right\} = 2\left\{R_{\Delta\phi\Delta\phi}(0) - R_{\Delta\phi\Delta\phi}(T)\right\} \quad (8)$$



であたえられる。ここで、 $R_{\Delta\phi\Delta\phi}(\tau)$ は瞬時位相雑音 $\Delta\phi(t)$ の自己相関関数である。

式(7)を式(8)に代入すると、

$$J_{RMS}^2 = 4 \int_0^\infty G_{\Delta\phi\Delta\phi}(f) \sin^2 \left(\frac{2\pi f}{2f_0} \right) df \quad (9)$$

をえる[6][7]。ここで、周波数 f_0 は $1/T$ である。この式は、周期ジッタと $\Delta\phi(t)$ のパワー・スペクトル密度関数の関係をあたえる。式(9)の \sin^2 の項は帯域通過フィルタ(図2に示すように $0.5 f_0$ の中心周波数をもつ)であるので、周期ジッタは $\Delta\phi(t)$ の帯域通過波形である。

サイクルツウサイクル周期ジッタ J_{CC} の分散は次式であたえられる。

$$J_{CC,RMS}^2 \equiv \sigma_{J_{CC}}^2 = 6R_{\Delta\phi\Delta\phi}(0) - 8R_{\Delta\phi\Delta\phi}(T) + 2R_{\Delta\phi\Delta\phi}(2T) \quad (10)$$

式(7)を式(10)に代入すると、

$$J_{CC,RMS}^2 = 16 \int_0^\infty G_{\Delta\phi\Delta\phi}(f) \sin^4 \left(\frac{2\pi f}{2f_0} \right) df \quad (11)$$

をえる。

これは、 J_{CC} と $\Delta\phi(t)$ のパワー・スペクトル密度関数の関係をあたえる。式(11)に対応する理論曲線を図2に点線で示す。同様に、サイクルツウサイクル周期ジッタも $\Delta\phi(t)$ の帯域通過波形である。しかし、フィルタの特性が周期ジッタのときより鋭いので、サイクルツウサイクル周期ジッタにはより高い周波数成分が大きく現れる。

まとめると、式(9)と式(11)は、ジッタ性能における周波数スケールリングの影響を推定する重要な理論式である。これらの式から明らかなように、より広帯域の位相雑音スペクトルは、サイクルツウサイクル周期ジッタにより大きな変動をあたえる。

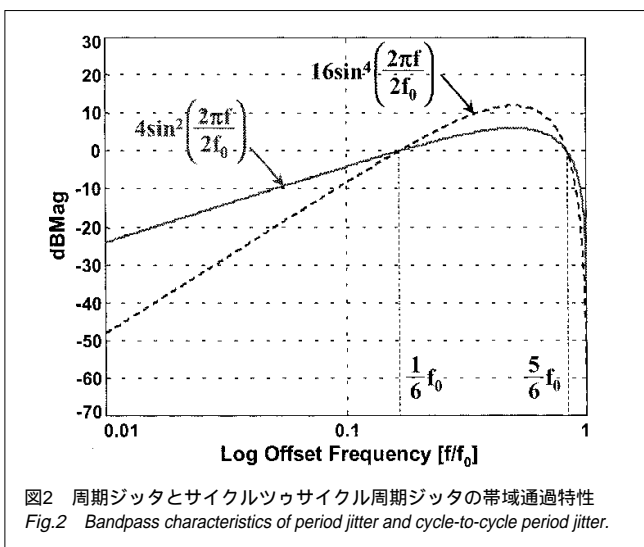


図2 周期ジッタとサイクルツウサイクル周期ジッタの帯域通過特性
Fig.2 Bandpass characteristics of period jitter and cycle-to-cycle period jitter.

3. 解析信号理論とジッタ測定の誤差解析

本章では、はじめに文献4)[5]で発表されたジッタ測定法を拡張し、クロック信号から周期ジッタとサイクルツウサイクル周期ジッタを測定する方法について述べる。提案手法は、ジッタを抽出するための瞬時位相雑音測定に基づいているので、“ $\Delta\phi$ 法”と呼ばれる。つぎに、 $\Delta\phi$ 法がゼロクロス法と互換であることを理論的に示す。最後に、これら二つの方法における位相量子化の影響について解析する。

3.1 ジッタ測定のための解析信号理論

最初に、式(1)をもちいてジッタを推定するために、被試験信号を平均周期が一定となるような帯域制限信号に変換しなければならないことを示す。 $x(t)$ の平均周期の逆数(平均周波数)は

$$\langle f \rangle = \int \frac{\omega}{2\pi} G_{xx}(f) df \quad [\text{Hz}] \quad (12)$$

であたえられる。ここで、 $G_{xx}(f)$ は $x(t)$ のパワー・スペクトル密度関数である。

一般に、PLL出力 $x(t)$ は、基本周期 $f_0 (=1/T)$ の方形波である。簡単化のため2周波数信号を考える。

$$y(t) = A \exp \left[j \left(\frac{2\pi}{T} t - \Delta\phi(t) \right) \right] - \frac{A}{3} \exp \left[j \left(3 \frac{2\pi}{T} t - \Delta\phi_3(t) \right) \right] \quad (13)$$

$y(t)$ の瞬時周波数は、文献8)より次式であたえられる。

$$\frac{\omega}{2\pi} = \frac{1}{2} \left\{ \left(\frac{1}{T} - \Delta\phi'(t) \right) + \left(\frac{3}{T} - \Delta\phi_3'(t) \right) \right\} - \frac{\tilde{A}(t)}{2} \left\{ \left(\frac{3}{T} - \Delta\phi_3'(t) \right) - \left(\frac{1}{T} - \Delta\phi'(t) \right) \right\} \quad (14)$$

$$\tilde{A}(t) = \frac{4}{9} \left\{ \frac{5}{9} - \frac{1}{3} \cos \left(2 \frac{2\pi}{T} t - (\Delta\phi(t) - \Delta\phi_3(t)) \right) \right\}^{-1} \quad (15)$$

すなわち、 $y(t)$ の瞬時周波数は、時間で変化し、周波数 $1/T$ について非対称の偏差を示す。したがって、平均周波数は $y(t)$ にたいし一定でない[9]。一方、単一周波数の $x(t)$ については、ただちに

$$\langle f \rangle = \frac{1}{T} \quad (16)$$

をえる。

これは、被試験信号の周期ジッタまたはサイクルツウサイクル周期ジッタを推定するために、帯域制限処理が必要であることを意味する。さらに、基本周波数 f_0 は、ゼロクロス間の間隔における変動を推定するのに重要である。それゆえ、 $\Delta\phi$ 法は中心周波数を被試験信号の基本周波数に設定した帯域通過フィルタ処理をもちいて、被試験信号を帯域制限信号に変換する[5]。

ジッタをもつ信号の基本周波数成分は、

$$x(t) = A \cos \phi(t) = A \cos(2\pi f_0 t - \Delta\phi(t)) \quad (17)$$

で表される。Hilbert変換 [10]に基づき、 $x(t)$ の解析信号 $z(t)$ は次式で表される。

$$z(t) = x(t) + jH[x(t)] \quad (18)$$

$$z(t) = A \cos(2\pi f_0 t - \Delta\phi(t)) + jA \sin(2\pi f_0 t - \Delta\phi(t))$$

式(1)より、周期ジッタは

$$J[n] = 2\pi \left(\frac{x(t)H'[x(t)] - x'(t)H[x(t)]}{x^2(t) + H^2[x(t)]} \right)^{-1} - T \quad (19)$$

$$\hat{j}[n] = \frac{\Delta\phi[n+1] - \Delta\phi[n]}{2\pi/T} \quad (20)$$

であたえられる。これらの入出力系列を図3に示す。つまり、周期ジッタはタイミング・ジッタ系列の1階差分である。

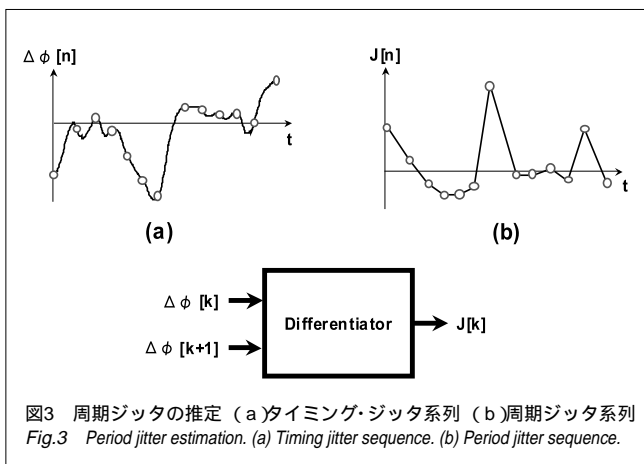
式(4)より、サイクルツウサイクル周期ジッタは

$$\hat{J}_{CC}[n] = \frac{J[n+1] - J[n]}{2\pi/T} \quad (21)$$

でもとめられる。図4に示したように、周期ジッタ系列 $J[n]$ がサイクルツウサイクル周期ジッタ系列 $J_{CC}[n]$ の計算にもちいられる。したがって、 $J_{CC}[n]$ のRMS値は、

$$J_{CC,RMS} = \sqrt{\frac{1}{N} \sum_{k=0}^{N-1} \hat{J}_{CC}^2[k]} \quad (22)$$

で定義される。ピークツウピーク値は、最大値と最小値の差として計算される。



$$J_{CC,PP} = \max \{ \hat{J}_{CC}[n] \} - \min \{ \hat{J}_{CC}[n] \} \quad (23)$$

以上により、 $\Delta\phi$ 法が周期ジッタとサイクルツウサイクル周期ジッタの測定においてゼロクロス法と等価であることがわかる。

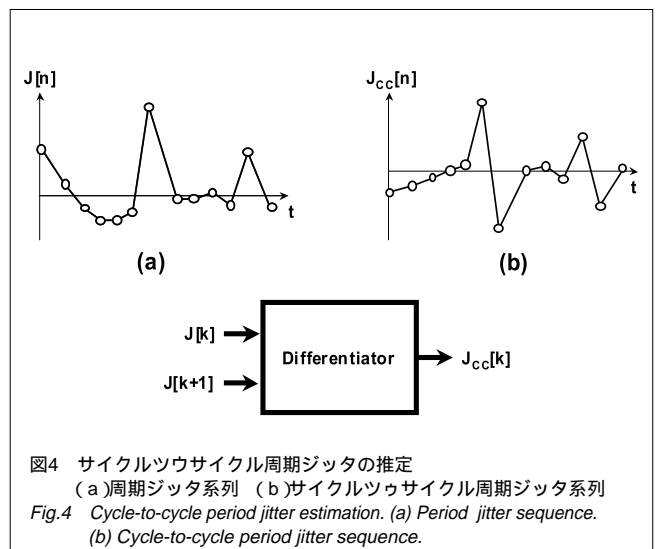
3.2 位相量子化誤差

本節では、従来のゼロクロス法と $\Delta\phi$ 法の位相(または時間)量子化誤差を比較する。また、ジッタ測定精度にたいする振幅雑音の影響について議論する。

ゼロクロス法 タイム・インターバル・アナライザ [11] や補間フィルタ法 [3] のようなゼロクロス法は、時間補間器をもちいて被試験信号のスタートエッジと第一計数パルス間および信号のストップエッジとそのつぎのクロック間の微小時間間隔を測定する。これらのエッジは、図5(a)に示すように時間量子化誤差 $\varepsilon(t)$ をもつ。

$$\hat{j}[n] = \frac{\Delta\phi(t_{n+1}) - \Delta\phi(t_n)}{2\pi/T} + 2\varepsilon(t)[\Delta\phi'(t)] \quad (24)$$

補間フィルタ法の場合、クロックパルスはサンプリングされた瞬時値に対応する。



被試験信号における振幅変調(AM)成分は、信号の局所的
 最大値(100%レベル)または局所的最小値(0%レベル)の振
 幅を変動させる。このため、ゼロクロス(50%レベルクロス)
 の瞬時周期 $T+J$ もまた変化する。こうして $T+J$ に対応する
 クラス区間であるビン2に属する周期の出現数が、図5(b)
 (c)に示すように、隣接するクラス区間(ビン1とビン3)に分
 散する。これは、"スパイク状の"ジッタ・ヒストグラムを生
 じさせる。

$\Delta\phi$ 法 $\Delta\phi$ 法は、タイミング・ジッタ系列の傾きから周期
 ジッタを測定する。その傾きは $\Delta\phi[n]$ 系列の1次微分である
 から、周期ジッタの推定値は $\Delta\phi[n]$ 系列の2次微分と位相量
 子化誤差の二乗の積に比例する誤差をもつ。

$$\hat{J}[n] = \frac{\Delta\phi[n+1] - \Delta\phi[n]}{2\pi/T} + \varepsilon^2(t) [\Delta\phi''(t)] \quad (25)$$

周期ジッタの測定において、ゼロクロス法は $2\varepsilon(t)$ のオー
 ダの時間量子化誤差をもつ。一方、 $\Delta\phi$ 法は、 $2\varepsilon(t)$ よりずつ
 と小さい $\varepsilon^2(t)$ のオーダの位相量子化誤差で周期ジッタを測
 定できる。このように、 $\Delta\phi$ 法は、被試験信号のAM成分に
 ほとんど影響されない。

$\Delta\phi$ 法は、キャリアまたは基本周波数の3倍以上の周波数
 で信号を過剰標本化する必要がある。(これはNyquist周波
 数の1.5倍である。)これに比べ、補間フィルタ法は最低10
 の過剰標本化比(Nyquist周波数にたいするサンプリング周
 波数の比)で信号を過剰標本化しなければならない。それゆ
 え、 $\Delta\phi$ 法は、ジッタの測定にたいしより効率的であり、将
 来クロック・スピードがさらに高い周波数になると、この差
 はより顕著になる。

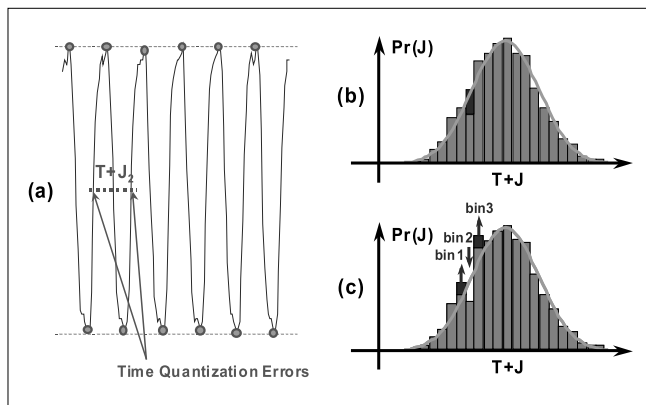


図5 推定されたジッタ・ヒストグラムにたいする振幅雑音の影響
 (a) 振幅雑音をもつジッタ波形 (b) 期待されるジッタ・ヒストグラム
 (c) 被測定信号におけるAM成分によるスパイク上のヒストグラム
 Fig.5 Effect of amplitude noise on estimated jitter histograms.
 (a) Jittery waveform with amplitude noise.
 (b) Expected jitter histogram. (c) Spiky jitter histogram due to AM
 components in the tested signal.

4. サイン波ジッタ測定[12]

われわれが提案したジッタ測定法($\Delta\phi$ 法)をもちいて、サ
 イン波ジッタをもつ信号のサイクルツウサイクル周期ジッタ
 を測定した。この実験では、ジッタのないクロック信号
 を20分周した後、サイン波で位相変調した。この位相変調
 された信号は、

$$\text{sgn}[\cos(2\pi f_{CLK}t + K_P \sin(2\pi f_{PM}t))]$$

で表される。ここで、 $\text{sgn}[\cdot]$ はsignum関数、 K_P は最大位相
 振幅であり、 $f_{CLK}=10\text{MHz}$ 、 $f_{PM}=300\text{kHz}$ である。サイン波ジ
 ッタをもつクロック信号は、ATE(Advantest製T6682、12ビ
 ットADC内蔵、 $f_{SAMPLING}=40.96\text{MHz}$)で離散化された。

実験では、2つの瞬時値間のゼロクロス間隔として、サ
 イン波の半周期をもちいた。つまり、式(8)および式(10)
 において $T=T/2$ とした。これにより、式(9)と式(11)における
 \sin の項は1となる。したがって、 $\sigma_{\Delta\phi}$ 、 σ_J 、 σ_{Jcc} にたいする
 RMS値の比の期待値は、それぞれ1、2、4である。

図6に提案手法で測定された $\Delta\phi[n]$ 、 $J[n]$ 、 $J_{cc}[n]$ のジッタ
 ・ヒストグラムを示す。

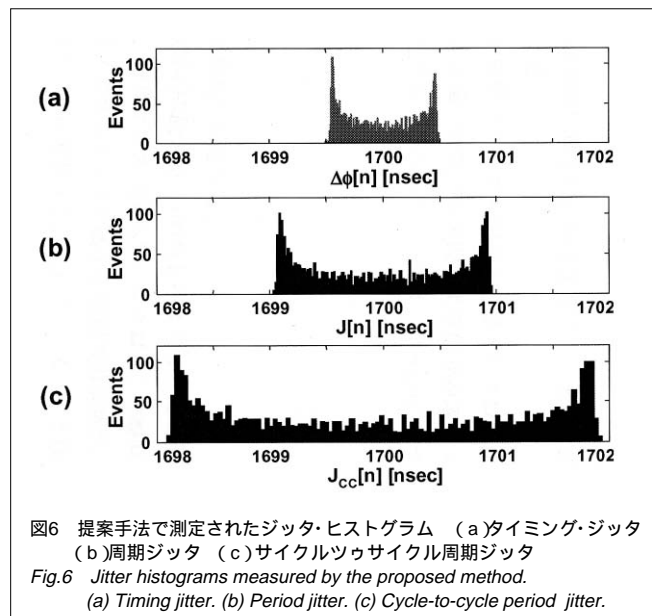


図6 提案手法で測定されたジッタ・ヒストグラム (a) タイミング・ジッタ
 (b) 周期ジッタ (c) サイクルツウサイクル周期ジッタ
 Fig.6 Jitter histograms measured by the proposed method.
 (a) Timing jitter. (b) Period jitter. (c) Cycle-to-cycle period jitter.

図7にプロットされた各ジッタのRMS値を比較すると、期待されたRMS値の比 $\sigma_{\Delta\phi} : \sigma_J : \sigma_{J_{cc}} = 1 : 2 : 4$ がえられていることが分かる。サイン波は確定的な信号であるので、ピークツウピーク値もRMS値と同様の比を示す(図8)。

確定的なサイン波ジッタをもちいた実験によって提案手法の精度が検証された。また、式(9)であたえられる周期ジッタと $\Delta\phi(t)$ のパワー・スペクトル密度関数、式(11)であたえられるサイクルツウサイクル周期ジッタと $\Delta\phi(t)$ のパワー・スペクトル密度関数のあいだの2つの重要な関係が検証された。

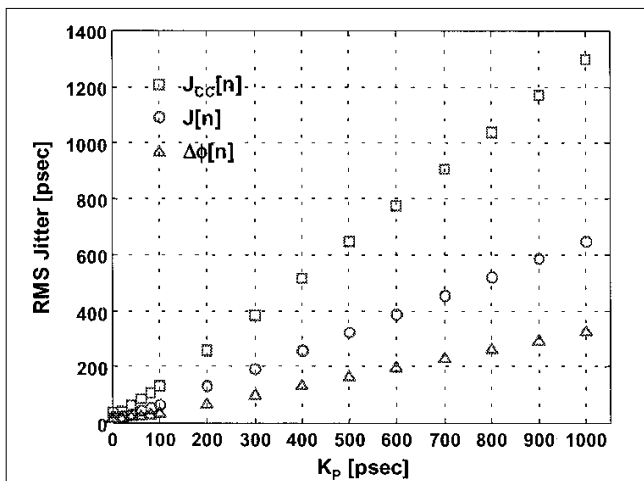


図7 K_p の値とRMSジッタ
Fig.7 RMS jitter comparison for various K_p values

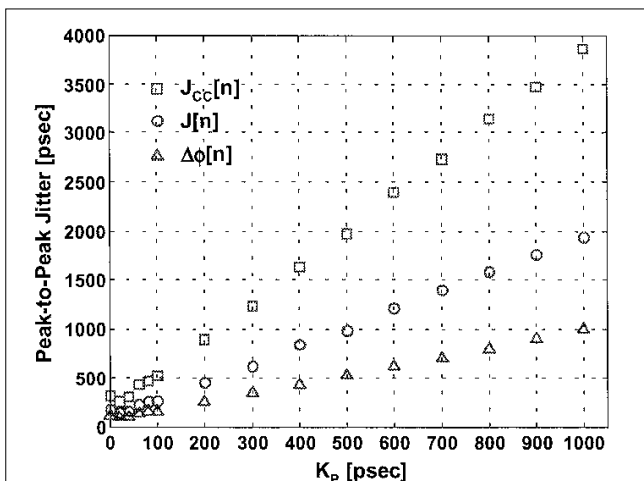


図8 K_p の値とピークツウピークジッタ
Fig.8 Peak-to-peak jitter comparison for various K_p values

5. プロトタイプ・マイクロプロセッサのジッタ測定[5][12]

本章では、 $\Delta\phi$ 法をもちいて測定したマイクロプロセッサの周期ジッタ測定結果をTIA法の結果と比較する。プロトタイプ・マイクロプロセッサのダイ写真を図9に示す。矢印で示した部分がオンチップPLL回路である。図10に実験構成を示す。パルス発生器(Agilent HP81130)でマイクロプロセッサに外部システム・クロック 50MHz をあたえた。ここで、マイクロプロセッサの分周比は8に設定した。オンチップPLLで発生されたプロセッサクロック(400MHz)は、L2メモリに送られる。オシロスコープ(Tektronix製TDS694C、8ビットADC内蔵、 $f_{SAMPLING} = 10\text{GHz}$ をもちいてクロック波形を離散化し(12.5倍のオーバー・サンプリング)、信号データとした。 $\Delta\phi$ 法は、Matlabルーチンで実装された。

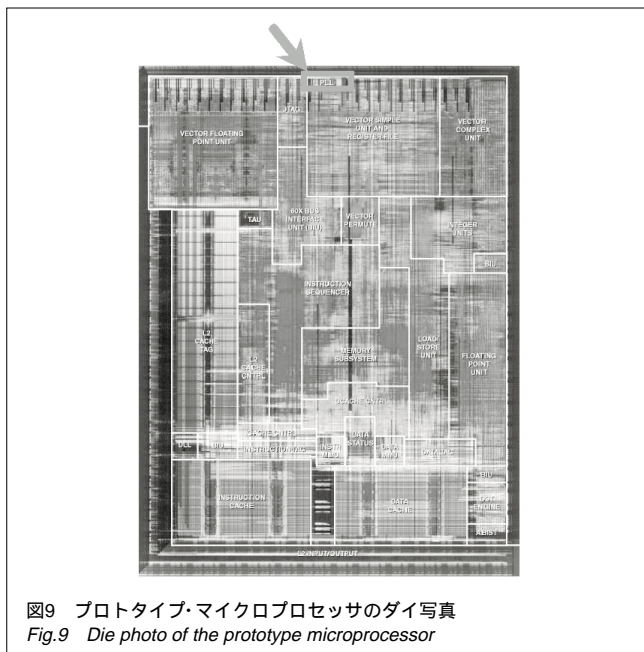


図9 プロトタイプ・マイクロプロセッサのダイ写真
Fig.9 Die photo of the prototype microprocessor

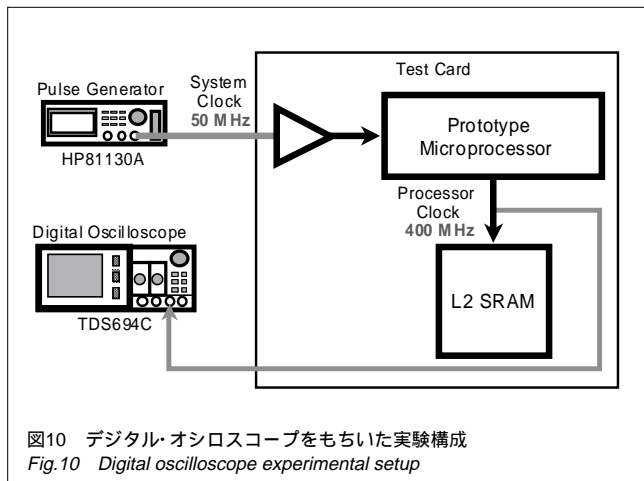


図10 デジタル・オシロスコープをもちいた実験構成
Fig.10 Digital oscilloscope experimental setup

プロトタイプ・マイクロプロセッサの内部プロセッサクロックは、文献[13]と類似のPLLをもちいて発生されており、200MHz(低消費電力アプリケーション)から600MHz(高性能アプリケーション)までの周波数を発生できる。クロックジッタの特性を調べるためには、つぎの2つの動作モードが重要である。すなわち、"Quiet"モードと"Noisy"モードである。

"Quiet"モード(図11および図12の上側のプロット)では、マイクロプロセッサは不活性な状態であり、ユーザコマンドを待機している状態である。"Quiet"モードではPLLとクロック出力ピンのみが動作する。

"Noisy"モード(図11および図12の下側のプロット)は、マイクロプロセッサの"過負荷状態"をシミュレートしている。このモードでは、L2メモリ、システムバス、コアバス、128ビット幅のAltiVec™ユニット、分岐予想ユニットがすべて完全に動作している。また、マイクロプロセッサのトグル活性率を最大とするために、特殊なテスト・アプリケーションが実行されている。

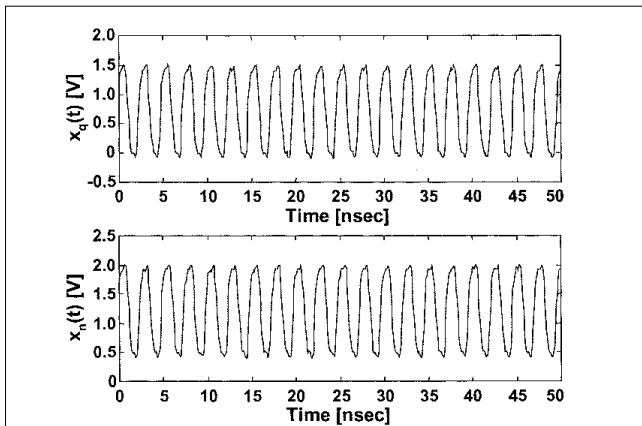


図11 "Quiet"モード(上)および"Noisy"モード(下)におけるクロック信号波形
Fig.11 Waveforms of clock signals in the "quiet" mode (upper plot) and the "noisy" mode (lower plot).

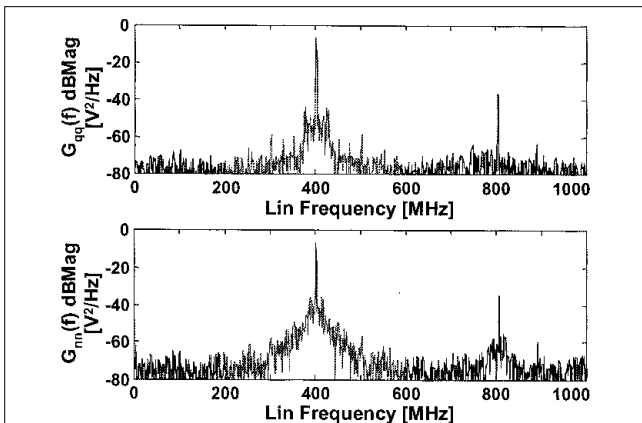


図12 "Quiet"モード(上)および"Noisy"モード(下)におけるクロック信号スペクトル
Fig.12 Spectra of clock signals in the "quiet" mode (upper plot) and the "noisy" mode (lower plot).

5.1 周期ジッタ測定

"Noisy"モードにおいて、プロセッサのテストカード上で発生するノイズのほとんどはL2 SRAMからのノイズである。これは、使用しているL2 SRAMの出力インピーダンスが非常に小さいためである。これにより、ノイズがすべての電源とカップリングし、結果としてクロックジッタを大きくする。

図13は、Wavecrest DTS 2077に実装されたTIA法[14]で測定された"Noisy"モードクロックのジッタヒストグラムを示す。10,000のゼロクロス・イベントからもとめられたジッタ値は、 $J_{RMS} = 15.7$ ps、 $J_{PP} = 119$ psであった。

図14に、 $\Delta\phi$ 法で推定された周期ジッタ系列 $\{J_n\}$ のヒストグラムを示す。ジッタ値は、 $J_{RMS} = 15.2$ ps、 $J_{PP} = 110$ psであった。図13と14に示した2つのヒストグラムは、同様のガウス分布を示した。

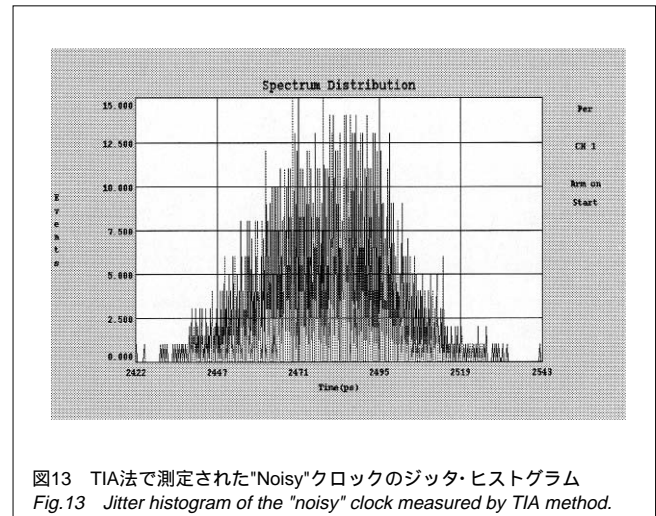


図13 TIA法で測定された"Noisy"クロックのジッタ・ヒストグラム
Fig.13 Jitter histogram of the "noisy" clock measured by TIA method.

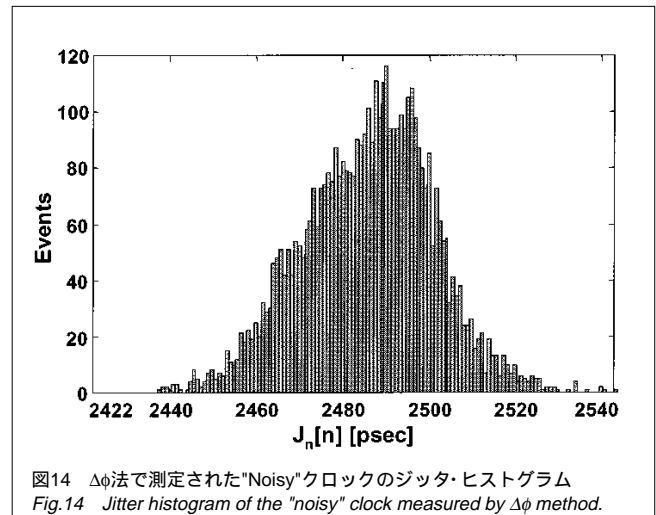


図14 $\Delta\phi$ 法で測定された"Noisy"クロックのジッタ・ヒストグラム
Fig.14 Jitter histogram of the "noisy" clock measured by $\Delta\phi$ method.

$\Delta\phi$ 法で推定した周期ジッタ系列 $J[n]$ とタイミング・ジッタ系列 $\Delta\phi[n]$ の時間波形を図15に示す。それぞれ4,525のゼロクロス・イベントをもつ。図15の7.5 msの時点において、 $J[n]$ と $\Delta\phi[n]$ のあいだに因果関係がみられる。これは、 $J[n]$ と $\Delta\phi[n]$ を同時に観測することによって、ジッタの原因を特定できることを意味する。

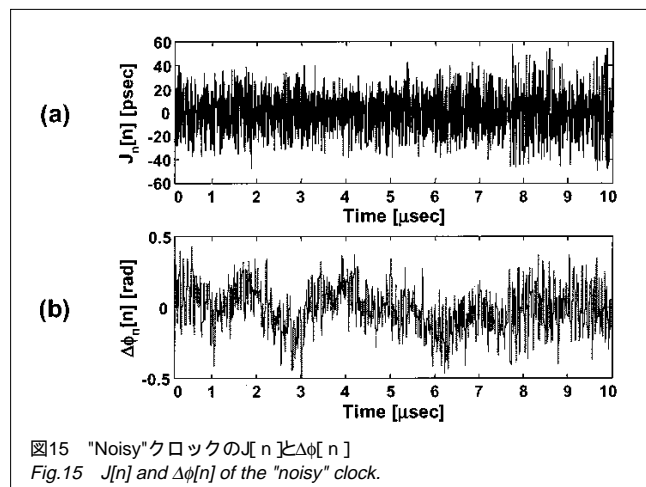


図15 "Noisy"クロックの $J[n]$ と $\Delta\phi[n]$
Fig.15 $J[n]$ and $\Delta\phi[n]$ of the "noisy" clock.

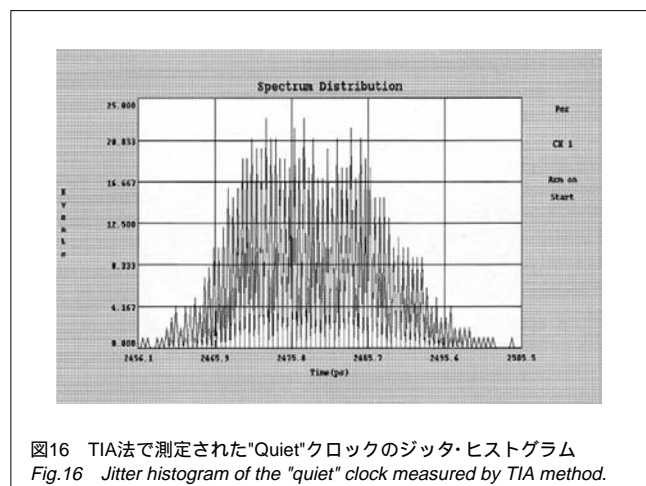


図16 TIA法で測定された"Quiet"クロックのジッタ・ヒストグラム
Fig.16 Jitter histogram of the "quiet" clock measured by TIA method.

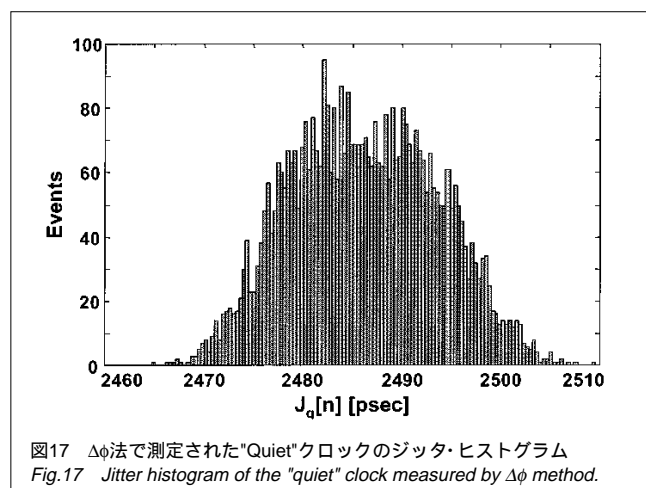


図17 $\Delta\phi$ 法で測定された"Quiet"クロックのジッタ・ヒストグラム
Fig.17 Jitter histogram of the "quiet" clock measured by $\Delta\phi$ method.

図16は、Wavecrest DTS 2077で測定された、"Quiet"モードクロックのジッタ・ヒストグラムを示す。10,000のゼロクロス・イベントからもとめられたジッタ値は、 $J_{RMS} = 7.72\text{ps}$ 、 $J_{pp} = 48.2\text{ps}$ であった。

図17に、 $\Delta\phi$ 法で4,525のゼロクロス・イベントから推定されたジッタ系列 $J[n]$ のヒストグラムを示す。 $\Delta\phi$ 法でもとめられたジッタ値は、 $J_{RMS} = 7.41\text{ps}$ 、 $J_{pp} = 44.7\text{ps}$ であった。"Noisy"モードと同様に、図16と図17に示した2つのヒストグラムは、同様のガウス分布を示した。

$J[n]$ と $\Delta\phi[n]$ の時間波形を図18に示す。タイミング・ジッタ $\Delta\phi[n]$ は、PLLのループノイズにかんする情報をもつ。式(20)から、周期ジッタ $J[n]$ は $\Delta\phi[n]$ の高周波数成分と解釈することができる。実際図18(a)に示すように、 $J[n]$ は低い周波数成分をもたない。

表1に、TIA法と $\Delta\phi$ 法の実験結果をまとめる。2つの方法で測定した周期ジッタのRMS値は、0.5 ps以内(誤差4%以下)と十分に近く、お互いによく一致している。一方、ピークツウピーク値 J_{pp} はイベント数に依存する。4525サンプルのとき、TIA法による"Quiet"モードクロック、"Noisy"モードクロックの J_{pp} は、それぞれ46.1ps、114psとなる。すなわち、TIA法と $\Delta\phi$ 法の誤差はそれぞれ3.0%、3.5%となる。したがって、ピークツウピーク値についてもお互いによく一致する。

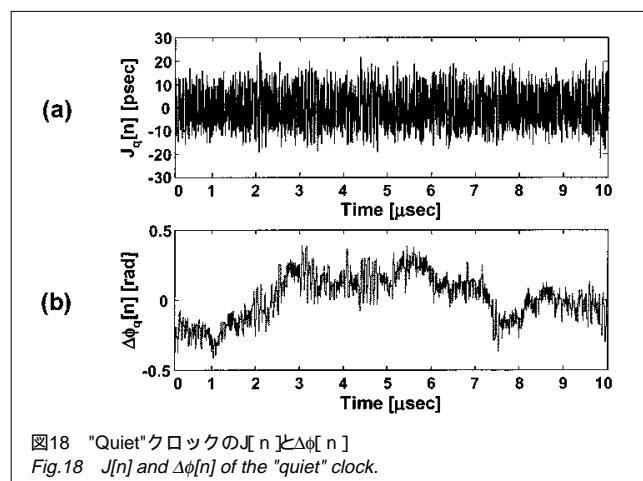


図18 "Quiet"クロックの $J_q[n]$ と $\Delta\phi_q[n]$
Fig.18 $J_q[n]$ and $\Delta\phi_q[n]$ of the "quiet" clock.

Operating mode	J_{RMS}			J_{pp}		
	TIA	$\Delta\phi$	difference	TIA	$\Delta\phi$	difference
Quiet	7.72 ps	7.41 ps	4.0 %	48.2 ps	44.7 ps	7.2 %
Noisy	15.7 ps	15.2 ps	3.2 %	119ps	110ps	7.6 %
Number of Events	10,000	4,525	55 %	10,000	4,525	55 %

表1 $\Delta\phi$ 法とTIA法の比較
Table1 Comparison between $\Delta\phi$ method and TIA method.

5.2 サイクルツウサイクル周期ジッタ測定

図19は"Quiet"モードにおけるクロック信号にたいし $\Delta\phi$ 法で推定した $\Delta\phi[n]$ 、 $J[n]$ および $J_{cc}[n]$ の系列を示す。また、 $\Delta\phi[n]$ 、 $J[n]$ および $J_{cc}[n]$ のヒストグラムを図20に示す。図19および図20より、図19(a)に示されるタイミング・ジッタの低周波成分が $\Delta\phi[n]$ を変調し、図20(a)に示すようにガウス分布をオーバーラップした2つのガウス分布に分割させているのがわかる。

"Quiet"モードにおけるクロック信号のサイクルツウサイクル周期ジッタに対する測定結果を表2にまとめる。サイクルツウサイクル周期ジッタは、周期ジッタより大きなピークツウピーク値を示す。これは、おもに位相雑音における高周波成分が $J_{cc}[n]$ に大きく寄与するためである。

"Quiet"モードにおけるクロック信号の位相雑音スペクトルを図21に示す。 $J[n]$ と $J_{cc}[n]$ の位相雑音スペクトルは、等間隔の $J(t)$ および $J_{cc}(t)$ にたいする8192ポイントの高速Fourier変換(FFT)により推定した。これらの等間隔でサンプリングされた関数は、不等間隔な $J[n]$ と $J_{cc}[n]$ を3次スプライン関数で補間し、連続なスプライン関数から等間隔に $J(t)$ または $J_{cc}(t)$ の値を再サンプリングすることによりえた。図21より、67 MHzを超える周波数では、 $J_{cc}(t)$ からの寄与が大きくなるが分かる。

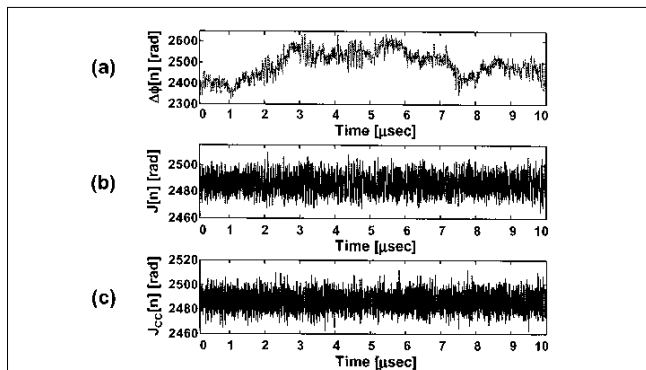


図19 $\Delta\phi$ 法で推定された"Quiet"クロックの $\Delta\phi[n]$ 、 $J[n]$ と $J_{cc}[n]$
(a)タイミング・ジッタ (b)周期ジッタ (c)サイクルツウサイクル周期ジッタ
Fig.19 $\Delta\phi[n]$, $J[n]$ and $J_{cc}[n]$ of the "quiet" clock estimated by $\Delta\phi$ method.
(a) Timing jitter. (b) Period jitter. (c) Cycle-to-cycle period jitter.

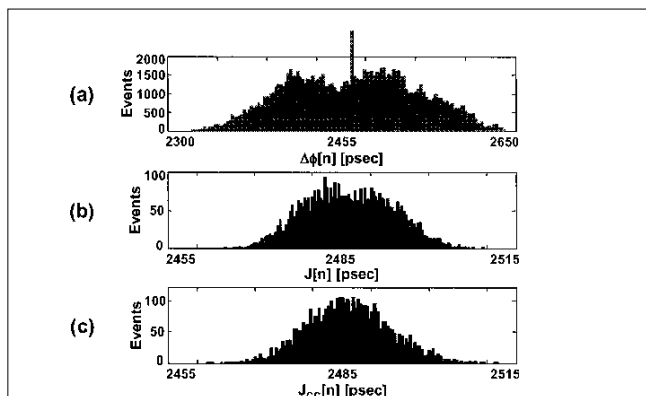


図20 $\Delta\phi$ 法で推定された $\Delta\phi[n]$ 、 $J[n]$ と $J_{cc}[n]$ のジッタヒストグラム。
(a)タイミング・ジッタ (b)周期ジッタ (c)サイクルツウサイクル周期ジッタ
Fig.20 Jitter histograms of $\Delta\phi[n]$, $J[n]$ and $J_{cc}[n]$ estimated by $\Delta\phi$ method.
(a) Timing jitter. (b) Period jitter. (c) Cycle-to-cycle period jitter.

図22は、"Noisy"モードにおけるクロック信号の位相雑音スペクトルを示す。興味深いことに、(図21と図22を比較すると)"Quiet"と"Noisy"の位相雑音スペクトルにおけるとくに100 MHzを超える周波数において、同様の帯域通過特性が観測されている。"Quiet"モードの実験ではPLLだけしか動作していないので、驚くべきことである。それゆえ、100 MHzを超える周波数における位相雑音は、おもにPLL回路自身から生じるものと考えられる。この結果により、低雑音PLL設計の重要性とPLLの内部雑音測定の必要性が示された。

	RMS Values			Peak-to-Peak Values		
	TIA	$\Delta\phi$	Interpo.	TIA	$\Delta\phi$	Interpo.
J	7.72 ps	7.41 ps	8.47 ps	46.1 ps	44.7 ps	48.2 ps
J_{cc}	--	7.21 ps	10.3 ps	--	50.4 ps	67.4 ps

表2 周期ジッタとサイクルツウサイクル周期ジッタにたいする $\Delta\phi$ 法と補間フィルタ法の比較
ピークツウピーク値は4525イベントのときの値を示した
Table2 Comparison between $\Delta\phi$ method and interpolating filter method for period jitter and cycle-to-cycle period jitter.
The peak-to-peak values indicated are the values for event 4525.

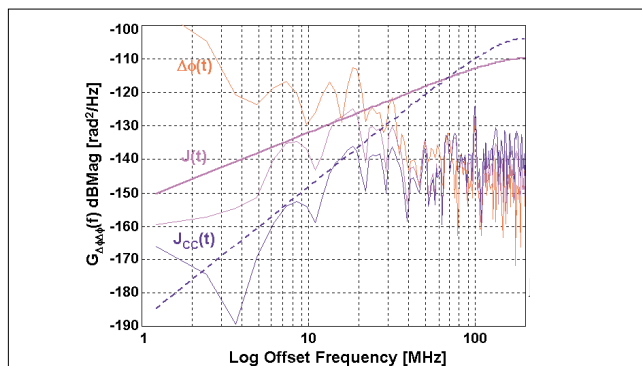


図21 "Quiet"モードにおける位相雑音、周期ジッタ、サイクルツウサイクル周期ジッタのスペクトル
Fig.21 Spectra of phase noise, period jitter and cycle-to-cycle period jitter in the "quiet" state.

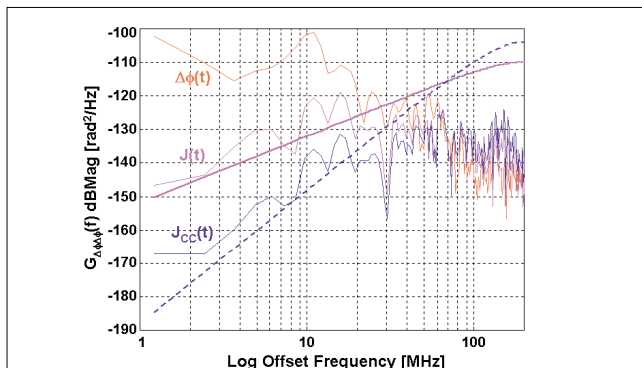


図22 "Noisy"モードにおける位相雑音、周期ジッタ、サイクルツウサイクル周期ジッタのスペクトル
Fig.22 Spectra of phase noise, period jitter and cycle-to-cycle period jitter in the "noisy" state.

5.3 位相量子化誤差の比較

ゼロクロス法において、ジッタ・ヒストグラムは補間フィルタ法をもちいて推定されている[3]。この補間フィルタ法を3次多項式補間をもちいてMATLABで実装した。図23(a)に"Quiet"モードにおけるクロック信号の周期ジッタ・ヒストグラムを示す。

このヒストグラムを図17に示す周期ジッタ・ヒストグラムと比較すると、補間フィルタがガウス分布を複数のピーク(複数モード)をもつ分布に変えてしまうことが分かる。表2に示すように、補間フィルタ法は、ジッタ値を過大評価する。補間フィルタ法の周期ジッタ推定誤差は、最大でTIA法によるジッタ推定値の約7%である。

図23(b)はサイクルツウサイクル周期ジッタ系列のヒストグラムを示す。同様に複数のモードがみられる。しかし、高周波数における比較的大きい雑音のエネルギーにより、ピークへの集中は周期ジッタのヒストグラムほど大きくない。

位相量子化の効果を"Quiet"モードのクロック信号をもちいて考察した。図24はジッタ測定における位相量子化の効果を調べるための実験構成を示す。瞬時位相雑音(エッジに限定

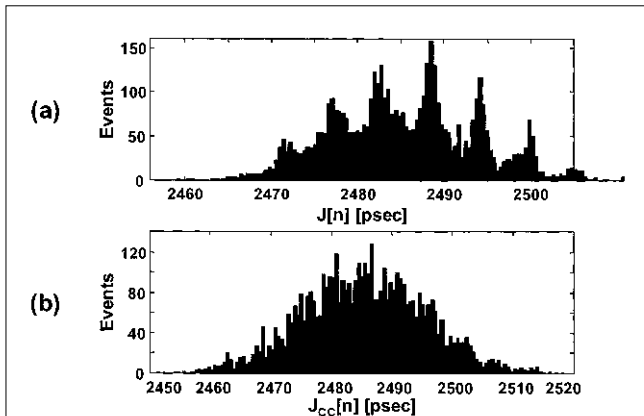


図23 補間フィルタ法で推定された $J[n]$ と $J_{cc}[n]$ のジッタ・ヒストグラム (a)周期ジッタ (b)サイクルツウサイクル周期ジッタ
Fig.23 Jitter histograms of $J[n]$ and $J_{cc}[n]$ estimated by interpolating filter method. (a) Period jitter. (b) Cycle-to-cycle period jitter.

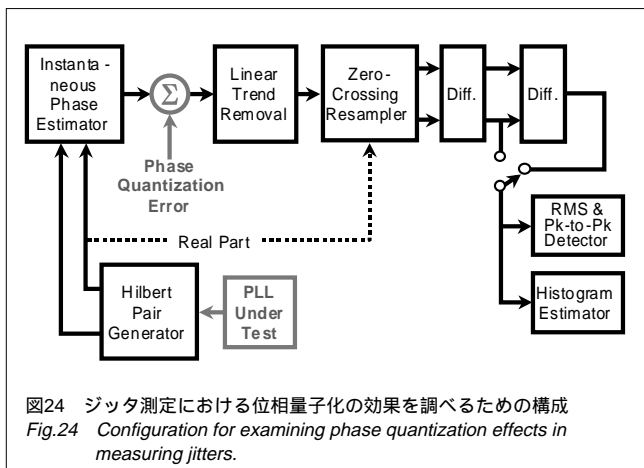


図24 ジッタ測定における位相量子化の効果を調べるための構成
Fig.24 Configuration for examining phase quantization effects in measuring jitters.

されないタイミング誤差)を表すためのビット数を変化させ、図24に示すように量子化誤差が瞬時位相に印加されるようにした。この構成では瞬時位相雑音に切り捨てが適用されるので、雑音モデルは式(24)によりあたえられる。

実験的に測定したサイクルツウサイクル周期ジッタのRMS値とピークツウピーク値を、位相量子化ビット数の関数としてそれぞれ図25(a)と図25(b)に示す。バイアス誤差を小さくするためには、瞬時位相雑音の量子化ビット数を12より大きくすべきであることが分かる。補間フィルタ法で推定されたジッタ値は、7ビットのタイミング量子化に対応する。このため、この方法はジッタ値を過大評価する。

また、10ビット位相量子化器をもちいて測定されたサイクルツウサイクル周期ジッタのヒストグラムを図26に示す。前述したように複数のモードを生じている。したがって、ジッタ測定におけるAM成分の効果は、信号の位相を限られたビット数で量子化することと等価である。

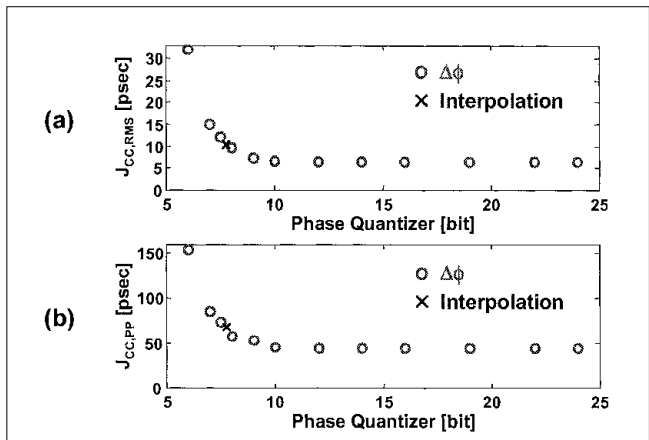


図25 瞬時位相量子化器のビット数とジッタの測定値 (a)サイクルツウサイクル周期ジッタのRMS値 (b)サイクルツウサイクル周期ジッタのピークツウピーク値
Fig.25 Measured jitter values as a function of the number of bits of the instantaneous phase quantizer. (a) RMS values of cycle-to-cycle period jitter. (b) Peak-to-peak value of cycle-to-cycle period jitter.

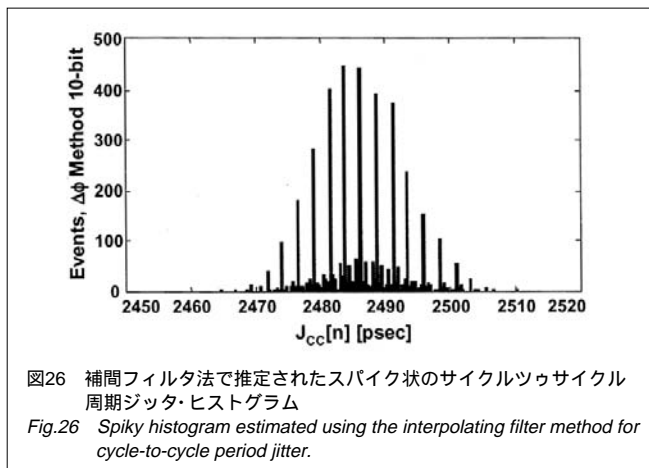


図26 補間フィルタ法で推定されたスパイク状のサイクルツウサイクル周期ジッタ・ヒストグラム
Fig.26 Spiky histogram estimated using the interpolating filter method for cycle-to-cycle period jitter.

6. まとめ

本稿では、文献 4 および文献 5 で紹介した $\Delta\phi$ 法を拡張し、高周波クロック信号のサイクルツウサイクル周期ジッタを測定可能とした。 $\Delta\phi$ 法が従来法より相当小さい $\varepsilon^2(t)$ のオーダーの位相量子化誤差で周期ジッタを測定できることを理論的に明らかにした。また、ゼロクロス法と $\Delta\phi$ 法の位相量子化誤差の比較検討をおこなった。

サイン波ジッタをもちいた実験により、式(9)および(11)であたえられる周期ジッタおよびサイクルツウサイクル周期ジッタと $\Delta\phi(t)$ のパワー・スペクトル密度関数の関係を検証した。プロトタイプ・マイクロプロセッサのジッタ測定実験データを周波数領域で比較、解析し、不規則ジッタにたいする提案手法の実用性を検証した。

MPUのクロック周波数が高くなると、サイクルツウサイクル周期ジッタのスペクトルは、より広い周波数範囲に分布する。このように、サイクルツウサイクル周期ジッタの測定は、高性能MPUを試験するために非常に重要である。提案手法は、従来法より少ないサンプルでサイクルツウサイクル周期ジッタ、周期ジッタ、タイミング・ジッタを同時に測定でき、被試験信号のAM成分による影響を受けないヒストグラムをもとめることができるという利点をもつ。

7. 参考文献

- [1] P. Hofstee, N. Aoki, D. Boerstler, P. Coulman, S. Dhong, B. Flachs, N. Kojima, O. Kwon, K. Lee, D. Meltzer, K. Nowka, J. Park, S. Posluszny, M. Shapiro, J. Silberman, O. Takahashi, and B. Weinberger, "A 1 GHz Single-Issue 64b PowerPC Processor," IEEE International Solid-State Circuits Conference, San Francisco, USA, Feb. 7-9, 2000.
- [2] Rambus, "Direct Rambus Clock Generator Validation Specification: Version 1.0," 1999.
- [3] M. Lauterbach and T. Wey, "Analyze Jitter to Improve High-Speed Design," IEEE Spectrum, pp. 62-67, July 2000.
- [4] T. J. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Ohmi, "Extraction of Peak-to-peak and RMS Sinusoidal Jitter Using an Analytic Signal Method," Proc. IEEE VLSI Test Symposium, Montreal, Canada, May 1-3, 2000.
- [5] T. J. Yamaguchi, M. Soma, D. Halter, J. Nissen, R. Raina, M. Ishida, and T. Watanabe, "Jitter Measurements of a PowerPC Microprocessor Using an Analytic Signal Method," Proc. IEEE International Test Conference, Atlantic City, NJ, October 3-5, 2000.
- [6] R. E. Ziemer and R. L. Peterson, Introduction to Digital Communication, MacMillan Publishing Company, 1992.
- [7] A. Hajimiri and T. H. Lee, The Design of Low Noise Oscillators, Kluwer Academic Publishers, 1999.
- [8] L. Cohen, Time-Frequency Analysis, Prentice-Hall, Inc., 1995.
- [9] P. J. Loughlin and B. Tacer, "Comments on the Interpretation of Instantaneous Frequency," IEEE Signal Processing Lett., Vol. 4, pp. 123-125, May 1997.
- [10] A. Papoulis, Probability, Random Variables, and Stochastic Processes, 2nd ed., McGraw-Hill Book Company, 1984.
- [11] D. Petrich and T. Wilstrup, "Jitter Analysis <101>: A Primer for Jitter Testing of PLL Circuits," Tutorial at IEEE International Test Conference, Washington, D.C., October 18-23, 1998.
- [12] T. J. Yamaguchi, M. Soma, D. Halter, R. Raina, J. Nissen, and M. Ishida, "A Method for Measuring the Cycle-to-Cycle Period Jitter of High-Frequency Clock Signals," Proc. IEEE VLSI Test Symposium, Los Angeles, CA, April 29 - May 2, 2001.
- [13] J. Alvarez, H. Sanchez, G. Gerosa and R. Countryman, "A Wide-Bandwidth Low-Voltage PLL for PowerPC Microprocessors," IEEE J. Solid-State Circuits, vol. 30, no. 4, pp.383-391, Apr. 1995.
- [14] Wavecrest Corp., Digital Time Systems: DTS 2075 and DTS 2077 Product Specifications, 1998.

AltiVec is a registered trademark of Motorola Inc. PowerPC is a trademark of International Business Machines Corporation in the United States or other countries or both.

筆者紹介



(株)アドバンテスト研究所
第2研究部門 テストアーキテクチャ研究室
山口 隆弘 Takahiro Yamaguchi



(株)アドバンテスト研究所
第2研究部門 テストアーキテクチャ研究室
石田 雅裕 Masahiro Ishida

ワシントン大学
電子工学科
マニ・ソーマ Mani Soma

モトローラ社
サマセット・デザイン・センター
ディビッド・ホルタ David Halter

モトローラ社
サマセット・デザイン・センター
ラジェッシュ・レイナ Rajesh Raina

モトローラ社
サマセット・デザイン・センター
ジム・ニッセン Jim Nissen