

技術論文

ジッタ解析による高速 I/O デバイスのジッタ耐力試験法の提案

A New Method for Testing Jitter Tolerance of High-Speed I/O Devices Using Sinusoidal Jitter

山口 隆弘
Takahiro Yamaguchi
石田 雅裕
Masahiro Ishidai
マニ・ソーマ
Mani Soma
武者 博文
Hirobumi Musha

あらまし

本稿では、SerDes 受信器のジッタ耐力を測定するための、ジッタ解析に基づく新しい測定方法について論じる。この方法は、データのソースクロックと再生クロック間のタイミングのアライメント誤差を解析することにより、ジッタ耐力をもとめる。ここで、シリアルビット列はサイン波ジッタを印加することによりその位相が変調される。提案手法は、ジッタゲインからビット誤り率を正確に推定する式をあたえ、従来のビット誤り率試験法より試験時間を1/10 に削減できる。2.5Gbpsおよび10GbpsのSerDesデバイスをもちいた実験により、提案手法の精度とテストスピードを検証する。

This paper presents a new method for measuring jitter tolerance of a SerDes receiver using the timing misalignment between the jittered source clock and the recovered clock. A sinusoidal jitter is injected into the serial bit stream. The method derives an equation for estimating BER accurately and is 10X faster than the conventional BER test method. The accuracy and test speed of the method are verified by 2.5Gbps and 10Gbps-SerDes experiments.

1. まえがき

伝送ビットレートで受信波形をサンプリングすることにより、伝送されたデータビット列を再生できる。しかし、受信波形の振幅またはタイミングは一般に劣化する。この劣化が大きくなると、受信ビットを誤って解釈させてしまい、ビット誤りを生じる。このビット誤りは2タイプに分類できる。すなわち、振幅劣化により生起するビット誤りとタイミング劣化により生起するビット誤りである。本稿ではタイミング劣化のみをあつかい、ジッタ耐力の測定理論をえる。

近年、高速シリアルI/O デバイスのジッタ試験において、測定精度を保ちながら試験時間と試験コストを削減するために、さまざまな努力がなされている。ジッタ耐力(jitter tolerance)試験は、伝送メディアで付加される外乱にたいする受信器の動作限界を評価する。ジッタ耐力試験は、一般にサイン波ジッタをもちいておこなわれる[1]。サイン波ジッタと確定ジッタ(deterministic jitter)とランダム

ジッタをもちいるジッタ耐力試験法も提案されている[2]。しかし、サイン波ジッタのみがSerDes (Serializer/Deserializer) デバイスにたいする最悪ケースのジッタをあたえることが知られている[3]。すなわち、サイン波ジッタはもっとも困難な試験ケースに対応する。本研究では、このサイン波ジッタ印加による方法をあつかう。

本稿では、新しいジッタ耐力試験法を提案する[4]。提案手法は、データのソースクロックと再生クロック間におけるタイミングのアライメント誤差解析をもとにしている。この新しいアプローチは Δ 法をもちいている。 Δ 法については、われわれのこれまでの論文[5]-[12]において詳しく議論されている。解析の結果から、ジッタゲインに基づくビット誤り率の計算式を導く。この計算式をもちいることにより、ビット誤り率(BER)を直接測定する従来法よりずっと少ない測定時間でビット誤り率を推定することができる。このことによりジッタ耐力の試験時間と試験コストを削減できる。本稿は、この新しい方法が従来のビット誤り率試験と互換のある結果をあたえ、

同時に試験時間を1/10に削減できることを示す。

第2章では、 Δ 法について簡単に説明する。第3章では、ジッタゲインとタイミングアライメント解析からジッタ耐力測定理論を導く。第4章では、Agere Systems社のTRCV0110GデシリアライザとMaxim社のMax3880デシリアライザをもちいたビット誤り率測定とジッタ耐力測定の実験結果を示し、提案法を検証する。また、実験結果を従来のビット誤り率測定ベースの方法と比較することにより、提案法の有効性を明らかにする。第5章では、提案手法の限界について議論する。

2. Δ 法および従来のビット誤り率試験法

2.1 Δ 法によるタイミングジッタ測定の原理

Δ 法の詳細については論文[5]-[12]に説明されているので、ここでは概説のみをあたえる。図1は Δ 法によるタイミングジッタ推定アルゴリズムを図示している。周期 T (周波数 $f_0 = 1/T$) の方形波の基本成分は、コサイン波である。

$$x(t) = A \cos \phi(t) = A \cos(2\pi f_0 t - \Delta \phi(t)) \quad (1)$$

位相成分における変動 $\Delta \phi(t)$ から、被測定波形のジッタが導かれる。帯域通過Hilbert変換[13]をもちいると、信号 $x(t)$ にともなう解析信号 $z(t)$ は

$$\begin{aligned} z(t) &= x(t) + jH[x(t)] \\ &= A \cos(2\pi f_0 t - \Delta \phi(t)) + jA \sin(2\pi f_0 t - \Delta \phi(t)) \end{aligned} \quad (2)$$

であたえられる(図1のHilbert変換ペア生成器)。したがって、瞬時位相 $\phi(t)$ は次式をもちいてもとめることができる(図1の瞬時位相推定器)。

$$\phi(t) = \tan^{-1} \left(\frac{H[x(t)]}{x(t)} \right) = 2\pi f_0 t - \Delta \phi(t) \quad (3)$$

リニア位相成分 $2\pi f_0 t$ は、 $\phi(t)$ に直線適合することによりえられる。位相 $\phi(t)$ から $2\pi f_0 t$ をひくと、位相変動項 $\Delta \phi(t)$ をえる(図1のリニアトレンド除去器)。方形波信号の各エッジにおけるタイミングジッタは、 $\Delta[n] = \Delta(nT)$ である(図1のゼロクロス再サンプラー)。

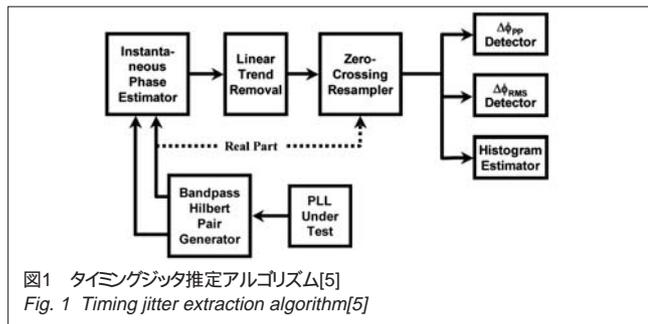


図1 タイミングジッタ推定アルゴリズム[5]
Fig. 1 Timing jitter extraction algorithm[5]

2.2 従来の誤りビット検出法のレビュー

ジッタ耐力測定理論をあたえるため、本稿ではタイミング劣化のみをあつかう。

ジッタ耐力試験では、入力サイン波ジッタの振幅の関数としてビット誤り率が測定される。図2は従来のビット誤り率試験構成を示す。ジッタ耐力試験は、図3に図示するように、ジッタ振幅の下限値から少なくともひとつの誤りビットが検出されるまで、データ列に印加するサイン波ジッタ振幅を増加させていくことにより、ビット誤りの境界を探したす[14]。はじめに、非エラー領域において、 $(L-1)$ 回のビット誤り率測定により誤りビットが生じないことが確認される。毎回、ビット誤りが発生しないことを検証するのに \bar{T}_{ERROR} の時間を必要とする。最後に、エラー領域におけるビット誤り率測定がおこなわれる。したがって、全試験時間は $T_{Tolerance, INC} \approx L \bar{T}_{ERROR}$ となる。

$T_{Tolerance}$ を最小化するために、従来のジッタ耐力試験では、ビット誤りが検出されなくなるまで印加サイン波ジッタの振幅を減少させながらビット誤り率試験をおこなっている。エラー領域でビット誤り率を試験すると、誤りビットがひとつ検出された時点で試験をストップできるため、試験時間を最小にできる。このため、全試験時間は $T_{Tolerance, DEC} < L \bar{T}_{ERROR}$ と最小化できる。

$$\bar{T}_{ERROR} < T_{Tolerance, DEC} < T_{Tolerance, INC} \approx T_{Tolerance} \quad (4)$$

\bar{T}_{ERROR} が従来のビット誤り率検出器をもちいたときの試験時間の下限値をあたえることに注意されたい。ビット誤り率 10^{-14} におけるビット誤り率測定は $\bar{T}_{ERROR} = 2.8$ 時間の試験時間を必要とする。

従来のビット誤り率試験法をもちいると、BERしきい値を小さくすればするほど、試験時間はより長くなる。したがって、比較的高価なSerDesデバイスにたいしてのみジッタ耐力試験が適用される。さらには、ジッタ耐力試験時間を5~10秒に制限するために9段の擬似ランダム値系列(PRBS)をもちい、 K 個に1個のデバイスしか試験されない。よって、すべての高速シリアルI/Oデバイスの量産試験にジッタ耐力試験を適用可能とするために、より高速なビット誤り率試験手法が要求されている。

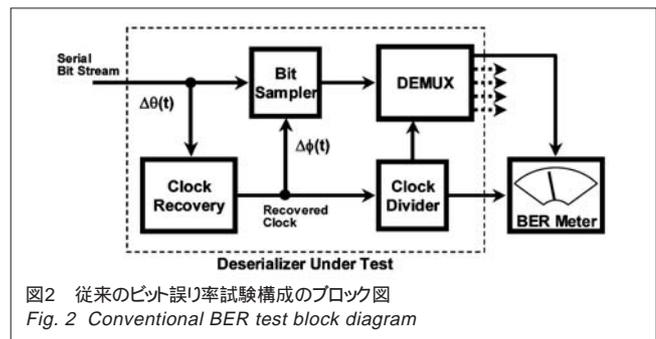


図2 従来のビット誤り率試験構成のブロック図
Fig. 2 Conventional BER test block diagram

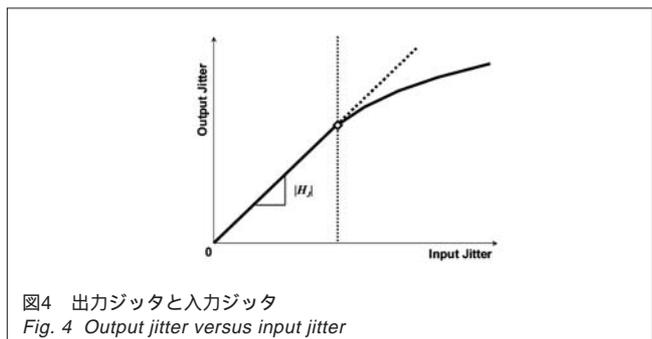
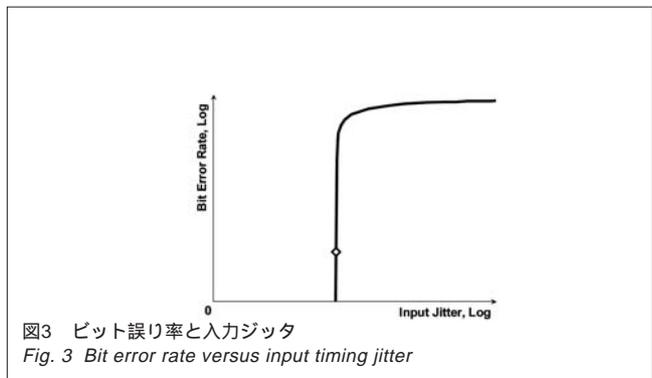
3. あたらしいジッタ耐力試験法の理論

3.1 タイミングのアライメント誤差にもとづく高速ビット誤り率推定法

タイミングジッタが印加されていないならば、信号をサンプリングできるポイントはビット・インターバルの中央、すなわちビットのエッジから0.5UI(Unit Interval)離れた時刻である。これは、理想サンプリングポイントに対応する。印加タイミングジッタを増やすと、再生クロック・エッジとビット・エッジ間のアライメント誤差(データの瞬時位相とクロックの瞬時位相間の差、相対的時間関係)は0.5UIから比例して増加または減少する。これにより、再生クロックは受信波形をビットの中央からずれたタイミングでサンプリングせざるをえない。

入力ビット列と再生クロックの周波数は同一である。クロック再生器では、一般に出力ジッタ(図2に示すクロック再生器の出力がもつジッタ)は入力ジッタ(図2に示すクロック再生器の入力に印加されるジッタ)にたいし線形に変化するとみなせる。入力に印加されるタイミングジッタが過大になると、クロック再生回路がそのタイミング変動に追従できなくなる。その結果、つぎのビットまたはひとつ前のビットがサンプリングされるため、ビット誤り率がゼロでなくなる。

図3は、入力ジッタとビット誤り率の関係を示す。図4は、入力ジッタと出力ジッタの関係を示す。図3および図4の記号は、最大許容ジッタの上限値を示している。図4において、最大許容ジッタの上限値は線形応答領域と非線形応答領域の境界をあらわす。つまり、この上限値は、線形領域の上限に対応する。したがって、入出力ジッタ間の線形関係の上限値としてビット誤り率を推定することができる。信号は線形応答領域において確定的であるので、



線形関係は2Tの時間で測定できる。このため、ビット誤り率きい値 10^{-14} でのビット誤り率測定に必要な測定時間は、線形関係を測定したときわずか $2T_{SINE}=0.0002$ 秒である。これは、 $T_{Tolerance}=2.8$ 時間の5000万分の1である。

3.2 タイミングのアライメント誤差解析

サイン波ジッタ源は、ビット列のタイミングを変調する。ジッタ耐力は、入力ジッタ振幅 $\Delta_{PP}/2$ とジッタ周波数 f_{PM} の関数として測定される。図5は、提案するビット誤り率試験構成のブロック図を示す。ジッタを印加されたデータのソースクロックのタイミング・エッジを $\Delta(t)$ 、再生ビットクロックのタイミング・エッジを $\Delta'(t)$ とすると、 $\Delta(t)$ および $\Delta'(t)$ はそれぞれ、

$$\Delta\theta[nT] = \frac{\Delta\theta_{PP}}{2} \cos(2\pi f_{PM}t) \Big|_{t=nT} \quad (5)$$

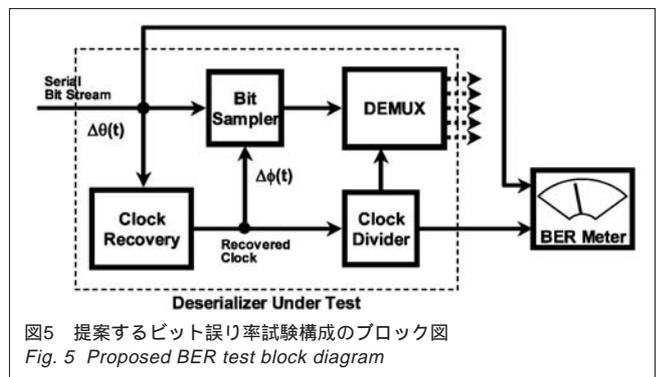
$$\Delta\phi[nT] = \frac{|H_J(f_{PM})| \Delta\theta_{PP}}{2} \cos(2\pi f_{PM}t) \Big|_{t=nT} \quad (6)$$

であらわされる。ここで、 $H_J(f_{PM})$ は f_{PM} におけるクロック再生回路のジッタ伝達関数である。サイン波入力にたいする系の定常(steady-state)応答は、やはり同一周波数のサイン波であるから[15]、再生クロックの定常状態でのサイン波タイミング・エッジは、式(6)のように $H_J(f_{PM})$ をもちいてあらわせる。

式(5)および式(6)から、ジッタゲイン $|H_J(f_{PM})|$ は、出力ジッタのピークツァピーク値と入力ジッタのピークツァピーク値の比をプロットすることにより時間ドメインでもとめることができる。図4に示す入出力ジッタの線形関係を仮定するとジッタゲインは次式であたえられる。

$$|H_J(f_{PM})| \approx \frac{d(\Delta\phi_{PP})}{d(\Delta\theta_{PP})} \Big|_{Linear\ Operation} \quad (7)$$

ビット誤り率は入力ジッタとジッタ伝達関数であらわされる。ビット誤り率の理論式が提案法のキーである。付録Bはビット誤り率を理論的に導出している。図6(a)は、入力ビット列のゼロクロス・タイム



と標本時点(sampling instant)の関係を図示している。入力ビット列にジッタを印加すると、再生ビットクロック(すなわち標本時点)と入力ビット列のエッジ間にアライメント誤差が生じる。図6(b)は、サイン波ジッタ印加に対応するアライメント誤差の確率密度関数(PDF)を示す。図6(b)と図6(c)を比較すると、0UIから0.5UIの範囲に分布するアライメント誤差PDFがビット誤り率にたいして最悪ケースのペナルティをあたえることがわかる。最適標本時点はビット時間間隔の中央(すなわち0.5UI)であるので、ビット誤り率は

$$BER = \frac{1}{2} \left\{ 1 - \frac{1}{2\Delta\theta_{pp} \left| H_J(f_{PM}) e^{-j\Delta H_J(f_{PM})} - 1 \right|} \right\} \quad (8)$$

となる。したがって、最大許容入力ジッタの下限値は

$$\inf(\Delta\theta_{pp}) = \frac{1}{2 \left| H_J(f_{PM}) e^{-j\Delta H_J(f_{PM})} - 1 \right|} \text{ UI} \quad (9)$$

であらわされる。この下限値は、入力ジッタ振幅のしきい値であり、このしきい値より大きいジッタ振幅を印加すると誤りビットが発生する。このしきい値は、式(9)をもちいてジッタ伝達関数から推定でき、ビット誤り率からジッタ耐力を高速に測定する技術の本質である。

4. 提案法の検証

本章では、2つのデシリアライザデバイスに関する実験結果を示し、第3章で導いた測定法を検証する。4.1節では、提案するビット誤り率測定法を検証する。4.2節では、提案手法で測定されたジッタ耐力値と従来のビット誤り率試験法でえられた結果を比較する。

4.1ジッタゲインからビット誤り率を測定する方法の検証

2.5Gbpsデシリアライザのジッタをあたえられたデータソースクロックおよびデシリアライザから出力される分周再生クロックにたいしビット誤り率測定をおこなった。図7に実験構成を示す。実験には、2.48832GHzのデータのソースクロックと15段のPRBS信号を発生するパターン発生器(Advantest D3371)をもちいた。ビット列のエッジを変動させるため、D3371に組み込まれている変調信号源をもちいてデータのソースクロックにサイン波ジッタを印加した。ビット列はMaxim MAX3880デシリアライザ[16]に供給された。

図5に示すように、再生クロックはデバイス内部のN分周器により分周されていることに注意されたい。ここで、分周比Nは16である。パターン発生器から出力されたジッタをもつデータのソースクロックは、外部のM分周回路に供給される。ここで、M=16である。M分周器からの出力信号と分周された再生クロックはオシロスコープ(Tektronix TDS7404)で離散化される。比較のため、トランスミシ

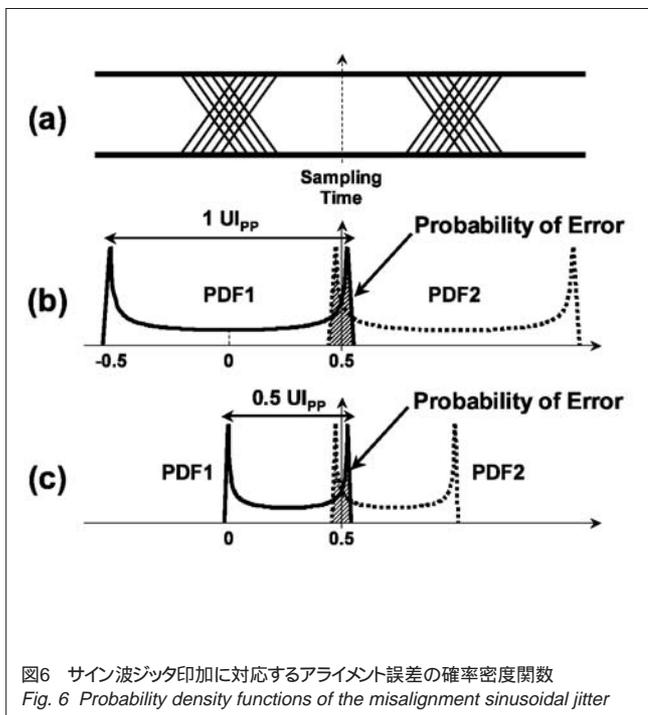


図6 サイン波ジッタ印加に対応するアライメント誤差の確率密度関数
Fig. 6 Probability density functions of the misalignment sinusoidal jitter

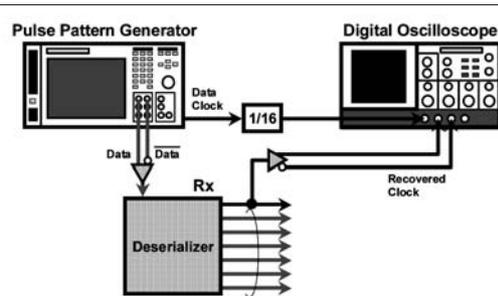


図7 デシリアライザのビット誤り率試験およびジッタ耐力試験の実験構成
Fig. 7 Experimental setup for testing BER and jitter tolerance of deserializer

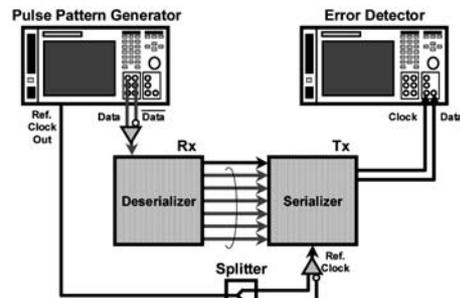


図8 ループバック接続をもちいた従来のビット誤り率およびジッタ耐力試験構成
Fig. 8 Conventional setup for testing BER and jitter tolerance of SerDes devices in loopback configuration

ョン・アナライザ(Advantest D3371)を用いた従来のビット誤り率試験もおこなった。図8は従来のループバック接続による試験構成を示す。

ジッタ周波数を $f_{jitter} = 1\text{MHz}$ に固定し、ジッタ振幅を0から0.96UIまで変化させ実験をおこなった。図9に入力ジッタ振幅0.69UI(図9(a))および0.96UI(図9(b))のときの再生クロックのタイミングジッタPDFを示す。また、図10に入出力ジッタ間の関係を示す。このケースでは、入出力ジッタの関係はほぼ直線で近似できる。

ジッタゲインは、この回帰直線の傾きであり、この実験では0.792であった。図9と図10から、非線形領域においては入力サイン波PDFが非サイン波のPDFに変換され、一方、線形応答領域の上限ではサイン波PDFが同じサイン波PDFに変換されていることがわかる。これにより、3.1節で述べたことが確認された。

図11に、従来のビット誤り検出器をもちいた実験からえられたビット誤り率値と提案手法、すなわち式(8)をもちいて推定したビット誤り率値を比較して示す。これら二つのビット誤り率値はお互いにたいへんよく一致している。この比較により、ジッタ伝達関数 H_j がもとまれば、クロック再生回路の線形応答領域にわたって多くのデータを取得することなく、式(8)をもちいて直接ビット誤り率を計算できることがわかる。

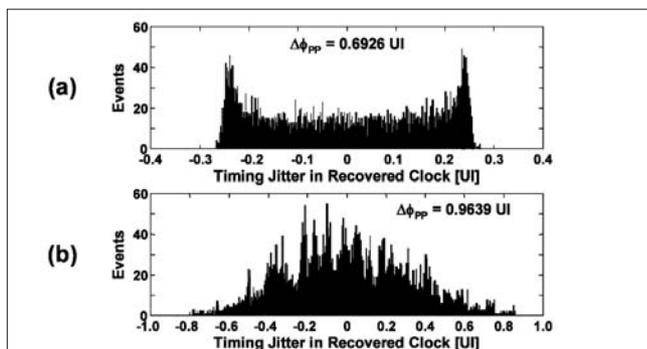


図9 再生クロックのジッタヒストグラム。(a) 印加サイン波ジッタは0.69UI。
(b) 印加サイン波ジッタは0.96UI。
Fig. 9 Timing jitter statistics on recovered clock for two input jitter amplitudes (a) 0.69 UI. (b) 0.96 UI.

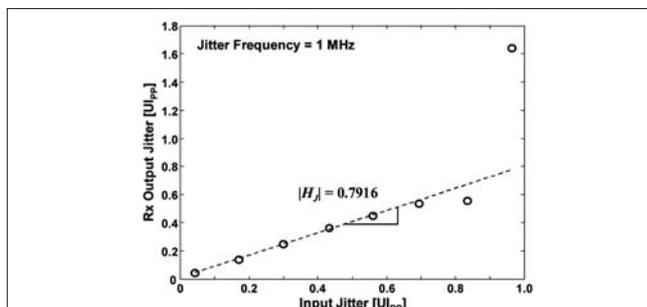


図10 入出力タイミングジッタの関係
Fig. 10 Relationship between input and output timing jitter

4.2 ジッタ耐力を測定する方法の検証

ジッタをあたえられたデータ・ソースクロックとAgere Systems TRCV0110G 10Gbpsデシリアライザ[17](図12)から出力される分周再生クロックにたいしジッタ耐力測定をおこなった。図13に試験構成を示す。パターン発生器(Advantest D3186)をもちい、9.95328GHzの15段PRBS信号を発生した。変調ソース(HP 3325B)をもちいて、データ・ソースクロックにサイン波ジッタを印加した。ビット列は、デシリアライザ(図12に“ Rx ”と示されている)に供給された。データ・ソースクロックと再生クロックはオシロスコープ(Tektronix TDS7404)をもちいて同時に離散化された。比較のため、ビット誤り検出器(Advantest D3286)をもちい、従来のジッタ耐力試験もおこなった。図14に試験構成を示す。

ジッタ周波数を $f_{jitter} = 1\text{MHz}$ 固定とし、ジッタ振幅を0から3.5UIまで増加させ測定をおこなった。図15は、入力ジッタ振幅2.1UI(図15(a))および2.5UI(図15(b))のときの再生クロックのタイミングジッタPDFを示す。図15と図16から、2.5Gbpsデシリアライザと同様の線形関係が10Gbpsデシリアライザにもみられることがわかる。図16に示した回帰直線の傾きから、ジッタゲインは0.995と推定される。入力タイミングジッタ Δ_{pp} が2.1UIより大きいとき、入力サイン波PDFが非サイン波のPDFに変換されていることに注意されたい。

図17は、入力タイミングジッタにたいするビット誤り率の実験値を示す。このSerDesデバイスは、内蔵クロック再生回路の性能を線

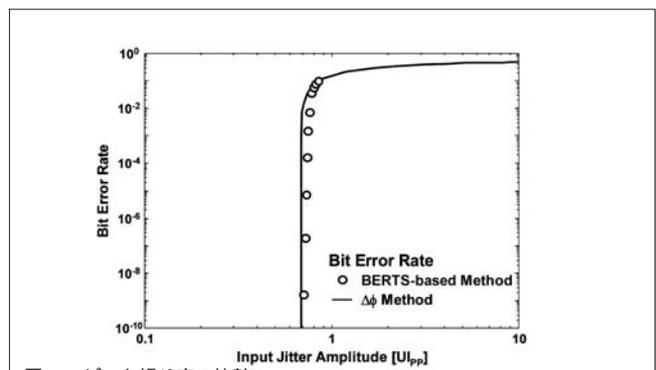


図11 ビット誤り率の比較
Fig. 11 BER comparison

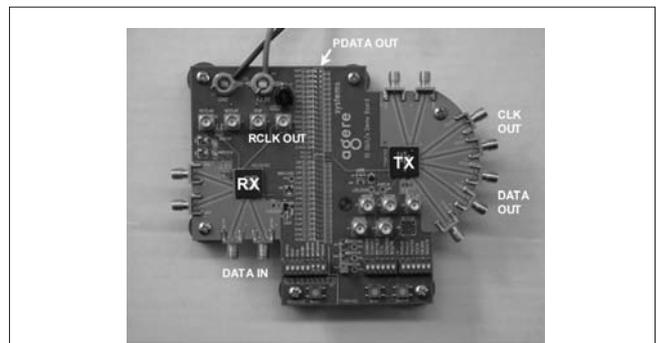


図12 10Gbps SerDes 評価ボード
Fig. 12 10Gbps SerDes evaluation board

形応答領域の上限(デバイスが同期エラーを発生する点であるビット誤り率の境界)まで拡張するように設計されている。従来のビット誤り率試験法は、デバイスにたいした1つのビット誤り率しか測定できない。従来法と異なり、提案手法は、図17に示すように、ビット誤り率曲線を推定することができる。

ジッタ耐力試験の実験結果を図18に示す。式(9)で推定された入力ジッタのしきい値(ジッタ耐力値)は、従来のビット誤り率測定でもめられたジッタ耐力値とよく一致している。しかしながら、この実験では、 $H_j(f_{pp})$ を正確にもとめるために、ひとつの周波数に

たいして4回の測定が必要であることに注意されたい。この実験では、提案手法によりテスト時間を1/10から1/16に削減できた(表1)。これは、テストコストを大きく削減できることを意味する。

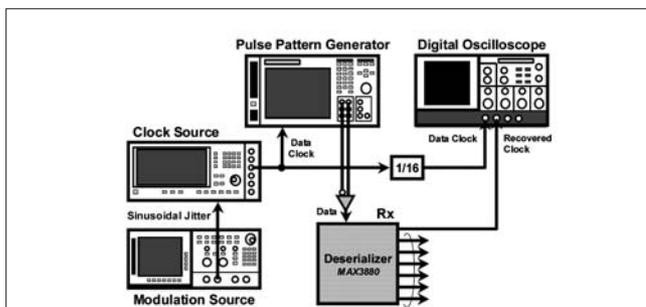


図13 10 Gbps Deserializer デバイスのビット誤り率試験およびジッタ耐力試験の実験構成
Fig. 13 Experimental setup for testing BER and jitter tolerance of 10 Gbps deserializer

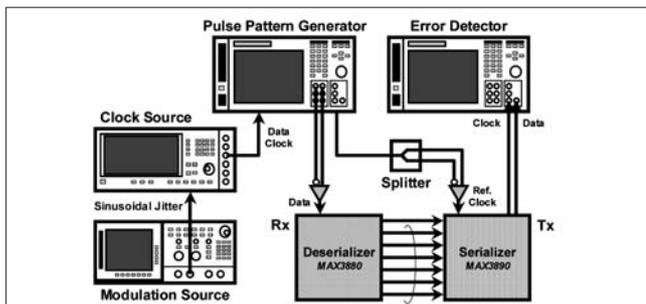


図14 10 Gbps SerDes デバイスの従来のビット誤り率およびジッタ耐力試験構成(ループバック接続)
Fig. 14 Conventional setup for testing BER and jitter tolerance of 10 Gbps SerDes devices in loopback configuration

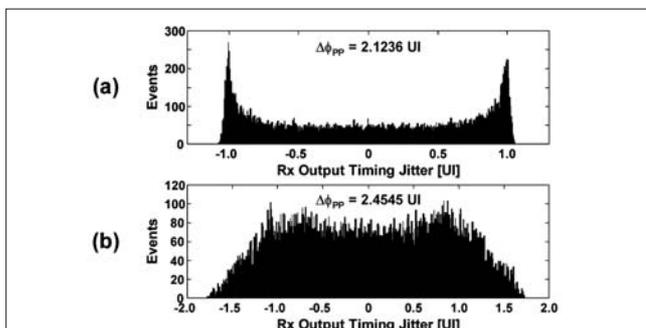


図15 再生クロックのジッタヒストグラム
(a) 印加サイン波ジッタは2.1 UI (b) 印加サイン波ジッタは2.5 UI
Fig. 15 Timing jitter statistics on recovered clock for two input jitter amplitudes (a) 2.1 UI (b) 2.5 UI.

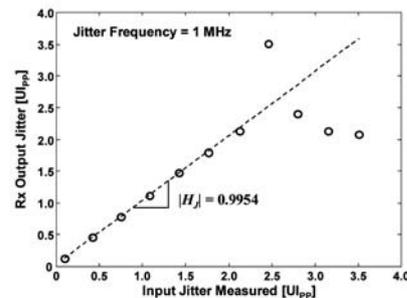


図16 入出力タイミングジッタの関係
Fig. 16 Relationship between input and output timing jitter

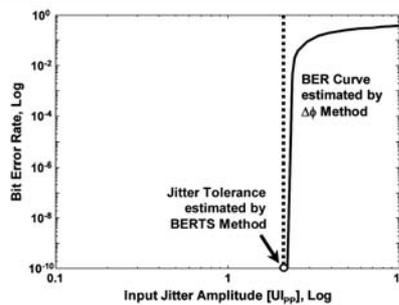


図17 ビット誤り率の比較
Fig. 17 BER comparison

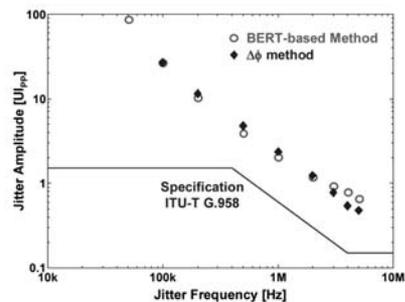


図18 ジッタ耐力試験の結果
Fig. 18 Results of jitter tolerance test

表1 試験時間の比較:BERTS 法と $\Delta\phi$ 法
Table 1 Test time comparison. BER threshold = 10^{-10}

	BERTS Method	$\Delta\phi$ Method	
		Tektronix TDS7404	Advantest R3681JIT
# of Measurements	6	4	4
Time per Measurement	1 sec	0.110 sec	0.079 sec
Total Testing Time	6 sec	0.50 sec	0.36 sec

5. 提案手法の限界

ジッタ耐力がクロック再生回路のジッタ伝達関数からもとめられることを述べた。しかし、クロック再生回路のループ帯域より高いジッタ周波数領域においては、ジッタ耐力はデータ再生回路(ビットサンブラ)のサンプリングクロックの位相マージンによって決まることが知られている[18]。このため、提案手法の適用範囲は、クロック再生回路のループ帯域内に限定されることに注意されたい。したがって、高いジッタ周波数領域におけるジッタ耐力測定では、ビット列データに生じるビット誤りを試験する必要はある。

また、本手法は、サイン波ジッタとジッタ耐力の関係に基づいている。この関係は、式(8)および式(9)のビット誤り率により示されている。しかし、この関係は、印加サイン波ジッタ以外の要因(ビットサンブラのサンプリングしきい値やクロックの周波数オフセット[19])によるペナルティを含まない。これらの要因を含むとき、結果は過小評価される可能性がある。たとえば、スタティックな位相オフセットが顕著なとき、蓄積されるトータルジッタは、式(8)で計算される値よりずっと大きいビット誤り率を示す。

単純なタイミング劣化以外のジッタ源も存在する。したがって、この方法は、すべてのタイプのジッタに対応した試験としては不十分である。本稿は、サイン波ジッタに焦点をあててきた。多くのジッタ源からの全体的ビット誤り率への寄与は、複雑なピックである。T11標準の草案[2]でさえ、測定の問題しか議論しておらず、根本原因や他のタイプのジッタからの寄与については言及していない。

6. まとめ

本稿では、新しいジッタ耐力試験法を提案した。この方法は、受信されたビット列におけるサイン波ジッタが印加されていることを前提としている。提案手法が従来のビット誤り率試験法と互換のある結果をあたえ、試験時間を1/10に削減できることを示した。このアプローチは、Δ法をもちいて、データのソースクロックと分周再生クロックのあいだにおけるタイミングのアライメント誤差を解析する。また、提案手法は、ジッタ伝達関数に基づくビット誤り率の式をもちいている。市販のデシリアライザをもちい、提案手法の実験結果を従来のビット誤り率試験の結果と比較することにより、提案手法を検証した。この方法は、デシリアライザの試験にループバック試験を必要としない。さらに、提案手法は、デバイスの特性評価と生産試験の両方で使用可能である。

付録A. ジッタ関連用語の定義

タイミングジッタ タイミングジッタとは、方形波のエッジまたはその他の信号のゼロクロス点の不確かさである。信号の瞬時位相関数を $\phi(t)$ と表し、エッジまたはゼロクロスの理想的タイミングが nT であるとするとき、タイミングジッタ $\Delta[n]$ は (nT) の変動である。 $\Delta[n]$ を図A1に示す。

サイン波ジッタ サイン波ジッタは、サイン波ジッタソースによってあたえられるサイン波の位相変調である。サイン波ジッタは、標準的ジッタ耐力試験にもちいられる[1][2]。サイン波ジッタは、つぎのようにあらわされる。

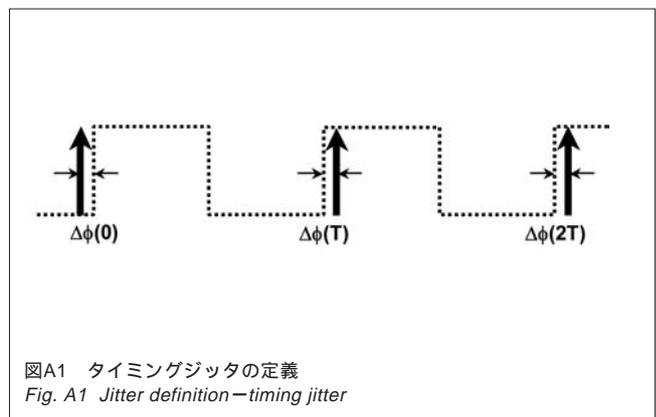
$$\frac{\Delta\theta_{PP}}{2} \cos(2\pi f_{PM} t)$$

ここで、

$$\frac{\Delta\theta_{PP}}{2}$$

はジッタ振幅 (Δ_{PP} はタイミングジッタのピークツウピーク値)、 f_{PM} はジッタ周波数である。

ビット誤り率 ビット誤り率(BER)は、あたえられた時間間隔内で検出されたビット誤りの数を同じ時間間隔内で受信した全ビット数で割った値である。ビット誤りの発生は予測不能であるから、ビット誤り率の推定はランダム過程でモデル化されることに注意されたい。したがって、ノイズによるランダム性を測定するためには十分な事象数が必要となる。たとえば、ビット誤り率しきい値を 10^{-9} 、 10^{-10} 、 10^{-12} としてビット誤り率を検証するには、 10^9 、 10^{10} 、 10^{12} の事象数が必要となる。10Gbpsのシリアルビット列が10GHzでサンプリングされるとすると、これはそれぞれ $T_{ERROR}=0.01$ 秒、1秒、100秒の観測時間に対応する。つまり、ビット誤り率しきい値が小さくなるほど、より長い観測時間が必要となる。



図A1 タイミングジッタの定義
Fig. A1 Jitter definition—timing jitter

ジッタ耐力 ジッタ耐力試験は、ビット誤り試験の拡張である。ジッタ耐力試験は、データ列を印加ジッタをもちい位相変調し、被試験デシリアライザに入力する。ジッタ耐力は、デシリアライザが耐えられなくなりビット誤りを生じ始める入力ジッタ振幅の境界である。この境界は、被試験デシリアライザに加えられる入力ジッタ振幅に関して、被試験デシリアライザのエラー領域と非エラー領域を分離する。この境界における入力ジッタ振幅は、被試験デシリアライザが許容できるジッタの上限値をあたえる[14]。

SONETのジッタ耐力試験はサイン波ジッタをもちいており、データのソースクロックのエッジを決められたジッタ周波数とジッタ振幅で変調する[1]。下限ジッタ周波数10kHzにおいて、被試験デバイスの応答を観測するには、 $T_{SINE}=0.0001$ 秒の試験時間が必要である。ジッタ耐力の試験時間は

$$T_{Tolerance} = L \left\{ \max(\bar{T}_{ERROR}, \bar{T}_{SINE}) \right\} \quad (A1)$$

であたえられる。ここで、ジッタ振幅はL回変更されると仮定した：Lは一般に6から8である。さらに、下限ジッタ周波数が10kHzのとき、 10^{-6} 以下のビット誤り率に関して、式(A1)は

$$T_{Tolerance} = L \bar{T}_{ERROR} \quad (A2)$$

のように簡略化できる。

線形系 確定信号の振幅パラメータと位相パラメータは、その周期Tにわたって信号を観測することにより測定できる。さらに、周期Tを複数回観測することにより、測定におけるノイズの効果を低減できる。

付録B．サイン波ジッタ印加に対応する、ビット誤り率の理論式 [4]

再生ビットクロックと入力ビット列のエッジ間のアライメント誤差は、文献[3]において時間ドメインでの測定として定義されている。ここで、ビット誤り率を定義するために、アライメントジッタを周波数ドメインで再定義する。

$$\begin{aligned} \Delta align[f_{PM}] &= \left| \Delta\Phi[f_{PM}] e^{-j\angle\Delta\Phi[f_{PM}]} - \Delta\Theta[f_{PM}] e^{-j\angle\Delta\Theta[f_{PM}]} \right| \\ \Delta align[f_{PM}] &= \left| \Delta\Theta[f_{PM}] \left\| H_J[f_{PM}] e^{-j\angle H_J[f_{PM}]} - 1 \right\| \right| \end{aligned} \quad (B1)$$

ここで、 $\Delta [f_{PM}]$ と $\Delta [f_{PM}]$ は、それぞれデータのソースクロックと再生クロックのタイミングジッタスペクトル[11],[12]である。

サイン波ジッタのときは、式(B1)は

$$\Delta align[nT] = \left| \frac{\Delta\theta_{PP}}{2} \left\{ H_J(f_{PM}) e^{-j\angle H_J(f_{PM})} - 1 \right\} \cos(2\pi f_{PM} t) \right|_{t=nT} \quad (B2)$$

と変形できる。ここで、タイミングのアライメント誤差のピークツブピーク値は

$$\Delta align_{PP} = \Delta\theta_{PP} \left\| H_J(f_{PM}) e^{-j\angle H_J(f_{PM})} - 1 \right\| \quad (B3)$$

となる。3.1節で説明したように、ビット列の復号において、このタイミングのアライメント誤差のピークツブピーク値は重要なエラー源となる。よって、ビット誤り率はアライメント誤差の関数となる。

$$\begin{aligned} BER &= f(\Delta align_{PP}) \\ &= \frac{1}{2} P_e(t_{decision} < t_{zero-crossing}) + \frac{1}{2} P_e(t_{zero-crossing} < t_{decision}) \end{aligned} \quad (B4)$$

ここで、 $t_{decision}$ は判定境界(decision boundary)または標本時点(sampling instant)、 $t_{zero-crossing}$ はビット列(データのソースクロック)のゼロクロスタイミング、 P_e はビット誤りの確率をあらわす。サイン波ジッタ分布の対称性により、式(B4)は

$$BER = f(\Delta align_{PP}) = P_e(t_{decision} < t_{zero-crossing}) \quad (B5)$$

と変形できる。サイン波ジッタ印加のとき、アライメント誤差のPDFは次式であたえられる。

$$p(x) = \begin{cases} \frac{1}{\pi\sqrt{X^2 - x^2}} & |x| < X \\ 0 & |x| \geq X \end{cases} \quad (B6)$$

ここで、 x はアライメント誤差値、 X は式(B2)におけるアライメント誤差の振幅であり、

$$X = \frac{\Delta\theta_{PP}}{2} \left\| H_J(f_{PM}) e^{-j\angle H_J(f_{PM})} - 1 \right\|$$

である。図B1は、サイン波ジッタ印加に対応するアライメント誤差PDFを実線で示す。 $-X$ から X の範囲外におけるアライメント誤差 x の存在確率がゼロである。すなわち、 x は有界(bounded)であることに注意されたい。この特性は、ビット誤りが生じ始める境界を推定するのに大変重要である。ビット誤り率の境界は、タイミングジッタの最大度数ではなく、ピークツブピーク値(をあたえる上限と下限)に対応するからである。このため、図B1に点線で示すように、

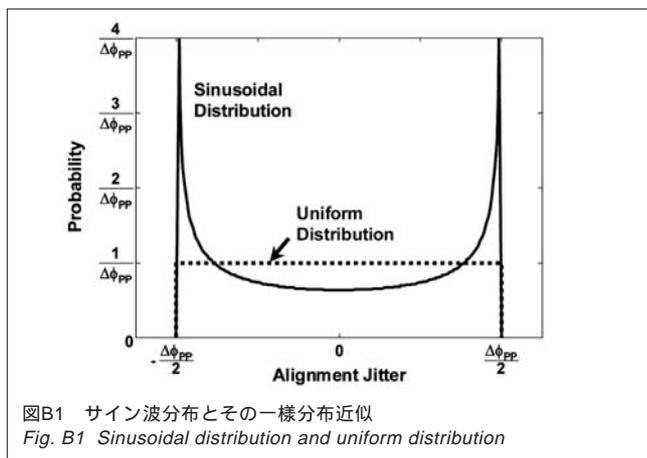
サイン波分布を一様分布で近似できる。これは、一様分布がサイン波ジッタの有界特性を保持しているためと、同時に解析を簡単化するためである。

$$p(x) = \begin{cases} \frac{1}{2X} & |x| < X \\ 0 & |x| \geq X \end{cases} \quad (B7)$$

図6(b)と図6(c)を比較すると、0UIから0.5UIの範囲に分布するアライメント誤差PDFがビット誤り率にたいして最悪ケースのペナルティをあたえることがわかる。最適標本時点 $t_{decision}$ は、ビット時間間隔の中央(すなわち0.5UI)であるので、ビット誤り率は

$$\begin{aligned} BER &= P_e(t_{decision} < t_{zero-crossing}) = \int_{decision}^{\infty} p(x) dx \\ &= \frac{1}{2X} \left(X + \frac{t_{decision}}{2} - t_{decision} \right) \\ &= \frac{1}{2} \left\{ 1 - \frac{1}{2\Delta\theta_{PP} \left\{ H_J(f_{PM}) e^{-j\angle H_J(f_{PM})} - 1 \right\}} \right\} \end{aligned} \quad (B8)$$

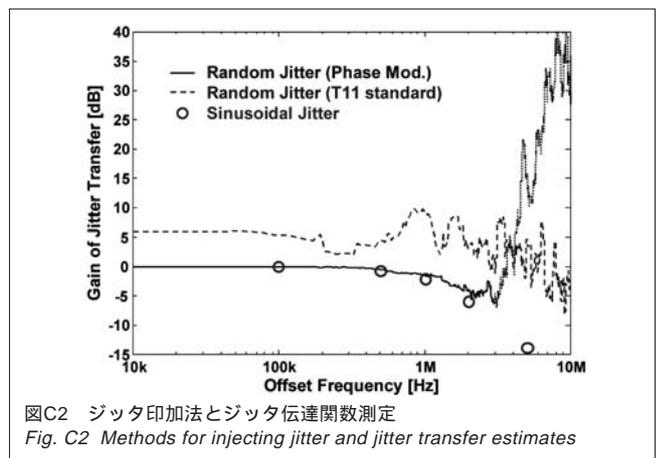
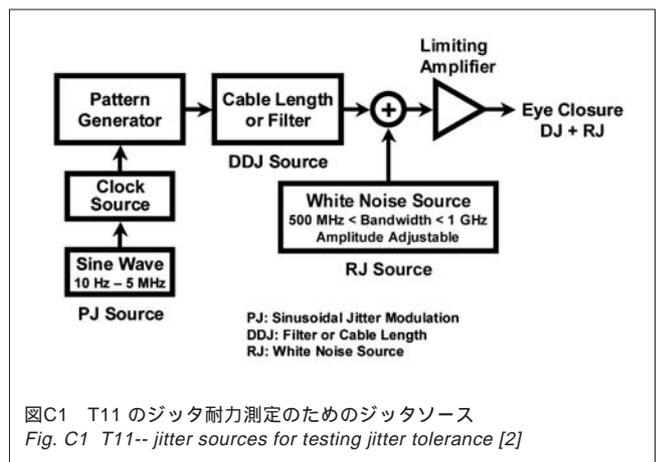
となる。



付録C．ランダムジッタ印加の課題

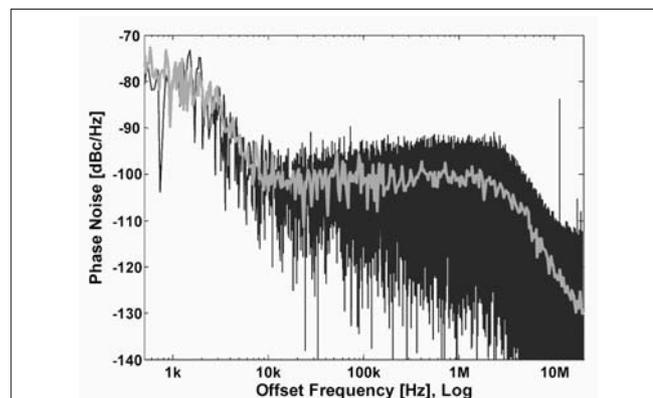
ランダムジッタ印加にともなう課題を説明する。確定ジッタとジッタ耐力の関係については、文献[20]を参考にされたい。

ランダムジッタ印加の課題 T11 標準の草案[2]は、図C1 に図示するように、ランダムジッタを加算器によりデータ列に印加する。しかし、アナログ信号処理においても、加算と乗算(すなわち、位相変調)は等価でないことに注意されたい。図C2 は、あるデバイスのジッタ伝達関数を測定した結果を示している。加算器をもちいてランダムジッタをデータ列に加算する方式(すなわち、T11 標準)に対応しジッタ伝達関数を測定すると、ランダムジッタでデータ列のタイミングを位相変調させて測定するときに比べ、ジッタ伝達関数のゲインは5~15dB 大きくなる。このため、被測定デバイスへの入力ジッタ、すなわちジッタ耐力を過大評価することになる。したがって、ランダムジッタでデータ列のタイミングに揺らぎをあたえるには、広帯域の位相変調器が必要であり、加算器で置き換えることは妥当でない[21], [22]。



付録D．リアルタイムオシロスコープとR3681JIT の性能比較

リアルタイムオシロスコープ (Tektronix TDS7404) とシグナルアナライザ (Advantest R3681JIT) をもちいて、図1に示したΔ法をインプリメントした。同時に、シグナルアナライザをスペクトラムアナライザとしてもちい、位相雑音からタイミングジッタのRMS値をもとめ、基準値とした。表D1は、ランダムジッタの測定値を比較している。同じアルゴリズムをもちいても、シグナルアナライザは、オシロスコープより先精確にタイミングジッタを測定できることがわかる。シグナルアナライザは、その帯域通過型I、Q-復調器を帯域通過Hilbert変換ペア生成器として利用している。このとき、観測帯域は20MHzに帯域制限される。一方、リアルタイムオシロスコープは3GHz程度の観測帯域をもつ。このため、同じアルゴリズムをもちいても、シグナルアナライザの内部ノイズはリアルタイムオシロスコープの内部ノイズより最大20dB程度小さくなる。すなわち、同じΔ法をインプリメントしても、主にアナログフィルタの作用によりシグナルアナライザはタイミングジッタをより精確に測定できる。図D1は、スペクトラムアナライザモード (R3681と表記) で測定した位相雑音スペクトルと、IQ復調モード (R3681JITと表記) で測定した位相雑音スペクトルをプロットしている。ほぼ一致しているのがわかる。



図D1 位相雑音スペクトルの比較: R3681 とR3681JIT の測定例
Fig. D1 Phase noise spectra: measured by R3681 or R3681JIT

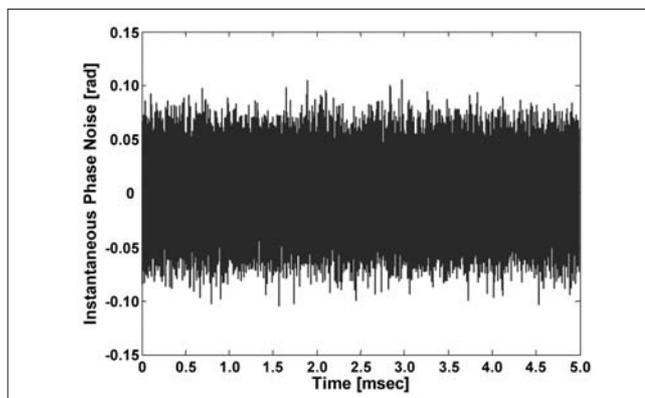
表D1 ランダムジッタの測定値
Table D1 Measured jitter data for random timing jitter

Random Jitter [UI]	Spectrum Analyzer (R3681)	Real-time Oscilloscope (TDS7404)	Advantest R3681JIT
RMS Value	0.00398	0.00420 (+5.50 %)	0.00387 (-2.66 %)
Peak-to-peak Value (Number of Events)	--	0.03198 (4,000,000)	0.03350 (50,000)

さらにΔ法は、従来のスペクトラムアナライザとしてもちいた位相雑音測定と異なり、ピークツブピーク値を直接測定できる。図D2は、瞬時位相雑音を示している。

サイン波ジッタについても、同様に測定できる。表D2は、サイン波ジッタの測定値を比較している。

リアルタイムオシロスコープTDS7404とシグナルアナライザR3681JITの瞬時位相雑音と位相雑音スペクトル測定を比較した。瞬時位相雑音測定やタイミングジッタ測定には、現在よくもちいられているリアルタイムオシロスコープより、シグナルアナライザが最適であることを実験的に明らかにした。



図D2 瞬時位相雑音: R3681JIT の測定例
Fig D2. Instantaneous phase noise: measured by R3681JIT

表D2 サイン波ジッタの測定値
Table D2 Measured jitter data for sinusoidal timing jitter

Sinusoidal Jitter [UI]	Spectrum Analyzer (R3681)	Real-time Oscilloscope (TDS7404)	Advantest R3681JIT
RMS Value	0.0354	0.0352 (-0.56 %)	0.0355 (+0.28 %)
Peak-to-peak Value (Number of Events)	0.1	0.1074 (1,990,656)	0.1016 (5,000)

7 . 参考文献

- [1] *GR-1377-CORE, SONET OC-192 Transport System Generic Criteria*, Bellcore, Issue 5, 1998.
- [2] *Fibre Channel-Methodologies for Jitter and Signal Quality Specification-MJSQ*, National Committee for Information Technology Standardization (NCITS) T11.2/ Project 1316-DT, Rev 6.0, Aug. 2002.
- [3] P.R.Trischitta and E. L. Varma, *Jitter in Digital Transmission Systems*. Norwood, MA : Artech House, 1989.
- [4] T. J. Yamaguchi, M. Soma, H. Musha, L. Malarsie, and M. Ishida, " A new method for testing jitter tolerance of SerDes devices using sinusoidal jitter, "in *Proc. IEEE International Test Conference*, Baltimore, MD, 2002, pp. 717-725.
- [5] T. J. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Ohmi, " Extraction of instantaneous and RMS sinusoidal jitter using an analytic signal method, " *IEEE Trans. Circuits Syst. II*, vol. 50, pp. 288-298, June 2003.
- [6] T. J. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Ohmi, " Extraction of peak-to-peak and RMS sinusoidal jitter using an analytic signal method, "in *Proc. IEEE VLSI Test Symposium*, Montreal, Quebec, Canada, 2000, pp. 395-402.
- [7] T.J.Yamaguchi, M. Soma, D.Halter, J. Nissen, R. Raina, M.Ishida, and T. Watanabe, " Jitter measurements of a PowerPC microprocessor using an analytic signal method, " in *Proc. IEEE International Test Conference*, Atlantic City, NJ, 2000, pp. 955-964
- [8] T. J. Yamaguchi, M. Soma, D. Halter, R. Raina, J. Nissen, and M. Ishida, " A method for measuring the cycle-to-cycle period jitter of high-frequency clock signals, "in *Proc. IEEE VLSI Test Symposium*, Marina Del Rey, CA, 2001, pp. 102-110.
- [9] T.J.Yamaguchi, M.Soma, J.P.Nissen, D.E.Halter, R.Raina, and M. Ishida, " Skew measurements in clock distribution circuits using an analytic signal method, " *IEEE Trans Computer-Aided Design of Integrated Circuits Syst.*, vol. 23, pp. 997-1009, July 2004.
- [10] T.J.Yamaguchi, M.Soma, J.Nissen, D.Halter, R.R M. Ishida, " Testing clock distribution circuits using an analytic signal method, "in *Proc. IEEE International Test Conference*, Baltimore, MD, 2001, pp.323-331.
- [11] T.J.Yamaguchi, M.Ishida, M.Soma, L.Mala H.Musha, " Timing jitter measurement of intrinsic random jitter and sinusoidal jitter using frequency division, " *J.Electronic Testing*, 19, pp.183-193, April-May 2003.
- [12] T. J. Yamaguchi, M. Soma, L. Malarsie, M. Ishid Musha, " Timing jitter measurement of 10Gbps bit clock signals using frequency division, "in *Proc. IEEE VLSI Test Symposium*, Monterey, CA, 2002, pp. 207-212.
- [13] A. Papoulis, *Probability, Random Variables, and Stochastic Processes*, 2 nd ed. New York : McGraw-Hill, 1984.
- [14] K. Feher, *Telecommunications Measurements, An Instrumentation*. Englewood Cliffs, NJ : Prentice-Hall, 1987.
- [15] C.L.Phillips and R. D. Harbor, *Feedback Control* Englewood Cliffs, NJ: Prentice-Hall, 1988.
- [16] Max3880+3.3V, 2.488Gbps, SDH/SONET 1:16 Deserializer with Clock Recovery, "Maxim, December 1999.
- [17] TRCV0110G 10Gbit/s Limiting Amp, Clock Recovery, 1:16 Data Demultiplexer, "Agere Systems, May 2001.
- [18] M. Reinhold, C. Dorschky, E. Rose, R. Pullela, P. Kunz, Y. Baeyens, T. Link, and J. -P. Mattia, " A Fully Integrated 40-Gb/s Clock and Data Recovery IC with 1:4 DEMUX in SiGe Technology, " *IEEE Journal of Solid-State Circuit*, Vol. 36, No. 12, December 2001.
- [19] Y. Cai, T. P. Warwick, S. G. Rane, and E. M " Digital Serial Communication Device Testing and Its Implications on Automatic Test Equipment Architecture, "in *Proc. IEEE International Test Conference*, Atlantic City, NJ, 2000, pp. 600-609.
- [20] T. Yamaguchi, M. Soma, M. Ishida, M. Kurosaw Musha, " Effects of deterministic jitter in a cable on jitter tolerance measurements, "in *Proc. IEEE International Test Conference*, Charlotte, NC, 2003, pp. 58-66.
- [21] M. Ishida, T.J.Yamaguchi, Mani Soma, and H " Effects of Amplitude Modulation in Jitter Tolerance Measurements of Communication Devices, " in *Proc. Asian Test Symposium*, Guam, 2002, pp. 45-48.
- [22] Y. Cai, A. Werner, G. J. Zhang, M. J. Olsen, a Brink, " Jitter testing for multi-gigabit backplane serdes, "in *Proc. IEEE International Test Conference*, Baltimore, MD, 2002, pp. 700-709.

筆者紹介



(株)アドバンテスト研究所

山口 隆弘 Takahiro Yamaguchi



(株)アドバンテスト研究所

石田 雅裕 Masahiro Ishida



ワシントン大学
電子工学科 教授

マニ・ソーマ Mani Soma,Ph.D.



(株)アドバンテストカスタマサポート

武者 博文 Hirobumi Musha