

堀田研究グループ

テーマ名●ナノメータ技術を考慮した集積化アナログ回路技術の研究

研究代表者●武蔵工業大学知識工学部情報ネットワーク工学科 教授

堀田 正生 (ほった まさお)



最後列左から 八木(群馬大B4)、藤村(群馬大M1)、長谷川(群馬大B4)、小長谷(群馬大M1)、三田(群馬大B4)、下倉(武蔵工大M1)、川村(武蔵工大M1)
 3列め左から 徐峰(群馬大M2)、高橋(群馬大M1)、田邊(群馬大M1)、田浦(群馬大M2)、小川(群馬大B4)、宮島(群馬大B4)、平野(武蔵工大学生B)
 2列め左から 傘助教(群馬大)、星野(群馬大B4)、金田(群馬大B4)、元澤(群馬大M2)、清水(群馬大M2)、光野(群馬大D3)、加藤(武蔵工大M1)、石川技官(群馬大)
 最前列左から 高井講師(群馬大)、阿部客員研究員(セイコーエプソン)、小林教授(群馬大)、堀田教授(武蔵工大)、松浦客員研究員主査(ルネサス)、八木客員研究員(沖電気)、益子上級研究員(STARC) (2007年12月現在 敬称略)

研究の始まり

2002年のISSCCで "Does Moore's Law Apply to Analog?" というパネル討論が行われ、そこに筆者がパネリストとして参加しました。これまで、アナログ回路は回路性能からデジタルのように素子微細化の恩恵を直接受けにくく、小さくできないというのが一般的な考えでしたが、本当にそうかをコストに厳しい民生応用の代表としてビデオ用10ビットAD変換器の面積推移

を調べてみました。その結果が図1ですが、見事にデジタルのゲート面積の低減率と同じ傾向を示していました。これは、アナログだから面積が大きくてよいということは経済的に許されず、新しい回路方式の開発などアナログ技術者の努力によりデジタルと同じようにチップ面積の低減が図られてきたということが分かります。

これからのさらなる微細化に対してもこの傾向を維持していくためには積極的に微細素子を用いていくことが必要になります。ところが、MOSトランジスタは微細化に伴い、出力抵抗の低下による増幅率の低減や、ミスマッチの増大、電源電圧の低下によるダイナミックレンジの減少などアナログ回路の性能維持が難しくなってきます。これらの問題を解決し、微細素子をアナログに適用できる技術を開発することがアナログ・デジタル混載LSIのコスト低

減や低消費電力化につながる重要技術と考え、STARCとの共同研究テーマとして提案しました。

STARCと我々の共同研究は2006年度から始まり、今年度が2年目で折り返し地点を過ぎたところ。定期的に客員研究員の皆様と議論し、産業界にとって現実的な問題を適確に捉え、「半導体産業に役に立つ」を基本方針に研究を進めていこうと考えています。

研究グループ紹介

この研究は武蔵工業大学と群馬大学との共同チームで行っています。群馬大学工学部電気電子工学科の小林春夫教授、高井伸和講師、傘吳助教、それに筆者を主なメンバとし、それぞれの研究室の学生が加って共同研究を進めています。両方の大学の研究室の学生が参加していることから、大学院生が25名、学部4年生が15名という大所帯で、学生はそれぞれのテーマを持って研究に当たっていますので、研究打ち合わせはまるで研究会での発表のようです。また、設計環境の構築や教育も高井先生のご好意で両方の学生向けに行っていたりなど、異なる大学の学生が一緒になって研究を進めています。お互いの発表に対してそれぞれの先生方や客員研究員の方々からのいろいろな指摘やご助言をいただいて、単一の研究室では味わえない貴重な経験が得られる共同研究となっています。

STARC共同研究テーマの内容

本研究の目的は、前項で述べたように、90nm世代以降で顕在化するMOSトランジスタのアナログ性能の劣化に対応する技術を開発することです。アナログ・デジタル混載システムLSIで重要な要素回路であるAD変換器を対象に次の三つのテーマで研究を進めています。

①逐次比較形AD変換器の小型化・高速化の研究：逐次比較形AD変換器は従来10～14ビットで1～10Msps程度の性能であり、原理的に変換に時間がかかるという問題がありますが、高精度の増幅器を必要とせず、精度を問わない比較器で実現できるという特徴を有しています。方式としては昔からあるものですが、微細化プロセスに適應できる方式として最近

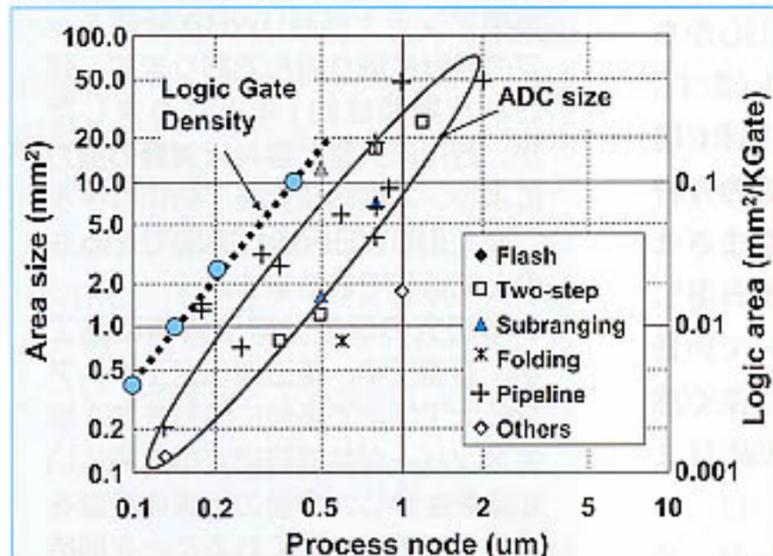


図1 10ビットビデオ用ADCとロジックゲート密度の推移

株式会社ルネサステクノロジ
製品技術本部 アナログ技術統括部
松浦 達治

集積回路の微細化が進み、集積度が上がるにつれシステムに必要なアナログ回路をデジタルと同じチップに搭載するシステムオンチップの必要性は高まってきています。一方、プロセス微細化につれてトランジスタ特性はアナログ回路には向かなくなるといった問題が顕在化してきました。例えばトランジスタの出力抵抗が下がりアンプのゲインが取れないとか、またはバラツキが大きくなって動作点がずれてしまうなどの問題です。

本研究では、「ナノメータ技術を考慮した集積化アナログ回路技術の研究」と題して、3つの大きな柱で研究を進めています。1) 微細プロセスに向けたAD変換器の小型化、2) デジタル雑音相殺技術、3) 高速AD変換器のクロックジッタ影響低減技術の研究です。1)の小型化では、微細プロセスで性能の出ないアンプを避けたAD変換形式として逐次比較型AD変換器を選び、その性能を飛躍的に高める冗長変換方式を工夫してパイプラインAD変換器に匹敵する高速なAD変換ができないかを研究しています。また2)のデジタル雑音相殺技術の研究では、アナログ回路を差動にする以上にデジタル雑音の影響を低減する技術として、デジタル雑音を差動回路で検出して、信号とデジタル雑音両方を含んだAD変換結果から、相関を使ってデジタル雑音成分だけを差し引く技術の研究をしています。3)のクロックジッタ影響低減技術の研究では、分周後のクロックを複数使って複数の信号サンプリングを行い、それを平均化する方法で、クロックジッタの影響を低減できないかを検討しています。

いずれのテーマもナノメータ時代のミックスドシグナル集積回路には重要な要素であり、その成果を期待できます。武蔵工業大学だけでなく群馬大学の先生・学生を含めた多数のメンバーで検討を進められており近く試作も行って実証実験ができるように進めており、成果が待たれます。また研究成果だけでなく、微細化プロセスで問題になるアナログ特性を徹底的に理解した優秀な学生が世に送り出されることも大いに期待できることです。日本発のナノメータ時代に適したアナログ技術が早く実用化できることを期待しています。

見直され、注目を集め出したものです。我々も、変換時間を短縮する新たな方式を提案しその可能性について検討を進めています。それは図2に示すように比較器を3個使い、3レベルの参照電圧のどの領域に入力電圧があるかを順次領域を狭めながら探索していく方法です。この方式では仮に領域の判定を間違えても後段でその補正が可能になるために大きな冗長性を持たせることが可能になります。そのため、DA変換器が十分収束しなくとも比較が行えることから従来に比較して高速化が図れるというものです。その様子を図3に示しました。試算では10~14ビットAD変換器で従来の3~4倍の高速化が図れることとなります。

②デジタル雑音相殺技術の研究：アナログ・デジタル混載LSIにおいて、デジタル部から発生するデジタル雑音は微小なアナログ信号を扱う場合に大きな障害になってきます。とくに、微細化が進むに連れて混載するデジタル部のゲート数は増大するとともに、電源電圧の低下に伴いアナログのダイナミックレンジが縮小しSN比の劣化が問題となってきます。従来、デジタル雑音に関しては、基板を介して混入する基板雑音の研究が多く進められていますが、その低減方法に関しては一部報告があるの

みです。実際のデジタル雑音は基板だけでなく電源やグランド線を介しても混入しますので、それらを包括的にどのようにして低減するかが今後の大きな問題となります。その解決方法について検討をしています。

③高速AD変換器のクロックジッタの影響低減技術に関する研究：高速のAD変換器においては入力周波数が高くなるにしたがいクロックジッタによりSN比が劣化します。クロックジッタを小さくすることが必要になりますが、微細化に伴い電源電圧が低下するとクロック発生器でのジッタが大きくなり問題となります。そこで、ジッタを測定してAD変換値を補正する方法やジッタの影響を平均化する手法など、クロックジッタの影響低減技術を検討しています。

産学連携の意義

このSTARCプロジェクトが始まってあと数か月で2年になりますが、その間定期的に関催される打ち合わせにおいて客員研究員の方々から産業界の実情という観点から適切なアドバイスと研究のステアリングをしていただきました。集積回路の研究は正に実学の研究であり、物になって初めて価値のあるものだという事をIC設計が始めての学生に切実に伝わったということが本当に意義深いものであると実感して

います。益子耕一郎上級研究員、松浦達治客員研究員、阿部彰客員研究員、八木勝義客員研究員ならびに途中交代されてしまいましたが近藤守客員研究員にはこの場を借りて心よりお礼申し上げます。あと一年と少しになりましたが、産業界に役に立つ真の技術の確立に向けて精力を注いでいきたいと思っております。

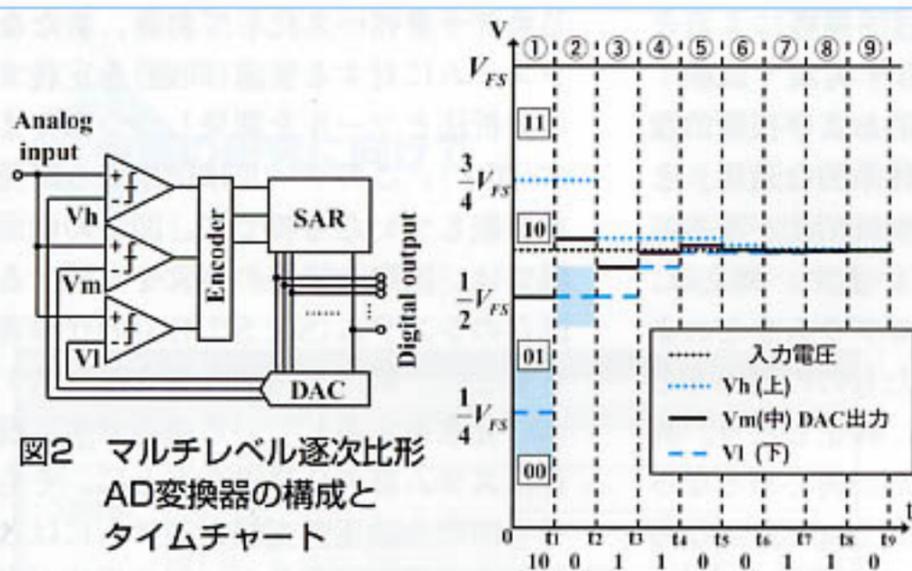


図2 マルチレベル逐次比形AD変換器の構成とタイムチャート

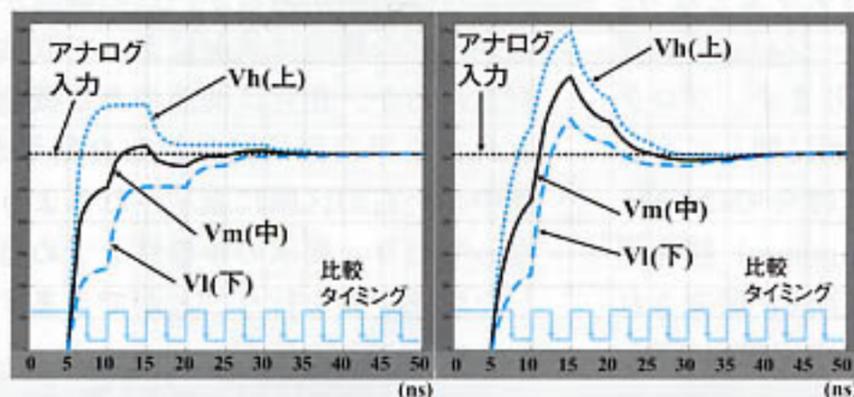


図3 MATLABによる整定時間シミュレーション結果